

以 USB 為介面之 FPGA 核心電路開發平台¹

林灶生 許齊旺 謝育達 林俊吉 林振喜

國立勤益技術學院 電子工程系

摘要

本研究旨在以 XILINX 之 Spartan II 晶片，設計出一個以 USB 為介面之通用型 FPGA 核心電路開發平台，提供一個經濟且快速的硬體模擬測試之環境。一般研究或實務開發一個電路，往往只能做到功能模擬(Function simulation)或是時序模擬(Timing simulation)。而市面上所提供之測試平台又所費不貲，且原廠所提供之展示板(Demo board)只能顯示一般電路的功能。因此，我們才有了開發此一平台的構想。

選用 USB 當介面，因為它是目前最為通用且快速之標準介面。在 FPGA 電路中，我們將 USB 標準(Protocol)以硬體描述語言(VHDL)嵌入其中部份電路中，剩下的電路再當成其他智產(Intellectual properties, IP)核心電路。此時，諸如多媒體影音、網路介面、通訊介面 等智產核心電路之開發，均可把此 USB 標準加到其設計中，並透過此平台做硬體模擬及測試，以達成快速雛形設計之目的。

關鍵字:FPGA、USB、快速雛形設計

一、簡介

FPGA 擴張速度最快、最普及之領域為電子通訊產業。將近有 50% 的 FPGA 晶片被投入此領域中。FPGA 可在單一晶片中每秒中執行 1600 億次的乘法與累加運算(MAC, Multiply and Accumulate Operation)。同時因應智產(Intellectual Property, IP)發展之趨勢，供應商不斷開發核心 IP，並與高層級 DSP 函式相結合，使得 FPGA 成為高效能 DSP 需求之新興電子產品。並成功應用於各種諸如數位/無線通訊、數位電視、高速 DSL、有線數據機、醫學影像系統等產品開發[1]。

本研究因應上述之發展，特規劃以 FPGA 為核心的 IP 系統設計環境。就 FPGA 系統之規劃，發展環境可分為晶片層次設計(Chip-Level Design)及系統層次設計(System-Level Design)環境。

◆ 晶片層次設計環境

直接選定 FPGA 晶片，配合選購或免費 IP 開發晶片，流程如(圖一)所示。

◆ 系統層次設計環境

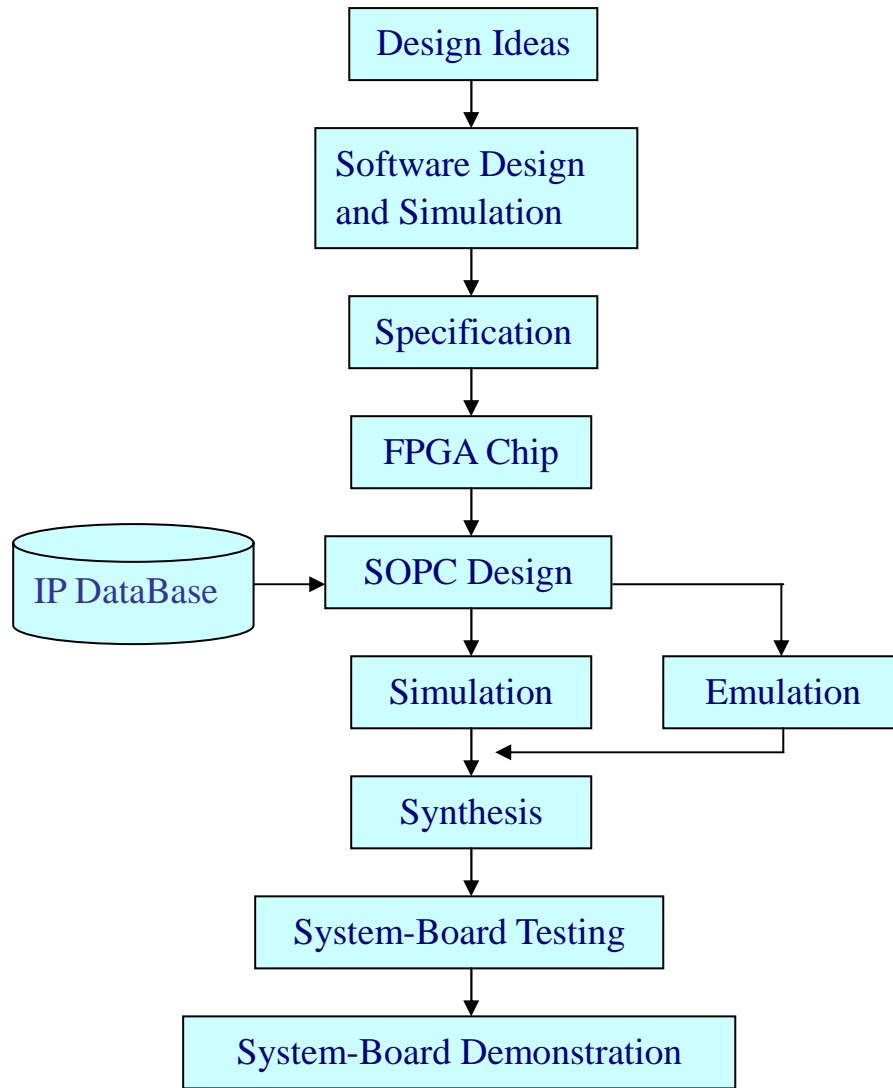
建構於軟體之上，將軟體模擬與硬體設計結合，將軟硬體設計直接導入系統設計，其流程如(圖二)所示。本系統之設計則屬於晶片設計層次流程。

二、USB 系統架構

USB - 萬用串列匯流排[2]，是一種支援電腦主機與 USB 週邊裝置之間資料交換之纜線匯流排。它的隨插即用(Plug and play)的功能，隨時將週邊設備連結、配置、使用和移除，而不需執行繁複的安裝步驟。以標準化的纜線和連接器(connector)，輕鬆與系統連結，減少電腦主機背板上連接器的種類和數量。

USB 靠一條四蕊纜線傳送信號及電源，節點到節點的線段間的信號，以差動(differential)方式傳送。USB 信號模式有兩種傳輸率：12Mb/s 的全速信號，及 1.5Mb/s 的低速信號。USB 系統以模式切換的方式支援這兩種信號。插動資料與時脈信號一起經過編碼以後傳輸，編碼方式是以位元填補(Bit stuffing)的 NRZI(Non-Return to Zero Invert)方式。每筆交易資料由一系列的封包所組成，而每一個封包是由 SYNC(同步)欄位開始，使接收器與其位元復原時脈保持同步。

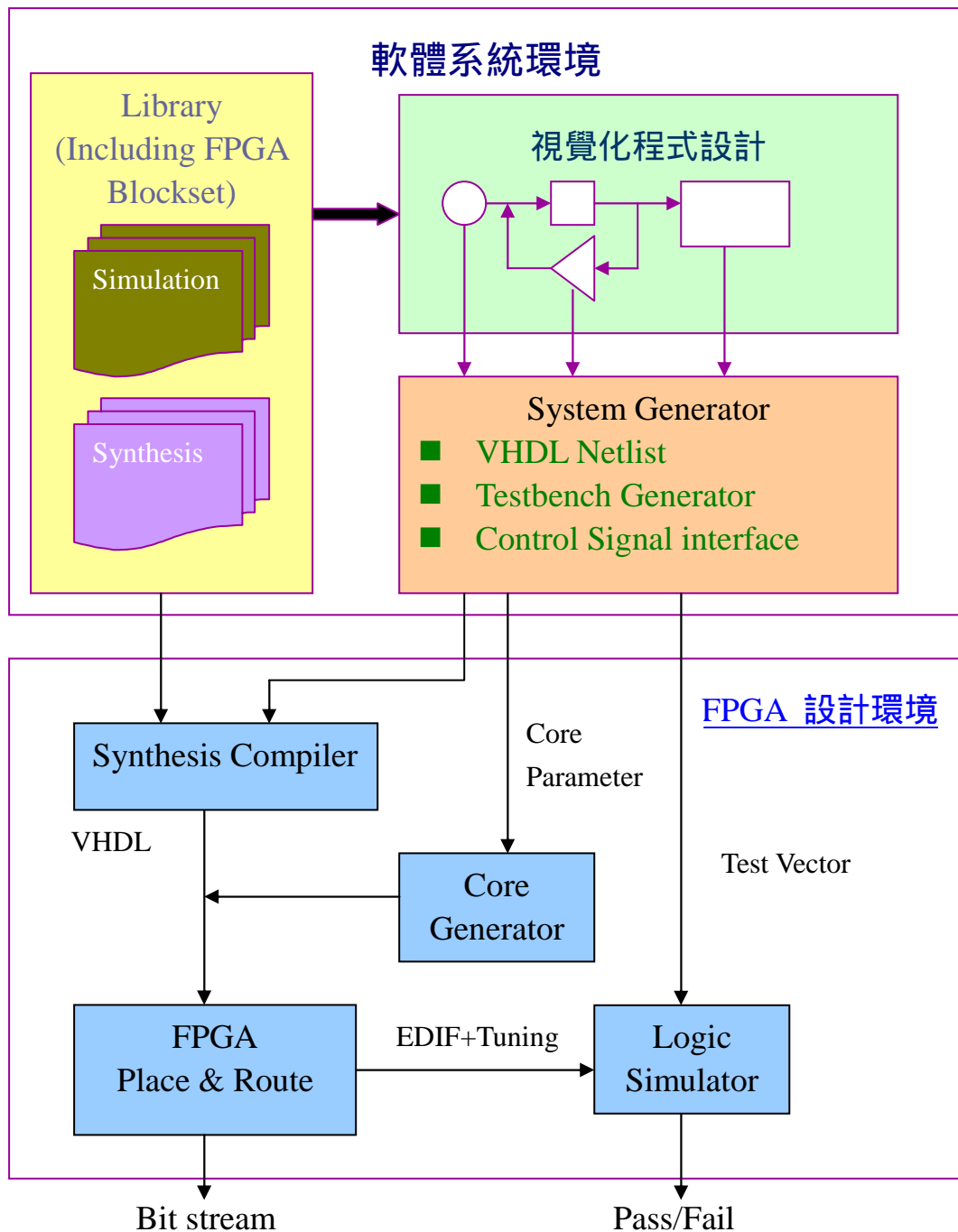
¹ 本研究感謝教育部教育改進計畫經費補助。



(圖一)晶片設計層次流程

為保證輸入電壓電位即適當的終端(Termination)阻抗，纜線的每一端必須使用終端偏壓。各終端要能夠分辨低速裝置，USB 交易由三種封包(packet)組成，如圖所示，當主機控制器送出一標記封包，便是一筆交易的開始，這個“標記封包”(Token packet)描述了交易(Transaction)型態、交易方向、裝置位址、端點數目。在交易中，資料由主機傳送到裝置，或是由裝置傳送到主機，其傳送方向由“標記封包”指定，然後提出交易的一方送出一個“資料封包”；傳送之目的則回應以“交握包”來傳送是否成功。USB 通信協定義如下：

標記封包						
IN	SYNC	PID	PID	ADDR	ENDP	EOP
OUT						
SETUP						
資料封包						
DATA0	SYNC	PID	PID	DATA	CRC5	EOP
DATA1	0 到 8 位元組					
交握封包						
ACK	SYNC	PID	PID	CRC5	EOP	
NAK						
STALL						



(圖二)系統設計層次流程

三、XILINX晶片Spartan II

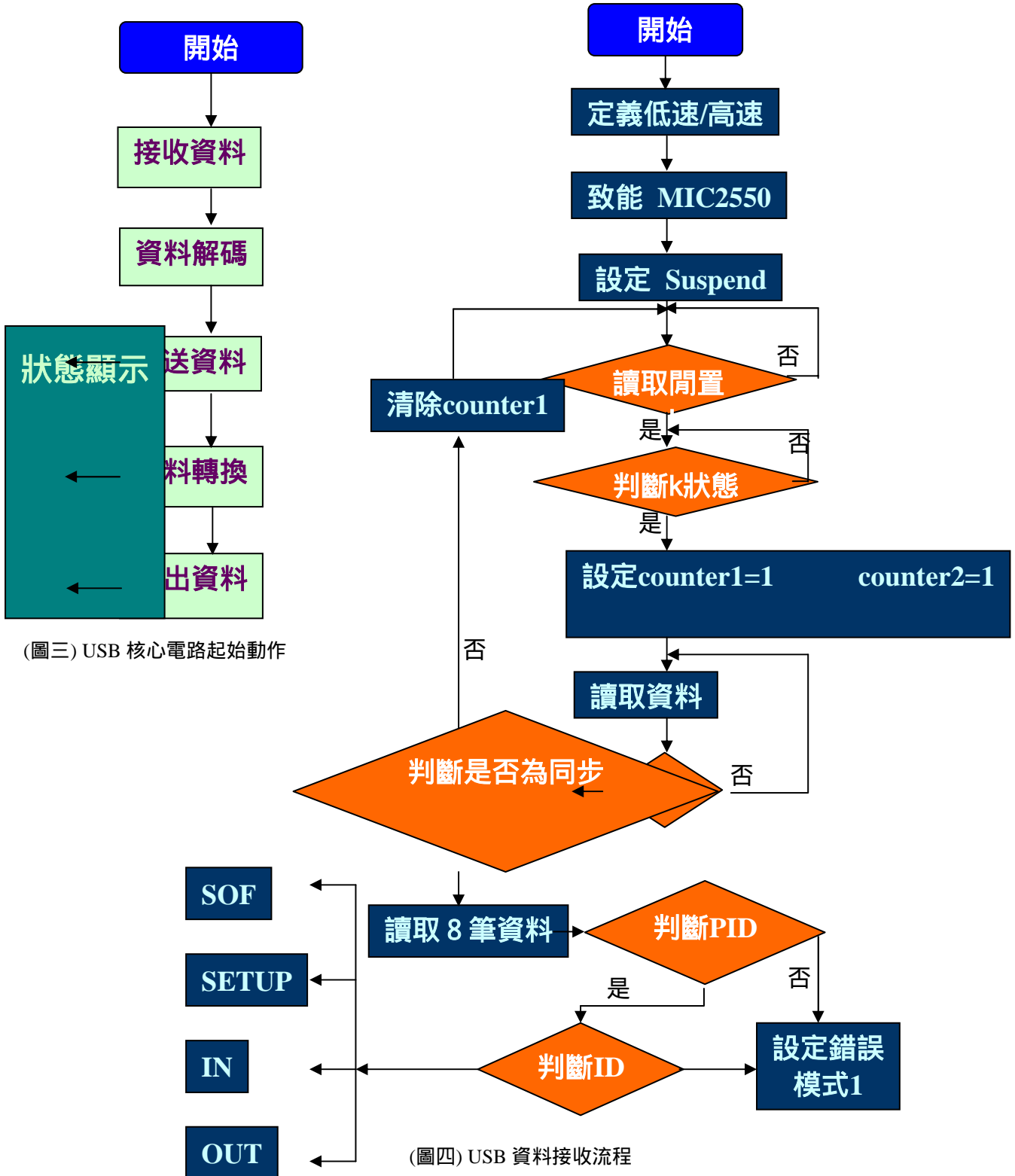
XILINX Spartan-II晶片[3]提供以下之資源：

- IOB提供包裝接腳與內部邏輯之間的介面
- CLB提供內部邏輯電路之功能元件
- 內含若干擁有4096位元之方塊RAM記憶體
- 提供時脈信號控制及分散式時脈補償之DLL電路
- 提供豐富的多層次連結結構

它提供最快66MHz之PCI介面速度，下載接線(Download cable)除了FPGA並列介面之外，它亦提供JTAG之測試與驗證介面。由於需以行為模式(Behavior model)之VHDL模擬其功能，因此，我們以XILINX之ISE發展環境規劃此晶片。

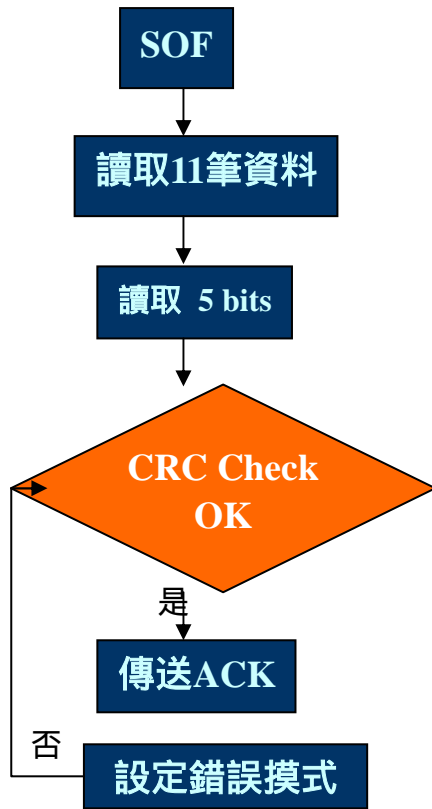
四、USB 核心電路

我們在 XILINX 之 ISE 系統中，以 VHDL 語言[4]開發 USB 之核心電路，以下僅以流程圖方式解說核心電路之動作流程。(圖三)說明 USB 核心電路起始動作；其他細部動作則分述於(圖四)至(圖六)中。(圖四)表示 USB 資料接收流程；(圖五)為 SOF 資料解碼流程；(圖六)則是 Setup 資料解碼。由於篇幅關係，其餘之流程不在此詳述。

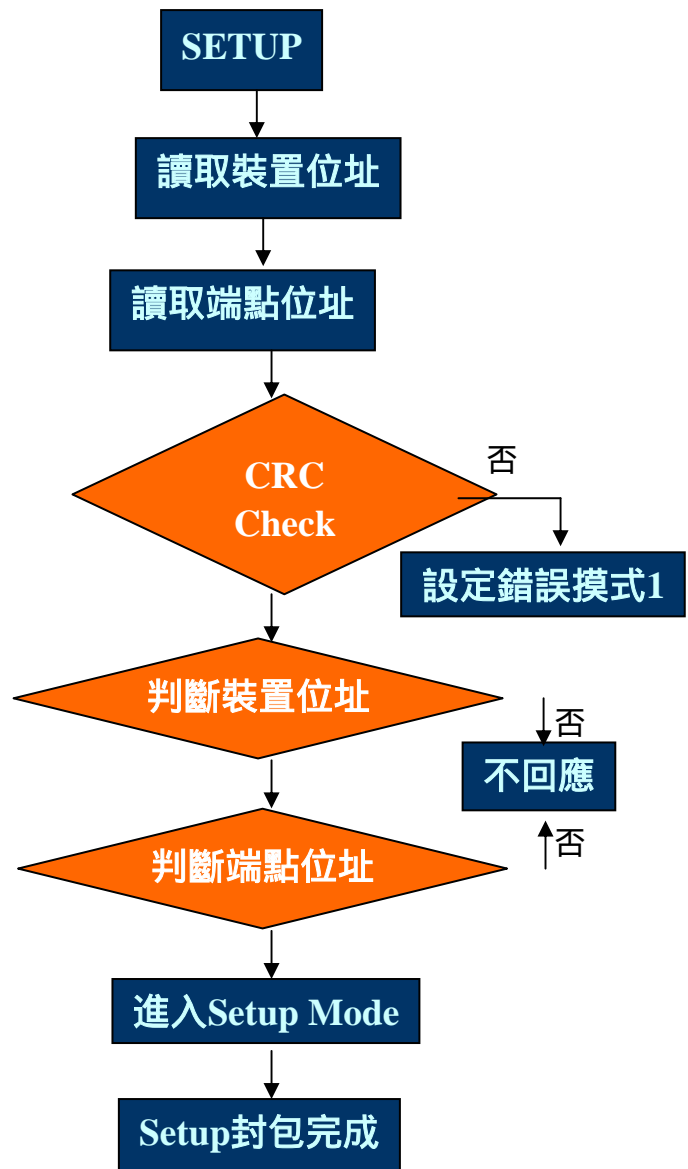


(圖三) USB 核心電路起始動作

(圖四) USB 資料接收流程



(圖五) SOF 資料解碼



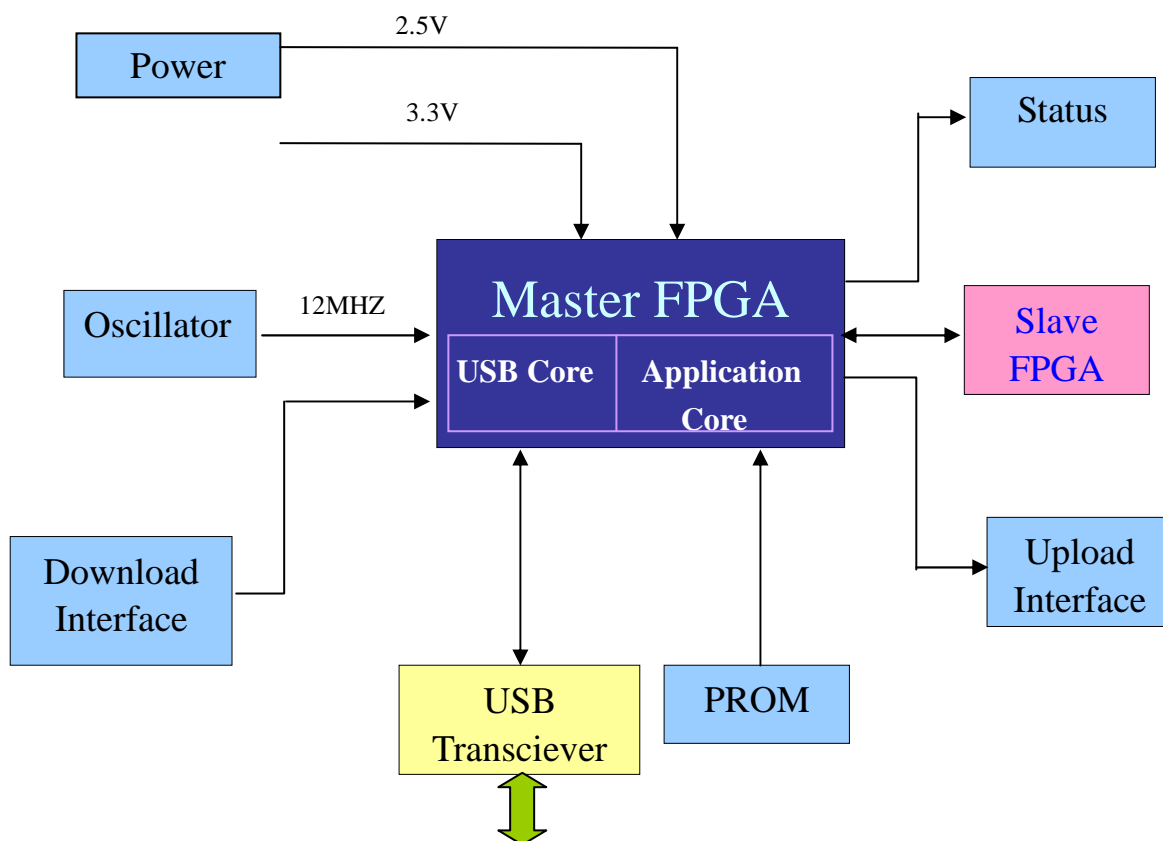
(圖六) Setup 資料解碼

五、USB 介面之 FPGA 核心電路開發平台

當 USB 核心電路完成初期，先利用 Download cable serial port 將其載入至 FPGA(主)，此時電源為是由外部的電源提供(可利用 DC 5V 的整流器)。硬體內電源共有兩組，3.3V 是提供主 FPGA I/O PIN 之用；另一組為 2.5V 電源，則是提供 2.5V 給 FPGA(主)的核心用。透過 LED 的顯示來檢查程式是否執行正確，此外亦可作為偵錯之用。硬體主要時脈為 12MHz 提供系統主要基本時脈，當 USB 程式完成則將程式燒錄至串列 PROM 中，而不再使用 Download cable。因此啟動電源後，主 FPGA 會自動由串列 PROM 抓取 USB IP 核心電路。電路系統方塊圖如(圖七)所示；(圖八)是本系統之硬體圖；(圖九) 則是設計完成之系統外觀圖。

六、硬體介面驅動程式設計

在完成 USB 核心電路，設計者即可將此 IP 配合其應用核心電路同時下載至 Spartan II。接著使用者即可利用相關發展軟體開發驅動程式，藉與此晶片溝通作測試及驗證。



(圖七)系統方塊圖



(圖八)系統硬體圖



(圖九)系統外觀圖

致 謝

感謝勤益技術學院電子工程系黃世演老師給於技術上的建議，及教育部教學改進計畫經費上的支援，本系統得以完成。

參考文獻

- [1] XILIX, Math Works, FPGA核心DSP系設計統發展, IC Design Magazine, pp. 1-7, Dec., 2001.
- [2] Don Anderson, Universal Serial Bus System Architecture, Addison Wesley Publishing Company, 1997.
- [3] Spartan-II 2.5V FPGA Family: Functional Description, XILINX, DS001-2(v2.1) March 5, 2001.
- [4] Kevin Skahill, VHDL for Programmable Logic, Addison-Wesley, 2000.
- [5] Allen Dewey , Analysis and Design of Digital Systems With VHDL, PWS Publishing Company, 2000.

