

# 應用於三色 LED 調光之高精確度與多輸出脈寬調變電路

洪玉城、郭登淵

國立勤益科技大學

ychung@ncut.edu.tw, s49713017@student.ncut.edu.tw

## 摘要

本篇提出一個精簡型高精確度互補式數位脈衝寬度調變(CDPWM)電路，可應用於定電流 LED 之亮度調整。使用脈衝寬度調變技術控制 LED 亮度可避免顏色偏移(Color Shift)問題，並有效降低電路整體功率消耗。本篇電路使用互補輸出與硬體共享方式以節省更多電晶體數，並使用雙緣觸發正反器以降低所需工作頻率。本次晶片設計使用 TSMC 0.18  $\mu\text{m}$  CMOS 1P6M 製程與 HSPICE 模擬完成。

**關鍵詞：**LED、DPWM、Color Shift

## 1. 前言

近年來發光二極體(Light Emitting Diode, LED)越來越受歡迎，主要因為 LED 具有省電、壽命長(可長達十萬小時)與無污染(不含汞)等優點，符合現今節能減碳與環保意識。其他優點包含反應速度快、體積小、耐震、安全(低電壓)等。因此，可攜式電子產品大都採用白光 LED 作為背光光源，例如：手機、PDA(Personal Digital Assistants)、數位相機等。隨著 LED 發光效率愈來愈高，已逐步取代傳統照明應用，例如：檯燈、手電筒、交通號誌、室內與汽車照明等，使得 LED 成為日常生活中不可或缺的元件。

LED 與傳統光源最大不同處是具有調光(Dimming)功能，但 LED 的 V-I 曲線為非線性關係，且易受環境與溫度影響。因此，使用恆定電流方式

調節 LED 輸出亮度為目前最有效之方法。其方法可概分為類比(Analog)電流調節與脈衝寬度調變(Pulse-Width Modulation, PWM)兩種方式。

### A. 類比調光模式：

使用電流大小調節方式改變 LED 順向電流峰值，以達到不同亮度之調整。例如，降低一半 LED 的順向電流，可得到相對一半亮度。但此種方式會造成 LED 峰值波長(Peak Wavelength)或顏色偏移(Color Shift)現象[1]-[3]。

### B. 脈衝寬度調變(PWM)調光模式：

脈衝寬度調變(PWM)調光技術使用連續開關 ON 與 OFF 方法，改變 LED 順向電流之責任週期(Duty Cycle)而不改變順向電流峰值。此方法可避免峰值波長或顏色偏移問題[1]-[3]，且具有線性調光之功能與有效降低功率消耗。使用 PWM 方式控制 LED 亮度，其輸出開關頻率( $f_{sw}$ )頻率通常大於 100 Hz 以確保其不會被人眼察覺閃爍現象，而最大工作頻率則需依 LED 反應速度而定。脈衝寬度調變技術已廣泛應用於交換式電源轉換(Switch Power Supply)與馬達控制部分[4]-[9]，以提昇電路工作效率與降低功率消耗，在許多控制應用上已成為不可取代的方法。

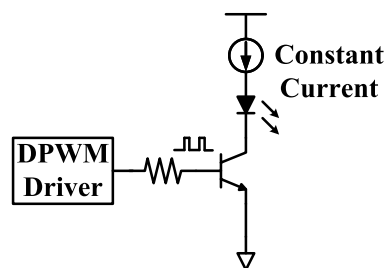


圖 1. 定電流 LED 調光電路架構

\*本項工作由「財團法人國家實驗研究院 晶片系統設計中心」(CIC)協助晶片製作。

本篇將提出一個精簡型高精確度 5-bit 互補式 DPWM 電路，並使用互補輸出責任週期與硬體共享方式以節省更多電晶體數。電路採用雙緣觸發正反器(Double-Edge-Triggered D-Flip-Flop, DETDFF)方式以降低一半所需輸入工作頻率，可降低電路功率消耗。圖 1 為應用於定電流 LED 調光電路架構。

## 2. 之前研究

首先我們介紹數位式快速時脈計數(Fast-Clocked Counters)電路架構[4]，如圖 2 所示。此電路架構使用計數時脈方式以控制所須輸出脈寬寬度，因此電路在高位元解析度時需要相當高的時脈頻率  $f_{clk} = 2^n \cdot f_{sw}$  ( $n$  為 PWM 解析度)。舉例來說，若需 8-bit 解析度與 1 MHz 輸出的開關頻率( $f_{sw}$ )，則電路須工作在 256 MHz 頻率下運作，且電路同時需兩組工作頻率，在系統整合上較為不便。

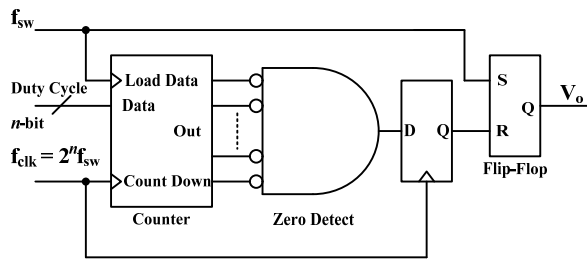


圖 2. Fast-Clocked Counters [4]

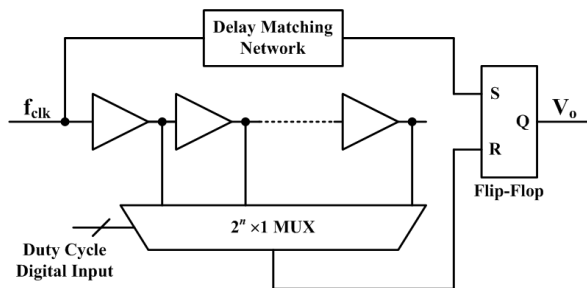


圖 3. Tapped Delay Line [5]

使用延遲線(Tapped Delay Line)電路架構[5]可以解決上述 Fast-Clocked Counters 頻率過高問題，並能有效降低功率消耗。電路架構主要由延遲線(Delay Line)與多工器(MUX)所組成，如圖 3 所示。此電路當解析度為  $n$ -bit 時需要  $2^n$  延遲元件與  $2^n \times 1$

多工器，佔用晶片面積較大，且需要一個準確的時序延遲匹配網路(Delay Matching Network)。另一缺點為使用延遲元件易受製程與環境影響，輸出脈寬不易穩定準確度較差。

為了在功率消耗與面積上取得一個平衡，另一種混合型(Hybrid)電路架構在 2000 年與 2003 年分別被提出[6][7]，電路架構如圖 4 所示。此架構同時具有計數器與延遲線的優點，使用環型震盪器產生參考時脈，再搭配計數器以擴增不同之解析度。電路整體解析度為  $n$ ， $n$  位元長度由  $n_d$  位元與  $n_c$  位元所組成( $n = n_d + n_c$ )，在  $n_d = 2$  bit 與  $n_c = 2$  bit 下其解析度為  $2^{n_d} \cdot 2^{n_c} = 16$  階。圖 4 為 4-bit 混合型電路架構，主要由  $2^{n_d}$  延遲元件與  $n_c$ -bit 計數器所組成，此設計可平衡所需的輸入頻率與晶片面積。圖 4 下方為電路工作波型，輸入訊號分別控制計數器與多工器之輸出訊號，以選擇所需之輸出責任週期。此電路架構在高位元解析度較傳統電路更具優勢，但用於低位元解析度時，所需電路架構較多且接線複雜。此電路另一缺點為 RS 正反器之輸入訊號會發生突波(Glitch)現象，造成 RS 正反器錯誤觸發而產生錯誤輸出責任週期。

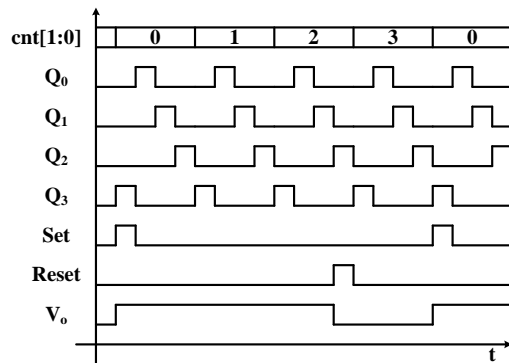
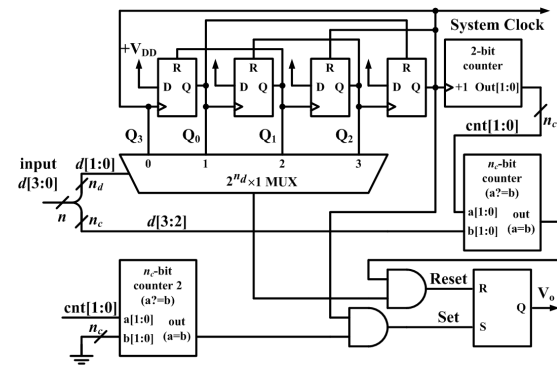


圖 4. Hybrid [7]

### 3. 新型雙緣觸發互補式電路架構

圖 5 為本篇提出新型 5-bit 解析度之互補式數位脈衝寬度調變(Complementary DPWM, CDPWM)電路架構, 可使用於圖 1 定電流 LED 之 PWM 調光應用。電路主要分成兩大部分, 第一部分為強生計數器(Johnson Counter), 用以產生所需參考波形(方波)。第二部分為輸出級(Output Stage), 用以產生與互補所需之輸出責任週期(Duty Cycle)。此架構下僅需  $2^{n-1}$  的延遲元件與  $2^{n-1} \times 1$  的多工器, 而輸入時脈頻率  $f_{clk} = 2^{n-1} \cdot f_{sw}$ 。CLK 為電路時脈訊號, C[0:4] 為責任週期之控制訊號, 可調整範圍為 32 階。

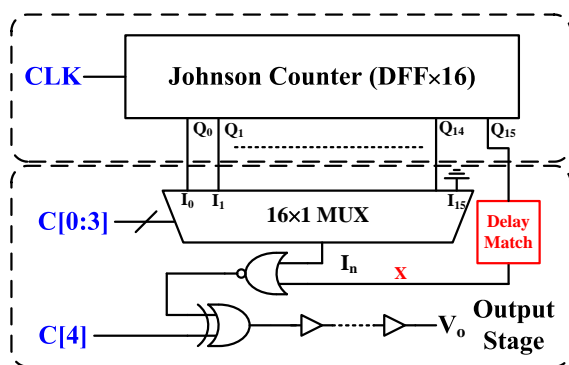


圖 5. 互補式 DPWM 電路架構

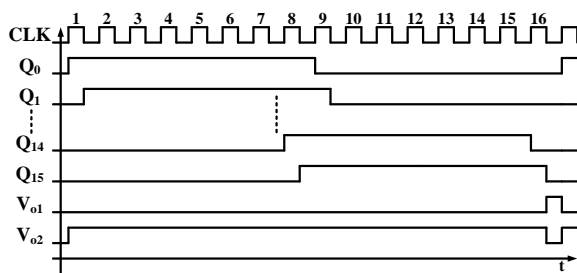


圖 6. 電路工作原理

#### 3.1 電路原理

強生計數器(Johnson Counter)原為除  $2N$  的電路架構, 其特性為每一級輸出皆為相同週期之方波。本篇將利用此特性產生所需之責任週期, 並以雙緣觸發設計方式以降低一半所需輸入時脈頻率( $f_{clk}$ )或增加一倍輸出開關頻率( $f_{sw}$ )。最後以互斥或閘(XOR)作為本篇電路之輸出級, 以互補另一半輸出責任週

期, 以節省一半電路架構。

圖 6 為本篇電路架構之工作原理, 先由 Johnson Counter 產的生 16 個方波( $Q_0 \sim Q_{15}$ ), 並經由多工器(MUX)選擇  $Q_0 \sim Q_{14}$  其一訊號與  $Q_{15}$  作反或閘(NOR)運算。例如, 當選擇  $Q_0$  與  $Q_{15}$  作反或閘運算且  $C_4$  為 0 時, 互斥或閘(XOR)相當於一個傳輸閘(Transmission Gate), 可產生  $D = 1/32$  之責任週期, 如  $V_{o1}$  所示。若控制訊號  $C_4$  為 1 時, 互斥或閘(XOR)相當於一個反相器(INV)功能, 輸出將互補產生  $D = 31/32$  之責任週期, 如  $V_{o2}$  所示。使用互補輸出責任週期技巧可節省一半電路架構, 能有效降低電晶體數與功率消耗。

#### 3.2 雙緣正反器(DETDFF)

本篇使用 DETDFF 電路架構, 僅需使用 16 個時脈週期即完成 32 階解析度設計。圖 7(a)為傳統反相器組成之單緣觸發(Single-Edge-Triggered, SET)正反器電路架構, 所需電晶體數為 12。圖 7(b)為反相器組成之 DETDFF 架構, 所需電晶體數為 16。換句話說, 我們只增加 4 電晶體數, 但確可獲得降低一半工作頻率之優點。

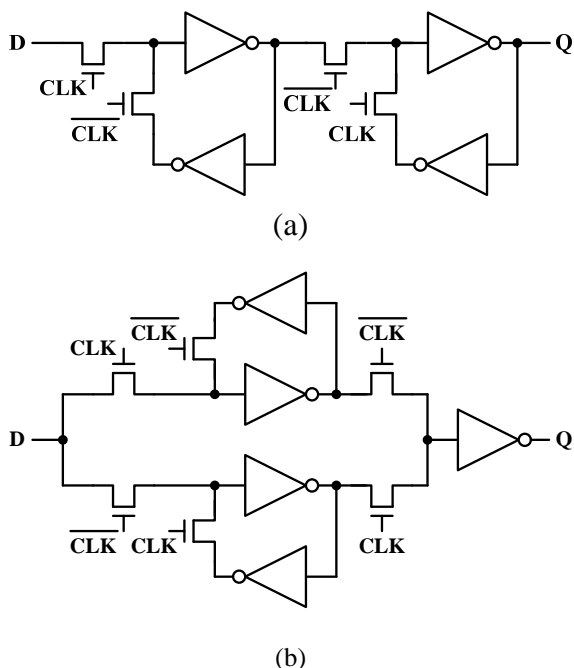


圖 7. 傳統 DFF 電路架構 (a) SET. (b) DET.

### 3.3 延遲匹配電路

為了進一步提高輸出脈寬準確度，我們增加延遲匹配網路設計，如圖 5 Delay Match 方塊所示，以匹配  $I_n$  與 X 訊號因路徑不同/訊號延遲不同所產生之誤差。本篇使用 PTL (Pass-Transistor Logic) 電路架構設計多工器(MUX)電路，圖 8 為  $4 \times 1$  多工器匹配範例。所有輸出路徑都須經過 2 顆 NMOS 電晶體，因此在 4 對 1 多工器情況下， $Q_{15}$  須加上 2 顆 NMOS 電晶體作為延遲匹配電路，以平衡訊號延遲誤差。經過此設計，在 5-bit 解析度下，電路模擬精確度與理論值誤差可降低至 1 ns，詳見後續表 2 說明。

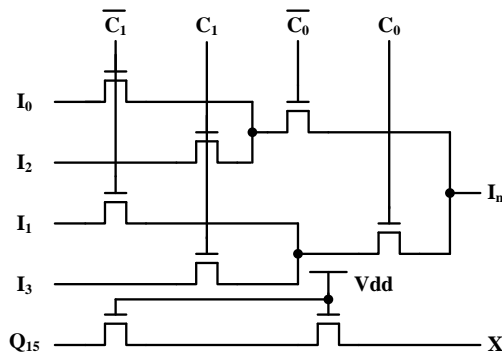


圖 8. 延遲匹配電路

### 3.4 多輸出功能

本篇電路另一特色為具有多輸出功能，為能有效降低所需電晶體數，本設計使用共享 Johnson Counter 之參考訊號以提供更多輸出級使用，產生同步與多輸出責任週期之功能。本篇將以三輸出為範例，設計一個具有三輸出與 5-bit 解析度之三色 RGB LED 調光電路，如圖 9 所示。

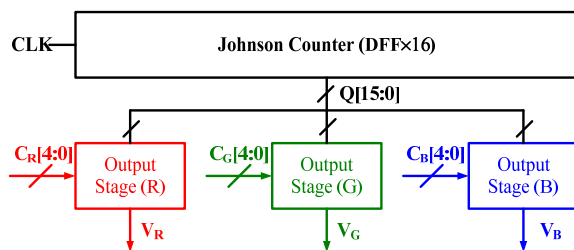


圖 9. 三色 LED 調光架構

### 4. 模擬結果

本項工作所使用的模擬環境為台積電(TSMC)提供的  $0.18 \mu\text{m}$  CMOS Mixed-Signal 1P6M 1.8/3.3V 製程完成，模擬軟體為 HSPICE，驗證軟體為 Calibre。圖 10 為具 3 輸出 5-bit 互補式 DPWM 控制 IC 之晶片佈局圖，整體電路具有 3 組輸出，每組輸出各有 5-bit 解析度，核心電路佈局面積為  $280 \times 52.5 \mu\text{m}^2$ ，共有 494 總電晶體數，1.8 V 工作電壓下平均消耗功率  $1.3 \text{ mW}@200 \text{ MHz}$ ，表 1 為晶片特性規格。

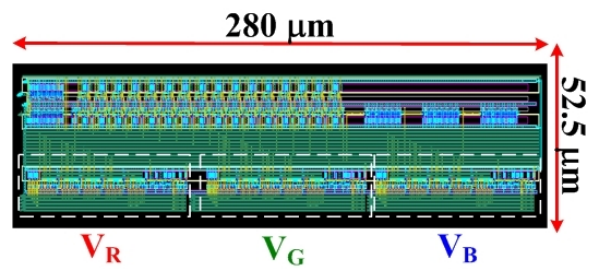


圖 10. 晶片佈局圖

表 1. 晶片規格

核心電路面積	$280 \times 52.5 \mu\text{m}^2$
解析度/輸出級	5-bit / 3組
總電晶體數	494
工作電壓	1.8 V
輸入/輸出頻率	200 / 12.5 MHz
平均消耗功率	$1.3 \text{ mW}@200 \text{ MHz}$

圖 11 為電路核心(Core)佈局模擬結果(Post Layout Simulation)。第一個波形為輸入時脈 CLK 200 MHz；第二到第四波形分別設定輸入控制訊號  $C_R [4:0] = 00000$ 、 $C_G [4:0] = 01111$ 、與  $C_B [4:0] = 10000$ ，分別產生最小責任週期  $D = 1/32$ 、中等責任週期  $D = 16/32$ ，與最大責任週期  $D = 31/32$  等三種輸出。模擬結果驗證本篇電路功能完整無誤。

表 2 為電路模擬輸出責任週期與理論值之對應表，分別顯示責任週期模擬結果之最小( $D = 1/32$ )、中等( $D = 16/32$ )、與最大( $D = 31/32$ )三種模擬值與理論值之誤差。從表中初步可看出最小輸出責任週期

誤差最大且高達 29.4 %，因在 200 MHz 輸入頻率下，半週期時間僅有 2.5 ns 的寬度，因(1)實際佈局繞線長度不同與(2)波形上升下降時間為非理想值所造成，但實際誤差時間僅有 0.7 ns。此誤差在實際應用上乃是極為微小。

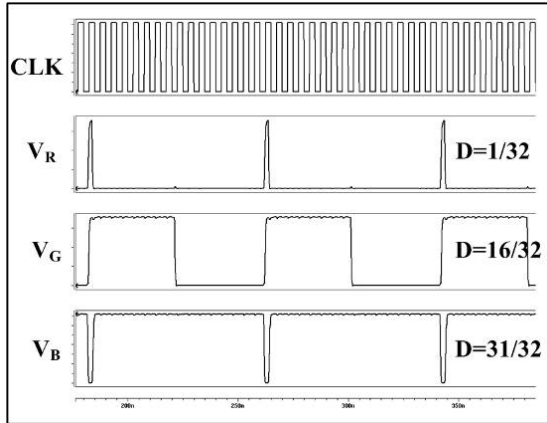


圖 11. 模擬結果

表 2. 電路模擬與理論值之對應表

CDPWM @200 MHz			
Duty Cycle	Theoretical	Simulation	Error
D= 1/32	3.125 %	2.206 %	29.4 % (err=0.7 ns)
D=16/32	50.0 %	48.750 %	2.5 % (err=1 ns)
D=31/32	96.875 %	97.000 %	0.12 % (err=0.1 ns)

## 5. 結論

本研究成功完成具有 3 輸出 5-bit 解析度互補式 DPWM 控制 IC，可同步控制 3 組 PWM 輸出責任週期，以達到紅、綠、藍三色 LED 亮度控制。電路使用互補輸出與硬體共享技巧有效降低電晶體數與功率消耗，且使用雙緣觸發技巧在相同電路功能下較之前設計可有效降低輸入頻率一半。模擬結果顯示在輸入頻率 200 MHz 下，精確度可達到誤差 1 ns 以內。

## 參考文獻

- [1] 周志敏、周紀海、紀愛華，LED 驅動電路設計與應用，初版，五南圖書出版股份有限公司，2008，台北。
- [2] M. Dyble, N. Narendran, A. Bierman, T. Klein, "Impact of Dimming White LEDs: Chromaticity Shifts Due to Different Dimming Methods," *Proceedings of the SPIE*, Vol. 5941, pp. 280-288, 2005.
- [3] X. Xu, X. Wu, "High Dimming Ratio LED Driver With Fast Transient Boost Converter," *IEEE Power Electronics Specialists Conference*, pp. 4192-4195, June, 2008.
- [4] G.Y. Wei, M. Horowitz, "A Low Power Switching Power Supply for Self-Clocked Systems," *International Symposium on Low Power Electronics and Design*, pp. 313-317, Aug., 1996.
- [5] A.P. Dancy, A.P. Chandrakasan, "Ultra Low Power Control Circuits for PWM Converters," *IEEE Power Electronics Specialists Conference*, vol. 1, pp. 21-27, June, 1997.
- [6] A.P. Dancy, R. Amirtharajah, A.P. Chandrakasan, "High-Efficiency Multiple-Output DC-DC Conversion for Low-Voltage Systems," *IEEE Transactions on VLSI Systems*, vol. 8, pp. 252-263, June, 2000.
- [7] B.J. Patella, A. Prodic, A. Zirger, D. Maksimovic, "High-Frequency Digital PWM Controller IC for DC-DC Converters," *IEEE Transactions on Power Electronics*, vol. 18, pp. 438-446, Jan., 2003.
- [8] A. Syed, E. Ahmed, D. Maksimovic, E. Alarcon, "Digital Pulse Width Modulator Architectures," *IEEE Power Electronics Specialists Conference*, vol. 6, pp. 4689-4695, June, 2004.
- [9] H. Chen, S. Li, Q. Niu, Y. Wu, F. Zhou, "A Multi-Phase Self-Sensing Clock Generator for Hybrid DPWM Application," *ASICON'07. 7th International Conference*, pp. 635-638, January, 2007.