

可應用於生醫系統之高增益高共模拒斥比前置放大器 High-Gain High-CMRR Pre-Amplifier for Biomedical Systems

謝韶徽、林俊宏*、洪玉城、董秋溝、游信強

國立勤益科技大學電子工程系

{ssh, ychung, tungck, hcyou}@ncut.edu.tw, *s49713010@student.ncut.edu.tw

摘要

本文提出一個可應用於生醫系統的高增益(Gain)高共模拒斥比(Common Mode Rejection Ratio, CMRR)的前置放大器(Pre-Amplifier)設計。利用加入準位偏移電路與第二增益級，改良原電路的輸出擺幅與增益，且保留高 CMRR 值的特性。本文提出之前置放大器電路設計以 TSMC 0.18 μ m 混合模 CMOS 製程技術實現，前置放大器之增益與 CMRR 分別達到 88dB 與 101dB，相位邊限(Phase Margin)為 63 $^\circ$ ，三分貝頻率 f_{-3dB} 為 0.5KHz，增益頻寬乘積(Gain Bandwidth, GBW)為 12.5MHz，迴轉率(Slew Rate, SR)為 13 V/ μ s，最大輸出振幅接近電源供應電壓。

關鍵詞：前置放大器、CMRR

一、前言

近年來由於生醫電子領域的蓬勃發展，具有高抗雜訊能力的前置放大器日漸受到重視。而人體生理訊號轉換為電子訊號後的電壓振幅通常只有數毫伏特，如此微小的訊號極易受到雜訊干擾。因此，量測系統之前置放大器必須同時擁有高抗雜訊能力以及高增益，才能將這數毫伏的訊號排除雜訊並經由不失真的放大，以作後續處理提升後端電路輸出訊號的可信度。

具有輸入差動對(Differential Pair)的運算放大器經常被使用在前置放大器中，這是由於差動輸入結構可以有效的抑制雜訊，其抑制雜訊的效能就取決於 CMRR 值的高低。對於一個理想的運算放大器而言，必須具有無窮大的開路電壓增益(Gain)與 CMRR 值，但在實際設計上，僅能盡量趨近這些理想數值而已。在各種運算放大器的電路架構中，若考慮獲得較高的增益，可利用疊接(Cascode)組態[1]來實現，但因為疊接電晶體的關係，將會使輸出擺幅(Output Swing)受到限制。在製程技術微縮(Scaled Down)的今日，供應電壓(Supply Voltage)日漸降低，因此限制了疊接組態的應用範圍。因此，若為了獲得較高的增益，最常見的是運用兩級(Two-Stage)結構來實現；相較於疊接組態，兩級架構能同時達到高增益與大輸出振幅的需求。

文獻[2]-[3]所提出的運算放大器可提供極高的 CMRR 值，但對於一般應用而言，其增益量並不足夠，這是由於其增益函數受限於單一級電路的轉導(Transconductance)與輸出阻抗(Output Impedence)的乘積所致，而這兩項參數彼此之間又互相限制，所以增益能提升的範圍非常有限。因此，透過串接第二增益級，可望使增益獲得有效的提升，但是將會導致輸出擺幅不足的問題，且加入第二級電路將會增加多餘的極點(Pole)，這將會嚴重的影響穩定度(Stability)。本

文將文獻[2]之電路加以改良，並針對其電壓增益、輸出擺幅與穩定度等問題提出探討，最後提出一個新的電路架構來克服這些問題。

二、高 CMRR 兩級前置放大器設計

本文的構想是將文獻[2]之高 CMRR 值的單級運算放大器作為差動輸入級，其輸出再連接到一個共源極(Common Source, CS)組態，形成兩級結構，藉此提高整體電路增益並且保有高 CMRR 值的特性，此新的電路架構如圖 1 所示；其電壓增益可表示為：

$$A_V = g_{m1}R_{o1}g_{m2}R_{o2} \quad (1)$$

其中 $g_{m1}(g_{m2})$ 、 $R_{o1}(R_{o2})$ 分別為第一級(第二級)的轉導與輸出阻抗。

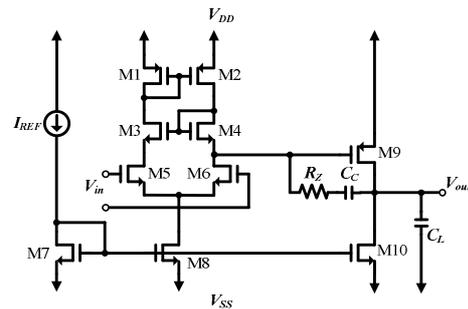


圖 1. 高 CMRR 兩級架構

如(1)式所示，加入第二級之後總體增益明顯提高，但亦帶來了一個多餘的極點，此極點所造成的穩定度問題可以藉由米勒補償[3]來獲得解決。由於 M1 與 M2 電流鏡的作用，參考電流 I_{REF} 在差動對的兩路徑中均分，使 M1 的汲極電壓與 M4 汲極電壓互相追隨，因此， $V_{SG1}=V_{SD1}=V_{SG2}=V_{SD2}$ 、 $V_{GS4}=V_{DS4}=V_{GS3}=V_{DS3}$ ，而 M6 汲極的大信號輸出位準約等於：

$$V_{D6} = V_{DD} - V_{SG2} - V_{GS4} \quad (2)$$

其中， $V_{SG2} = V_{th2} + V_{SD2(sat)}$ 、 $V_{GS4} = V_{th4} + V_{DS4(sat)}$ ，且 V_{th4} 因為本體效應(Body Effect)的影響，將會非常的大，因此，這個 V_{D6} 的大信號位準會非常的低，當其饋入到第二級的輸入時，共源極電晶體 M9 的源開極電壓 V_{SG9} 將會過大，使得 M9 的源汲極電壓 V_{SD9} 被迫增大以維持在飽和區操作，造成輸出正擺幅的範圍被嚴重的限制，最大輸出正擺幅約為：

$$V_{out(max)} = V_{D6} + |V_{th9}| \quad (3)$$

在一般的情況下，輸出訊號的上下擺幅是相等的，如果在輸出端出現一個輸出正擺幅大於 $V_{out(max)}$ 的訊號，將會使 M9 電晶體離開飽和區進入三極管區，使增益下降。

為了解決這個問題，我們在第一級與第二級之間加入準位偏移(Level Shift)電路，使連接到第二級的大信號位準提升，降低 V_{SG9} ，提高正輸出擺幅的範圍。準位偏移是源極隨耦器(Source Follower)的一種應用，如圖 2 所示，由於其輸入與輸出的轉移函數(Transfer Function)與小訊號增益的相關性極低，因此適用來作為大信號位準的調整電路。為了提升電壓準位，本文使用 PMOS 電晶體來作為準位偏移的轉換電晶體(若要降低電壓準位可選擇 NMOS 電晶體)M。將此電路加在第一級的輸出與第二級的輸入之間(也就是圖 1 中 M6 的汲極與 M9 的閘極)，經過準位偏移電路轉換後的大信號直流準位為：

$$V_{G9} = V_{D6} + V_{SG} \quad (4)$$

其中， V_{SG} 代表的是準位偏移電壓， V_{G9} 則為第二級的輸入直流準位，而源極隨耦器電晶體的汲源極電壓會等於第二級共源極電晶體的閘源極電壓， V_{G9} 的值很單純的取決於源極隨耦器電晶體與其偏壓電流源 I_{bias} 的分壓，假設偏壓電流源之電晶體與源極隨耦器電晶體皆為 PMOS(NMOS)，且通道長度 L 相等，則 V_{G9} 可表示為：

$$V_{G9} = (V_{DD} - V_{SS}) \frac{W_{bias}}{W_{bias} + W_{shift}} \quad (5)$$

因此，饋入到第二級的大信號位準提升了一個 V_{SG} ，這使得最大輸出正擺幅亦可提升同樣的值：

$$V_{out(max)} = V_{D6} + |V_{th9}| + V_{SG} \quad (6)$$

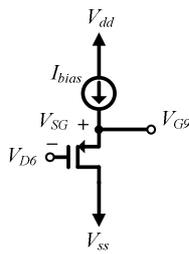


圖 2. 準位偏移電路

三、高增益高 CMRR 前置放大器設計

本文所提出的高增益高 CMRR 前置放大器之完整電路如圖 3 所示，為三級電路架構的前置放大器設計。第一級由 M1-M8 所組成之高 CMRR 值差動輸入級電路，利用此電路作為差動輸入級，可獲得極高的 CMRR 值[2]；第二級是由 M9-M12 所組成的準位偏移電路，其中 M9-M11 為偏壓電路，M12 為源極隨耦器；第三級為共源極放大輸出級，由 M13-M14 所組成；

整體前置放大器電路的增益是由差動輸入級與輸出級所提供。由於增益極高，且加入準位偏移電路後將會引入一個新的極點，這樣會造成相位邊限(Phase Margin)減少，使電路穩定度變差；一般來說，相位邊限至少要 60° 。整個電路需要考慮的極點有三個，分別為 f_{p1} 、 f_{p2} 、 f_{p3} ，主極點 f_{p1} 由輸出端 V_{out} 所產生，這是由於負載電容 C_L 通常會遠大於其他節點的總對地電容。

第一個次極點 f_{p2} 可以推測由 M6 的汲極所產生，也就是第一級的輸出端，這是因為其輸出端的輸出阻抗極大。第二個次極點 f_{p3} 就是加入準位偏移電路後所引入的極點，其所在的節點是 M12 的源極，這個極點的位置會離複數頻率平面原點(Origin of the Complex Frequency Plane)較遠，原因是源極隨耦器的寄生電容並不會引發米勒效應，因此會有較好的高頻響應，但如果單增益頻率的位置比極點 f_{p3} 的頻率還要高，或是 f_{p2} 與 f_{p3} 距離太近，都會使相位邊限降低。

因此，我們必須針對極點的位置加以分析，並透過電性設計與加入補償電路，將這些會影響電路穩定度的極點做妥善的設計。其實電路中還有許多極點，但若是一併考慮，則其轉移函數會相當複雜，而由於其餘的極點屬於高頻部份，均遠離單增益頻率，因此可將其忽略。

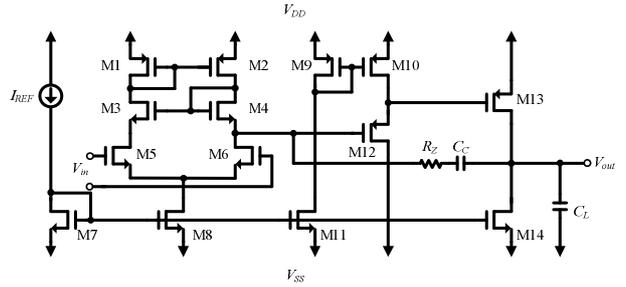


圖 3. 高增益高 CMRR 前置放大器

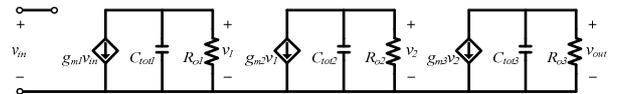


圖 4. 高頻小訊號等效電路

整個電路的轉移函數為一個複雜的三階多項式，在計算上非常困難，但為了了解各極點之間的關係，我們可以使用文獻[4]中的一個簡單的高頻小訊號模型如圖 4 所示，來估算各極點的位置，並假設源極隨耦器之小訊號增益 $g_{m2}R_{o2} = 1$ 。總轉移函數可以表示為：

$$\frac{V_{out}}{V_{in}} = \frac{g_{m1}R_{o1}g_{m3}R_{o3}}{(SC_{tot1}R_{o1} + 1)(SC_{tot2}R_{o2} + 1)(SC_{tot3}R_{o3} + 1)} \quad (7)$$

其中分子項為直流增益，分母項為三階多項式的標準式，可由分母看出三個極點頻率的位置分別為 $1/C_{tot1}R_{o1}$ 、 $1/C_{tot2}R_{o2}$ 、 $1/C_{tot3}R_{o3}$ ，其中 C_{tot1} (C_{tot2} 、 C_{tot3}) 分別為第一(第二、第三)級輸出端的總對地電容， R_{o1} (R_{o2} 、 R_{o3}) 分別為第一(第二、第三)級的輸出阻抗，

這三個極點亦可表示為：

$$f_{p1} = \frac{1}{2\pi(r_{o13} // r_{o14})C_{tot3}} \quad (8)$$

$$f_{p2} = \frac{1}{2\pi(r_{o2}C_{tot1})} \quad (9)$$

$$f_{p3} = \frac{g_{m2} + g_{mb2}}{2\pi C_{tot2}} \quad (10)$$

其中 f_{p1} 為主極點， f_{p2} 與 f_{p3} 為次極點， r_{o2} 、 r_{o13} 、 r_{o14} 分別為電晶體 M2、M13、M14 的輸出阻抗， g_{m2} 與 g_{mb2} 分別為第二級源極隨耦器的轉導與本體轉導(Body Transconductance)。觀察上述三式我們可以做出一個假設，即 f_{p3} 會遠離 f_{p2} 與 f_{p1} ，這是因為其輸出阻抗極低的緣故。假設這三個極點在單增益頻率 f_i 之內，則在相位變化至 180° 時仍會有多餘的增益存在，因此，如果要增加相位邊限， f_{p3} 必須設計在遠離 f_i 之外的位置，且為了得到 60° 以上的相位邊限， f_{p2} 必須至少為 f_i 的 2.2 倍[4]，因此必須加入補償電容於 f_{p1} 與 f_{p2} 之間。經過補償後的 f_{p1} 、 f_{p2} 、 f_i 可表示為：

$$f'_{p1} = \frac{1}{2\pi[g_{m3}r_{o2}(r_{o13} // r_{o14})C_C]} \quad (11)$$

$$f'_{p2} = \frac{g_{m3}}{2\pi C_{tot3}} \quad (12)$$

$$f_i = \frac{g_{m1}}{2\pi C_C} \quad (13)$$

其中 g_{m1} 、 g_{m3} 為第一級與第三級的轉導， C_C 為米勒補償電容。為了得到 60° 以上的相位邊限，考慮(10)、(12)、(13)三式可得到如下的關係式：

$$\frac{g_{m2}(1+\chi)}{C_{tot2}} \gg \frac{g_{m3}}{C_{tot3}} \geq \frac{2.2g_{m1}}{C_C} \quad (14)$$

其中 $\chi = g_{mb2}/g_{m2}$ ， C_{tot3} 通常約等於輸出端的負載電容 C_L ，一般的情況下 C_L 會大於 C_C ，所以若要讓上式成立，則 g_{m3} 必須比 g_{m1} 大 $2.2C_L/C_C$ 倍。(14)式中的 C_{tot2} 通常約為源極隨耦器的 C_{gs} ，其值遠小於 C_L ，約為一個數量級，因此前兩項的關係式可以很輕易的達到。由於 g_{m2} 的值與源極隨耦器 M12 的電流 I_{D12} 成正比，為了不使加入準位偏移電路而增加額外的功率消耗， g_{m2} 的值可以很小甚至不需考慮(在低頻設計時)，而為了使電路設計簡單，有一個參考性的作法是使 $I_{D11} = I_{D6} = 1/2I_{REF}$ ，假設每個電晶體的過驅電壓(Overdrive Voltage)皆相等且忽略通道長度調變效應，則可以得到一個有用的結果：

$$\frac{\mu'_p}{\mu'_n} = \frac{(W/L)_6}{(W/L)_{12}} \quad (15)$$

其中 μ'_p 、 μ'_n 分別為 PMOS 與 NMOS 的載子移動率(Mobility)，由(15)式可知，當上述假設成立且 M12 與 M6 之電流相等時，若要使加入源極隨耦器後的電路仍然保持穩定且補償電路能正常工作，則差動電晶體之長寬比與源極隨耦器電晶體之長寬比至少須為 PMOS 與 NMOS 之載子移動率的比值，這是一個可作為電性設計時的參考值。

四、實驗結果與分析

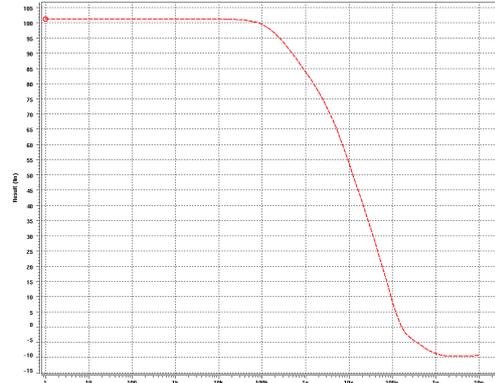


圖 5. CMRR 的模擬結果

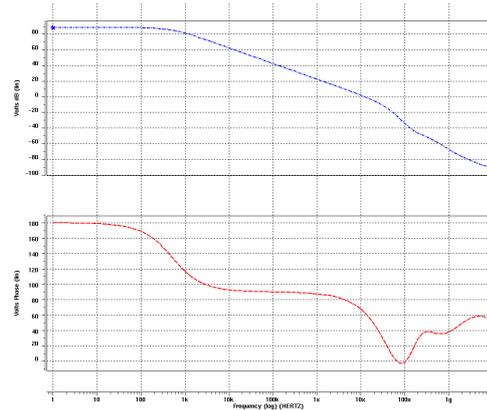


圖 6. 波德圖與相位邊限的模擬結果

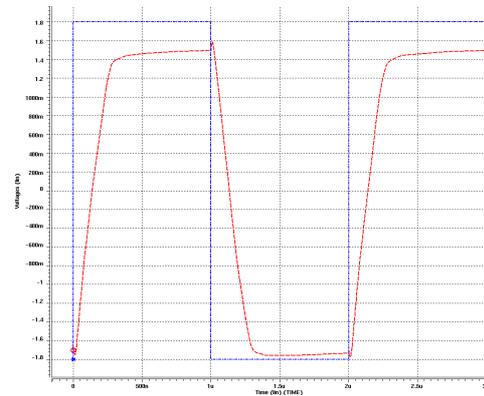


圖 7. SR 的模擬結果

圖 5 為 CMRR 的模擬結果，其值極高，這是利用 [2] 之電路作為差動輸入級的结果。圖 6 為加入第二增益級與補償電路後增益與相位的變化情形，可由圖中看出在增益降為 0dB 時，相位邊限在 60° 左右。圖 7 為加入一步級訊號測試迴轉率(Slew Rate, SR)的輸出結果。圖 8 為在反向組態時加入 $-V_{p-p} = 1mV$ ，頻率

為 0.1KHz 的弦波訊號後得到的輸出結果，反向放大倍數為 100 倍，圖 9 表示當輸入訊號增加到 $V_{p-p} = 1V$ ，放大倍數為 2 倍時，輸出電壓達到飽和，於是在最大輸出擺幅範圍之外的訊號將被截掉。圖 10 為可應用於生醫系統之高增益高共模拒斥比前置放大器之晶片佈局(Layout)圖。所有針對本前置放大器之實驗結果與量測所得的效能參數皆整理於表 1，實驗結果證實本文提出之高增益高共模拒斥比前置放大器電路在增益上較文獻[2]提昇了 36.9dB，共模拒斥比提昇 15dB，最大輸出擺幅則接近供應電壓。

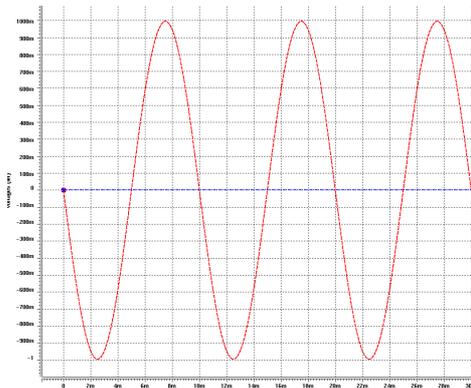


圖 8. 反向放大 100 倍時的輸入與輸出波形模擬結果

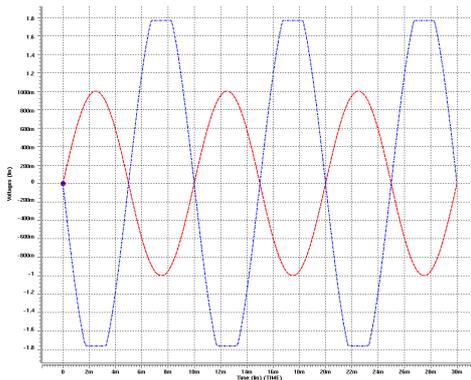


圖 9. 最大輸出擺幅的模擬結果

表 1. 效能參數比較

Specification	[2]	This work
Technology	TSMC 0.18 μ m	TSMC 0.18 μ m
Supply	± 1	$\pm 1.8V$
Gain	51dB	88dB
Phase Margin	N/A	63 $^{\circ}$
f_{-3dB}	11KHz	0.5KHz
GBW	4MHz	12.5MHz
CMRR	86dB	101dB
+PSRR	N/A	74dB
-PSRR	N/A	73dB
+SR	3V/ μ s	13V/ μ s
-SR	-3V/ μ s	-13.7V/ μ s
Settling time	N/A	0.45 μ s
CMIR	-0.1V~+0.1V	-0.8V~+1.3V
Output Swing	N/A	-1.6V~+1.6V
I_{Bias}	20 μ A	20 μ A
Source Current	0.04mA	0.39mA
C_L	5pF	5pF

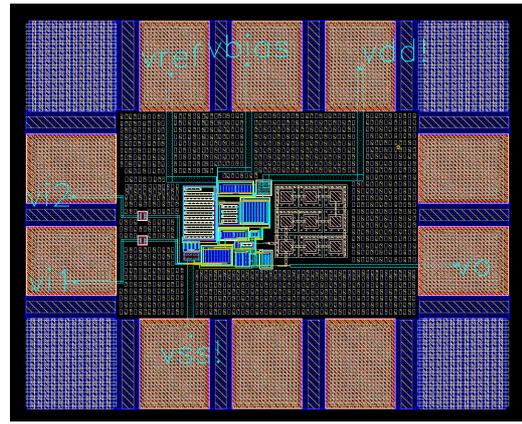


圖 10. 前置放大器之晶片佈局圖

五、結論

本文以一個高 CMRR 值的電路[2]作為差動輸入級，然後藉由加入準位偏移電路以及第二級放大電路來改善最大輸出擺幅與增益，並對多極點系統與穩定度的相關性進行電性設計的探討。本文將文獻[2]之電路架構以偏壓電流 20 μ A、負載 5pF 重新設計，並與本文提出的改良電路互相比較。實驗結果證實本文提出可應用於生醫系統之高增益高共模拒斥比前置放大器在增益上較文獻[2]提昇了 36.9dB，共模拒斥比提昇 15dB，最大輸出擺幅接近供應電壓，設計達成規格要求。未來希望能更深入探討將此電路應用於生醫系統中，並朝改善 CMIR 與強化實用性的方向繼續研究，以達到設計最佳軌對軌輸入/輸出之高增益高共模拒斥比前置放大器，以適用於生醫系統之嚴苛環境。

參考文獻

- [1] B. Razavi, "Design of Analog CMOS Integrated Circuits," chap. 3-10, McGraw-Hill Science, LA, America, 2000.
- [2] J.M. Redouté, and M.Steyaert, "Active Load for Differential Amplifier with High Output Impedance and Reduced Supply Voltage," *Electronics Letters*, Vol. 44, pp. 67-68, Jan. 2008
- [3] 謝韶徽, 林俊宏, "高 CMRR 值的運算放大器," 系統雛形與電路設計創新應用研討會, pp. 167-170, Oct. 2009.
- [4] A.S. Sedra, and K.C. Smith, "Microelectronic Circuits," 5th Edition, chap. 6-9, Oxford University Press, New York, America, 2003.
- [5] P.E. Allen, D.R. Holberg, "CMOS Analog Circuit Design," 2nd Edition, chap. 6, Oxford University Press, New York, America, 2003.
- [6] X. L. Zhang and P. K. Chan, "An Untrimmed CMOS Amplifier with High CMRR and Low Offset for Sensor Applications," *IEEE Asia Pacific Conference on Circuits and Systems (APCCAS 2008)*, pp. 802 - 805, 2008.