

最新 VHDL 晶片設計
使用 ISE、MODELSIM 發展系統

林灶生 · 劉紹漢 編著

RT
448.62
4492-1
169596

05527
007

國立勤益技術學院圖書館

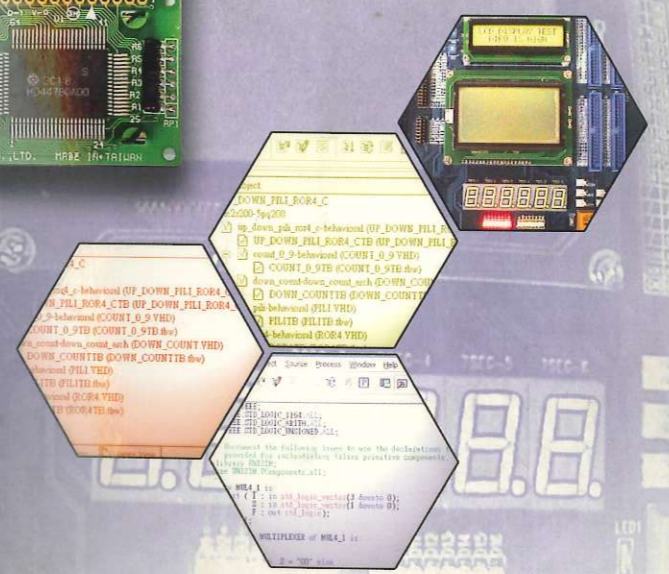
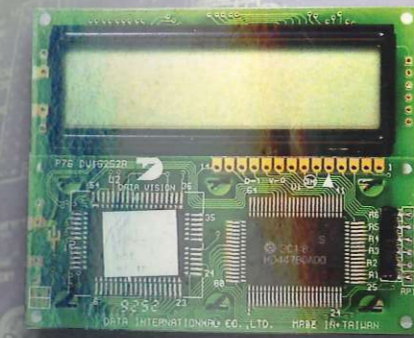


最新

VHDL 晶片設計

使用 ISE、MODELSIM 發展系統

林灶生 · 劉紹漢 編著



附範例光碟

全華科技圖書股份有限公司 印行

最新 VHDL 晶片設計

使用 ISE、MODELSIM 發展系統

1. 本書內容是介紹由Xilinx公司所提供的VHDL語言的特性與使用方法。
2. 附錄B詳細地介紹最新ISE 6.1版發展系統及Modelsim模擬軟體。
3. 書中有許多程式範例，可供讀者練習。

ISBN 957-21-4391-3



9 789572 143919

NT / 580



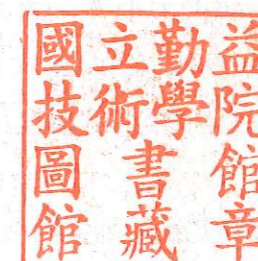
00580

RT
448.62
4492-1
169596

最新 VHDL 晶片設計 — 使用 ISE、MODELSIM 發展系統(附範例光碟片)

林灶生·劉紹漢 編著

精州-經 2 號



全華科技圖書股份有限公司 印行

國立勤益技術學院圖書館



169596

序 言

隨著電子產品更新的速度愈來愈快，功能需求愈來愈大，傳統邏輯的設計方式已經無法滿足這些需要，爲了要在極短的時間內設計出一個功能強大的控制電路，於邏輯電路的設計過程，我們早已跳過傳統邏輯閘階層 Gate Level 的層次，直接進入到以軟體或語言方式來實現電路的時代，也就是說工程師們可以選擇廠商所提供的超大型元件，並以軟體或語言方式將它規劃成自己所需要的硬體控制電路，於市面上提供上述服務的廠商有 Xilinx, Altera等，每一家廠商所提供的設計方式有繪圖方式 schematics，有限狀態機器 FSM，硬體描述語言方式等，其中彈性較大，功能較強且被大眾所廣泛使用的爲硬體描述語言 VHDL。本書的主要目的就是介紹 Xilinx 公司所提供 VHDL 語言的特性與使用方法(特性與 Altera 相似，只是語法不同而已)，我們將整個 VHDL 語言依其特性及前後順序總共分成九個章節，每個章節的內容分別爲：

第一章 介紹邏輯電路設計的發展過程，使讀者了解整個邏輯設計發展的過程，從早期的 SSI→MSI→LSI→VLSI，從傳統的邏輯閘階層→PLD→FPGA 晶片設計的概念與原理，以及 Xilinx 公司所發展的一系列 FPGA 晶片。

第二章 介紹 VHDL 語言的程式結構及保留字，使讀者了解設計一個 VHDL 語言程式時，每個單元的特性，以及那些單元必需存在，那些單元可以不要，那些字元可以使用，那些字元不可以使用(系統在使用)等。

第三章 介紹資料物件與資料型態，使讀者了解系統提供了哪些資料物件 Data object 與資料型態 Data type，使用者如

何定義屬於自己的資料型態，以及這些資料物件及資料型態的特性與使用方式等。

第四章 介紹屬性，共時性，順序性，使讀者了解系統提供那些屬性函數，VHDL 語言所提供電路架構的描述方式以及何謂共時性 Concurrent 描述，順序性描述等。

第五章 介紹資料流的敘述，使讀者了解 Data flow 的描述方式以及使用在資料流描述的共時性敘述 "<="，"when--else"，"when--select--when--" 等命令的特性與用法(利用很多程式來說明)，最後我們設計了一些早期時常使用的晶片供讀者參考。

第六章 介紹行為描述的敘述，使讀者了解 Behavior 的描述方式以及使用在行為描述的順序性敘述 "Process"，"IF"，"Case--is--when"，"Loop"，"Wait" 等命令的特性與用法(配合很多程式來說明)，同時介紹了於序向電路中常看到的計數器 Counter，及左、右移位旋轉電路 Shift、Rotate Register，最後我們設計了一些早期時常使用的晶片供讀者參考。

第七章 介紹階層式、模組化及參數化電路設計，使讀者了解階層式與模組化，參數化的設計方式，並熟悉系統所提供模組化結構，"方塊 Block"，"元件 Component"，"參數化元件"，"參數化重覆原件" 的特性及使用方法。(配合很多程式與電腦畫面來說明)

第八章 介紹函數，程式，套件，使讀者了解 "函數 Function"，"程序 Procedure"，"套件 Package" 的設計方式、建立方式與使用方式。(配合很多程式與電腦畫面來說明)

第九章 介紹 Moore 與 Mealy 狀態機，使讀者了解如何去設計常見到的 Moore 及 Mealy Machine 等控制電路。

介紹完整個 VHDL 語言的特性與設計技巧之後，於附錄 B 內我們詳細介紹了 Xilinx 公司所提供的最新 ISE 6.1 版發展系統及 Modelsim 模擬軟體，同時將一個完整的 VHDL 程式從開始設計到整個電路實現以及硬體電路在 IC 內部的分布狀況等，以螢幕畫面的方式逐一詳細的介紹一遍，讀者只要依本書的指

引，一個畫面一個畫面逐一完成即可(不需求助於他人)。本書附加一張光碟片，凡是書本上出現的程式及硬體電路檔……等皆被燒錄在裡面，讀者可以依書內所指定的檔案名稱找出其程式的原始檔 Source File 以及合成之後的硬體電路檔案，並將它們顯示在螢幕上(依附錄 B 的操作流程)。本書比較適合初學者，如果您是初學者且對於邏輯設計的底子不是很好時，可以閱讀我們所撰寫的 "最新邏輯設計" 一書，內容對於邏輯設計的發展，理念都有詳細的陳述，如果您是這方面的高手或者較習慣 Verilog 時，我們正在撰寫這方面且較深入的實務書籍，書名為 FPGA 晶片設計與專題製作，且在最近出版敬請期待。

林灶生

劉紹漢 謹呈

如何使用光碟片

爲了方便讀者，本書附有光碟一張，其內部兩個目錄分別儲存著：

Book1：本書在 Xilinx ISE 6.1 版系統下發展出來的所有 Project 檔案。

Book2：本書所有 VHDL 的檔案程式。

而其每個檔案或 Project 名稱與書內每個程式抬頭的名稱完全相同，讀者於閱讀本書內容時很容易可以在光碟內找到所要的檔案，而其使用方式：

一、如果您也是使用 Xilinx 系統時：

1. 將光碟片內目錄 Book1 的所有內容拷貝到硬碟內。
2. 於 DOS 系統下進入到 Book1 目錄內下達：

Attrib *.*-r /s(您也可以在 WINDOW 系統下直接修改)

將其內部所有的唯讀檔案改成非唯讀檔案(燒錄在光碟內的檔案皆會被改成唯讀檔，故必須將其還原)，完成上述的動作後，我們即可在 Xilinx 系統內將已經合成後的硬體電路直接顯示在螢幕上。

二、如果您不是使用 Xilinx ISE 6.1 版的系統時：

由於系統不同，因此我們直接提供本書所有程式的 VHDL 檔案，(全部儲存在 Book2 目錄裡面)，讀者可以將其內容任意列印出來或在您使用的系統中稍加修改即可使用，當然如果您也是使用 Xilinx 公司的發展系統時，可以利用新增的方式，將它們直接加入到您的 Project 內(參閱附錄 B 的操作)。

編輯部序

「系統編輯」是我們的編輯方針，我們所提供給您的，絕不只是一本書，而是關於這門學問的所有知識，它們由淺入深，循序漸進。

本書主要介紹 Xilinx 公司提供的 VHDL 語言，從邏輯電路設計的發展過程，VHDL 語言程式每個單元的特性、VHDL 語言屬性...到階層模組化電路設計、程序 Procedure 及套件 Package 的設計與建立，完整探討整個 VHDL 語言特性、設計技巧，內容由淺入深、循序漸進。書中的所有程式範例，它們都是經過驗證且無誤，並已燒錄在附書光碟中。本書適用於科大電子、電機系「數位系統設計」、「VHDL 晶片設計」之相關課程。相信本書必能使讀者獲得更多 VHDL 專門知識！(本書採用 Xilinx 公司所提供的最新版 ISE 6.1 版，ISE 發展系統及 Modelsim 模擬軟體，而模擬軟體的詳細操作方式請閱讀附錄 B 的內容)

同時，爲了使您能有系統且循序漸進研習相關方面的叢書，我們以流程圖方式，列出各有關圖書的閱讀順序，以減少您研習此門學問的摸索時間，並能對這門學問有完整的知識。若您在這方面有任何問題，歡迎來函連繫，我們將竭誠爲您服務。

相關叢書介紹

書號：03504
書名：Verilog 硬體描述語言
編譯：黃英歡、江文啓、黃稚存
20K/536 頁/380 元

書號：05069007
書名：VHDL 概論：由模擬到合成
編譯：吳中浩
20K/528 頁/480 元

書號：05259007
書名：VHDL 晶片設計(附程式範例光碟片)
編著：劉紹漢、林灶生、劉新民
16K/576 頁/480 元

書號：05066017
書名：數位控制系統設計－使用 VHDL (修訂版)(附範例光碟片)
編著：林明權、王瑞祿、蔡國瑞、黃俊岳、陳朝烈
16K/344 頁/380 元

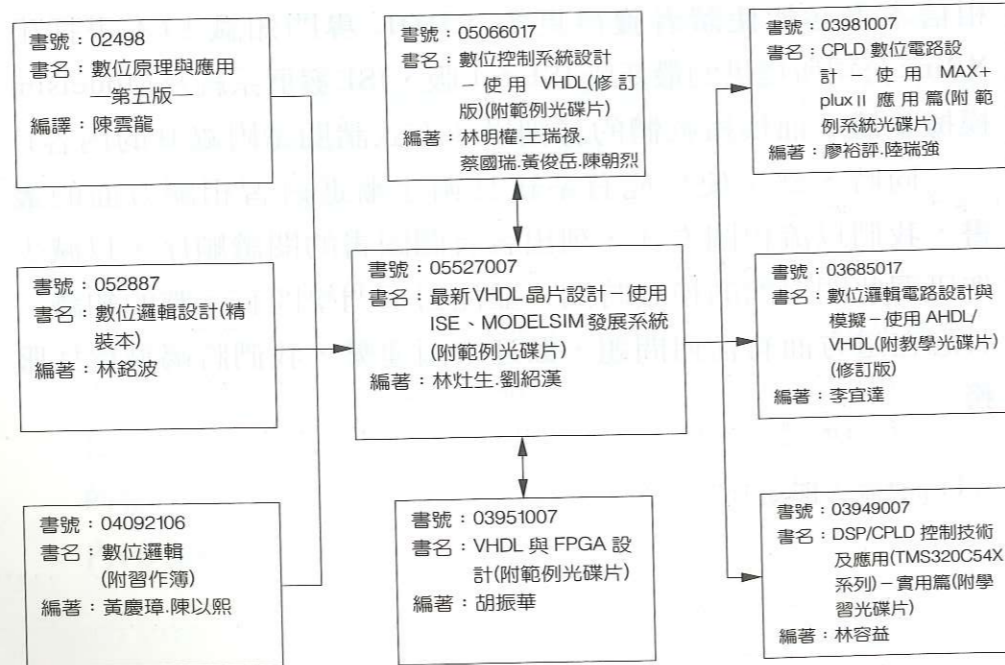
書號：03951007
書名：VHDL 與 FPGA 設計(附範例光碟片)
編著：胡振華
20K/512 頁/450 元

書號：03981007
書名：CPLD 數位電路設計－使用 MAX+plus II 應用篇(附範例系統光碟片)
編著：廖裕評、陸瑞強
20K/616 頁/540 元

書號：03949007
書名：DSP/CPLD 控制技術及應用(TMS320C54X 系列)－實用篇(附學習光碟片)
編著：林容益
20K/832 頁/690 元

◎上列書價若有變動，請以最新定價為準。

流程圖



CHWA TECHNOLOGY

目錄

CONTENTS

1

IC 設計的發展

1-1 使用小型 IC SSI 設計	1-2
1-2 使用中型 IC MSI 設計	1-6
1-3 使用 LSI、VLSI 設計	1-9
1-4 Xilinx 公司的 CPLD、FPGA 晶片編號與規劃方式	1-26
1-5 什麼是 VHDL	1-31

2

VHDL 語言的程式結構及保留字

2-1 VHDL 的程式結構	2-2
2-2 註解欄 Comment	2-3
2-3 Library	2-4
2-4 單體 Entity	2-5
2-5 PORT	2-6
2-6 架構 Architecture	2-10
2-7 架構 Architecture 的描述方式	2-12
2-8 一個完整的 VHDL 程式	2-13
2-9 識別字 Identifier	2-14

3

資料物件與資料型態

3-1 資料型態 Data type	3-2
3-2 已經定義的資料型態 Pre-Defined	3-3
3-3 自己定義的資料型態 User-Defined	3-11

3-4	IEEE Std_logic_1164 PACKAGE.....	3-20
3-5	資料物件 Data object.....	3-24
3-6	運算子 Operator.....	3-32
3-7	常見的符號.....	3-41

4 屬性、共時性、順序性

4-1	屬性 Attributes.....	4-2
4-2	數值屬性 Value Attributes.....	4-2
4-3	函數屬性 Function Attributes.....	4-7
4-4	訊號屬性 Signal Attributes.....	4-15
4-5	型態屬性 Type Attributes.....	4-17
4-6	範圍屬性 Range Attributes.....	4-18
4-7	電路架構的描述 Architecture Description.....	4-19

5 Data Flow 的敘述

5-1	共時性敘述 Concurrent statement.....	5-2
5-2	直接式訊號設定 <=.....	5-3
5-3	條件式訊號設定 when.....else.....	5-18
5-4	選擇式 Selected 訊號設定 with...Select...when.....	5-46
5-5	常用的晶片電路設計.....	5-65

6 Behavior 敘述

6-1	PROCESS 敘述.....	6-2
6-2	IF 敘述.....	6-4
6-3	CASE...IS...WHEN 敘述.....	6-24
6-4	計數器 Counter.....	6-45
6-5	移位旋轉暫存器 Shift、Rotate Register.....	6-68
6-6	迴圈 Loop.....	6-92
6-7	懸住敘述 Wait.....	6-115
6-8	結論.....	6-129

6-9	常用的晶片電路設計.....	6-136
-----	----------------	-------

7 階層式、模組化及參數化電路設計

7-1	方塊 BLOCK.....	7-3
7-2	元件 COMPONENT.....	7-24
7-3	參數化元件.....	7-75
7-4	參數化重覆性元件.....	7-92

8 函數、程序、套件

8-1	函數 Function.....	8-2
8-2	程序 Procedure.....	8-19
8-3	套件 Package.....	8-38

9 Moore 與 Mealy 狀態機

9-1	Moore 狀態機器.....	9-3
9-2	Mealy 狀態機器.....	9-14

A VHDL 的保留字.....附 A-1

B ISE 與 MODELSIM 系統介紹及完整的系統操作流程.....附 B-1