

# 數位邏輯-使用VHDL

## 本書特色

過去的四分之一個世紀中，《數位邏輯基礎》這本書廣泛談論到各種數位邏輯技術，已成為有關數位電子學基礎課程的經典之作，本書是其擴增內容的版本。如果你曾閱讀過《數位邏輯基礎》這本書，目前又需要一本討論有關VHDL和PLD方面的書籍，你可以選購包括基礎和進階課程的《數位邏輯-使用VHDL》，其中還有最新的數位訊號處理技術。在這本書中，我們將VHDL的內容提前，而且在許多章節中不斷加以討論，讓學生能夠使用這些章節所討論的邏輯函式來程式化PLD。此外，本書特別強調應用和故障檢修的技巧，幫助讀者學到實際業界在處理問題時所使用的技術。

與本書相關的大量補充教材，包括下述的：

- 《數位邏輯-使用VHDL的實驗》，0-13-045305-6
- 教師手冊習題和實驗解答，ISBN：0-13-049678-2
- Prentice Hall的Test Manager，這是一個電腦化的測驗題庫，ISBN:0-13-049673-1
- PowerPoint™的Transparencies光碟，0-13-049675-8
- 輔助教學網站 [www.prenhall.com/floyd](http://www.prenhall.com/floyd)
- 電子學網站 [www.prenhall.com/electronics](http://www.prenhall.com/electronics)

原作者結合近30年的工程師和教師經驗，在本書詳細討論下述的議題：

- 基本運算放大器和線性積體電路
- 基礎數位邏輯
- 基礎電子學
- 電子電路裝置
- 基礎類比電路
- 電子電路設計原則

**Lab Central**  
Electronics Technology

PEARSON  
Education  
Taiwan

培生教育出版集團  
<http://www.pearsoned.com.tw>

ISBN 957-21-4366-2



基價  
24.0

9 789572 143667

DIGITAL FUNDAMENTALS WITH VHDL  
數位邏輯-使用VHDL



FLOYD 原著

陳鴻進·陳平和·廖炳松  
白能勝·郭英哲 編譯

RT  
448.62  
5532  
166688

Education  
Taiwan

05358007

國立勤益技術學院圖書館  
166688

DIGITAL  
FUNDAMENTALS  
WITH VHDL  
數位邏輯  
-使用VHDL



PEARSON  
Prentice  
Hall

FLOYD 原著  
陳鴻進·陳平和·廖炳松·白能勝·郭英哲 編譯

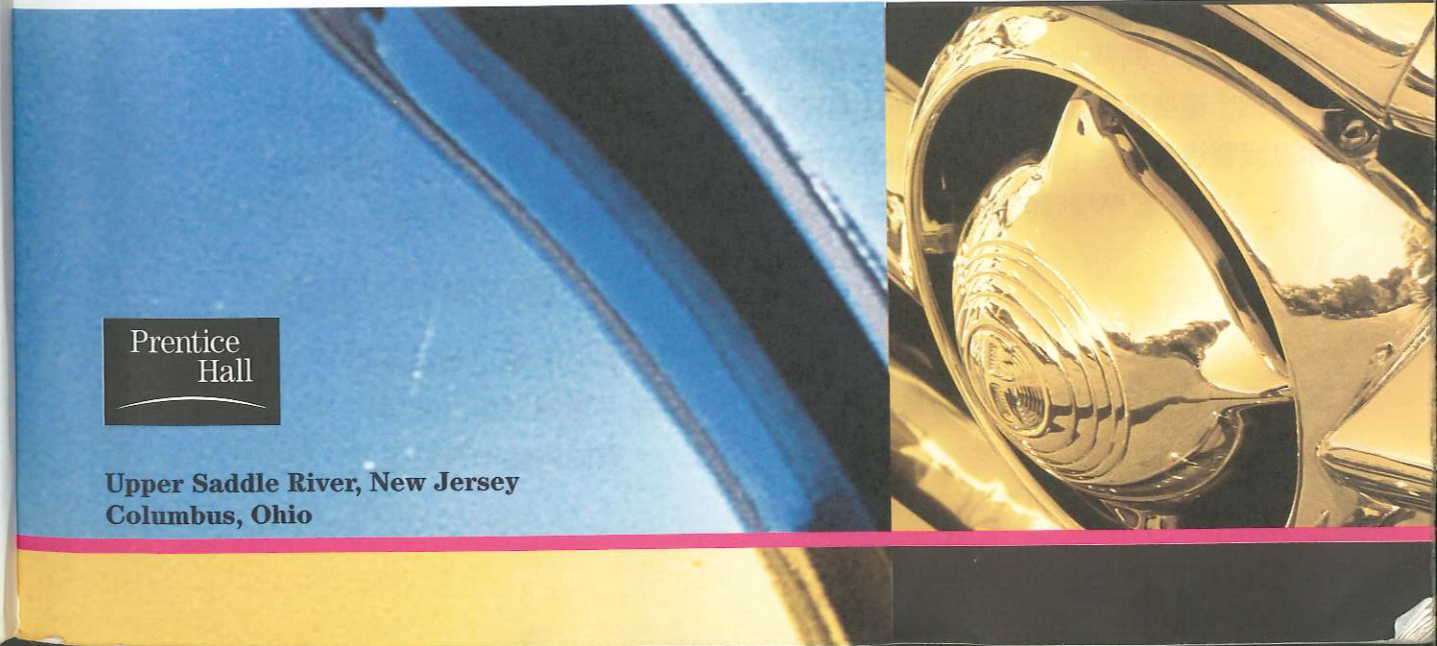
全華科技圖書股份有限公司 印行

# DIGITAL FUNDAMENTALS WITH VHDL

Thomas L. Floyd

Prentice  
Hall

Upper Saddle River, New Jersey  
Columbus, Ohio



## 序論

這是《數位邏輯-使用 VHDL》的第一版，內容生動有趣，採用獨特的方式來教授數位邏輯的基本知識。過去的四分之一個世紀，在「數位邏輯基礎」教科書中廣泛談論到的各種數位邏輯技術，仍是本書的主要內容。可程式化邏輯裝置(PLD)仍是實作邏輯功能的主要方法，我們在附錄中，仍然保留了固定功能邏輯裝置的內容作為參考，而且在本書中很容易參考到這些資料。

VHDL 是程式化 PLD 的一種硬體描述語言，我們在每一章討論邏輯功能的時候，都會連帶討論 VHDL。直到第十章以前，每章都有討論 VHDL 的章節，而第七章則是專門討論 VHDL 的一章。VHDL 是達到目的的一種方法，而不是目的本身，因此我們會視需要逐步介紹新的課題。VHDL 方法讓學生能夠專注在基本的數位觀念和邏輯功能，這是蠻重要的，不需要在還沒有熟悉數位邏輯的基本觀念之前，還要煩惱如何寫程式。VHDL 的內容與基本的邏輯觀念關係密切，是在 PLD 內實作出邏輯功能的一種好方法。學生將會學習到三種基本的 VHDL 方法，來描述邏輯電路和系統，就是：利用邏輯電路圖的結構描述法，利用布林代數來描述邏輯電路的資料流描述法，以及利用狀態圖來描述邏輯電路的行為描述法。

本書所附的實驗室手冊提供讀者使用 VHDL 實作邏輯電路和系統的實際經驗。實驗的內容很緊密的配合本書的課程水準和課題內容。

本書也包括有關微處理器、數位訊號處理以及積體電路技術的章節。第十四章是有關 IC 技術的一章，可以當作補充教材，當然如果時間不允許，也可以整章省略，不會影響到全書的完整性。

你會發現本書所討論的課題，超過單獨一門學科的內容。這些課題的範圍提供老師安排各種課程時所需要的內容。例如，有些關於以設計為導向的內容或者系統應用的課程，可能會不適合某些課程。有些課程可能沒有充分的時間，或者課程內容強調的不是微處理器和數位訊號處理。另外，可能有些課程並不需要第十四章的積體電路技術的內容。這些主題也可以省略或者稍微提到即可，並不會影響到基本課程的內容。閱讀本書並不需要學過電子學，讀者仍然能夠輕鬆學習。

### 主要的課程內容

- 基本的數位觀念和邏輯功能仍是本書主要的內容。
- 可程式化邏輯裝置包括 CPLD 和 FPGA 都是從第一章開始介紹，並且分在許多章節中繼續討論。

- 我們會介紹和討論有關 VHDL 的知識，以便驗證前十章所討論到的基本邏輯功能。
- 我們會在附錄 A 中討論特殊固定功能邏輯裝置，並且在本書適當的地方加上提示。
- 在許多章的結束處，我們都安排了採用「VHDL 應用程式」的「數位系統應用」一節。
- 在第十二章，我們將整章內容都安排討論微處理器，其中包括標準匯流排。
- 在第十三章，我們安排了數位訊號處理。

### 教材特點

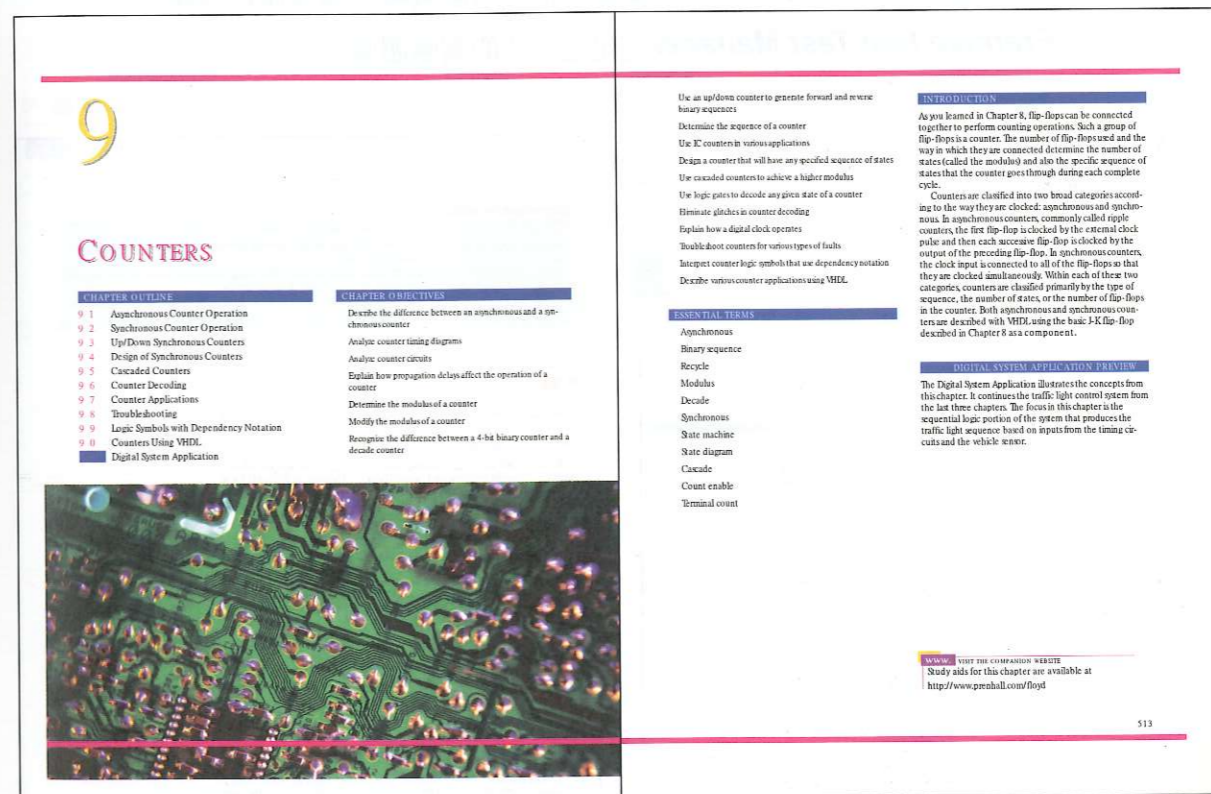
- 全彩印刷，版面的安排頗富親和力。
- 每章開始，我們都安排有本章大綱、本章學習目標、簡介、基本詞彙以及數位系統應用預習(如果該章有數位系統應用一節)。
- 每一節開始，我們則安排了簡介和學習目標。
- 大量的實作例題，並且都附上相關習題。
- 每一節的結束，我們都加上複習題。
- 我們在本書加上許多的「電腦小提示」，提供與課文內容相關電腦技術的有趣資訊。
- 本書附有許多「實用小技巧」，提供許多有用的實用資訊。
- 在每章開始的基本詞彙表，我們將每個詞彙都以粗體字顯示，而且在每章結束處，加以詳細定義，並在本書末，安排總詞彙表。其他的詞彙則是以斜體字顯示。
- 在隨書光碟所附的 EWB 和 Multisim 電路檔案，模擬書中討論的許多邏輯電路，並且在每章結束處，提供了故障檢修習題。
- 對於相關課文內容，我們加上旁文註解，提供許多簡潔的說明或者摘要列述。
- 「習題解答」提供學生每一章的練習題和習題的解答。
- 「本章摘要」將每一章的重要觀念收集在一起。
- 多重選擇的「自我測驗」放在每章的結束處。
- 內容廣泛的習題，按照每一節加以分類，包括基本習題，故障檢修習題，VHDL 習題，系統應用習題以及有關設計的習題。

### 學生學習資源

《數位邏輯-使用 VHDL》本書所附實驗 由 David Buchla 和 Douglas A. Joksch 所撰寫的實驗室手冊，其中包括對 Xilinx 和 Altera 兩家公司出品的 VHDL 編譯器的導覽練習，以及五種專案的電路板，讓學生能夠在可程式化邏輯裝置內實作 VHDL 程式。這本手冊設計了獨特的兩階段實驗方式，可在同一個實驗中，將 TTL 邏輯和 VHDL 可程式化邏輯整合起來。實驗的解答則附在《教師資源手冊》內。

電子 EWB/Multisim 光碟 每本書都附上這片光碟，其中包括針對 EWB/Multisim 故障檢修習題所討論邏輯電路，相關的一組 EWB 模擬電路，以及一組對應的 Multisim 模擬電路。本光碟也附上電子 Workbench 和 Multisim 隨書加強版的軟體。

章節學習輔助 EWB 的使用導覽可在網站 [www.prenhall.com/floyd](http://www.prenhall.com/floyd) 上獲得。



▲圖 P-1

每章開頭的內容。

### 教師資源

**PowerPoint 光碟** 其中包括所有課文的投影片，以及由 Douglas Corteville 為每章所準備的上課講授內容。這片光碟包括由 David Buchla 所準備實驗室手冊的創新 PowerPoint™ 投影片。

**學習網站(www.prenhall.com/floyd)** 教師可以利用網站提供的 Syllabus Manager 軟體，將課程內容放在網站上，供學生閱覽。這是一個很棒的方法，將課程內容放到網路上，讓學生能夠自我學習，或者利用電腦幫助，能夠跟上學習進度。這個網站也提供有關實驗室練習的學習資源。

**線上課程支援** 如果教師是採用遠端教學的方式上課，可以聯絡當地的 Prentice Hall 銷售代表，以便取得相關支援產品的清單。

**教師資源手冊** 其中包括每章習題的解答，數位系統應用的解答，EWB/Multisim 模擬結果的摘要說明，以及針對實驗手冊中所附實驗的完整程式和解答。

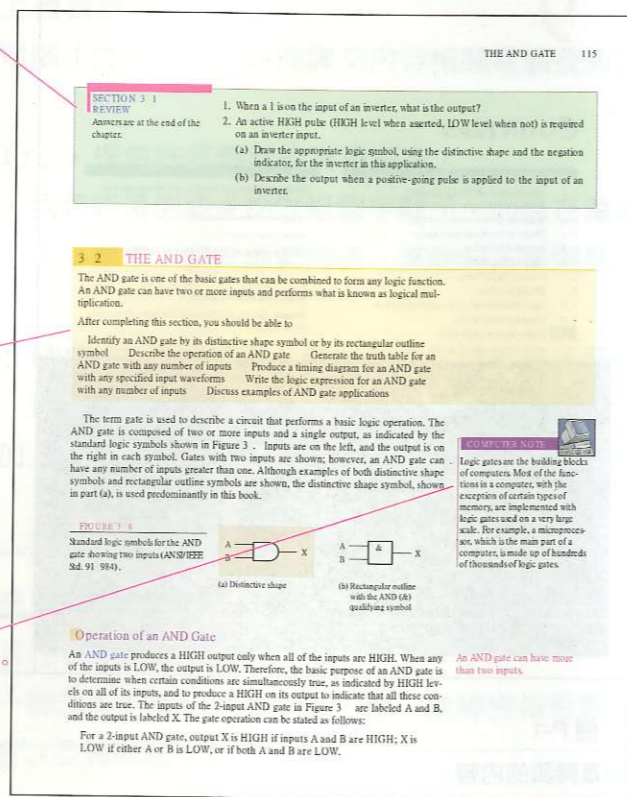
**Prentice Hall Test Manager** 這是電子式的測驗題庫。

圖 P-2 節開頭和節複習。

每節節尾都附上複習題。

每章開頭都有簡介的短文和該節學習目標的清單。

在內文中會不時穿插上「電腦小提示」的內容(但不屬於節開頭的部分)。



### 針對每章特色的說明

**每章開頭** 每章開頭包括兩頁的篇幅，如圖 P-1 所示。左邊一頁包括該章所有章節標題以及該章學習目標的清單。右邊一頁則包含該章的簡介、基本詞彙、簡短的數位系統應用預習，以及每章學習輔助網站的參考資料。如果該章內容牽涉到特殊的可程式化邏輯裝置，則在本頁也會提供裝置的清單。

**節開頭** 在每一節的開頭都有一段簡短的介紹，其中包括對本節內容的完整說明以及本節的學習目標。相關說明顯示在圖 P-2。

**節複習** 每一節的結束都加上節複習，其中包括強調本節所學習主要觀念的習題或者練習題。相關說明顯示在圖 P-2。有關節複習題的解答則位在本章的結束處。

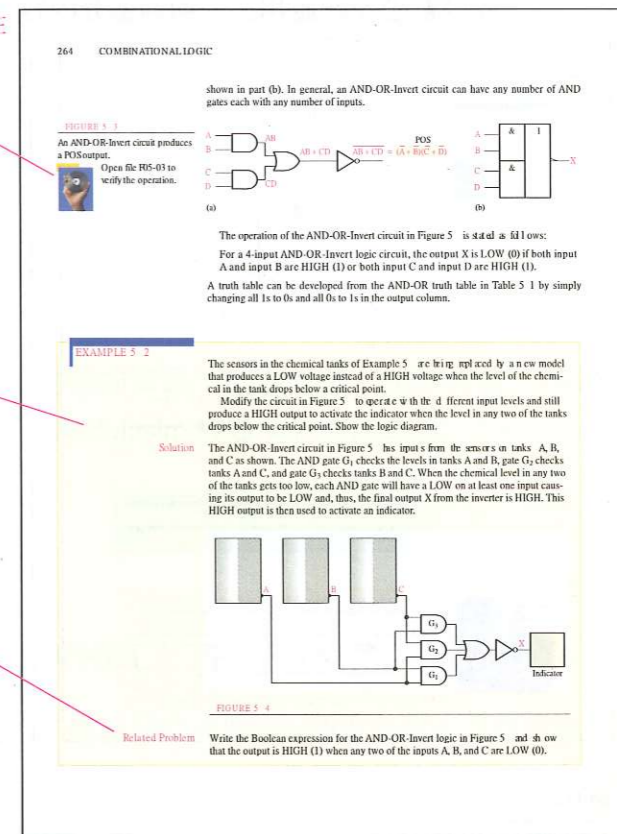
**整理過的例題和相關習題** 許多整理過的例題幫助說明和釐清許多基本觀念或者特殊的處理過程。每個例題都以相關習題結束，相關習題會要求學生針對與例題類似的習題再重新作一遍，可以加強和擴大例題的學習效果。習題和相關習題的標準格式顯示在圖 P-3。

圖 P-3 例題和相關習題。

表示本圖所顯示的電路圖可以在隨書所附的 EWB 光碟中找到。

書中例題則與內文隔開。

每個例題都附上相關習題。



**障檢修** 許多章都會包含故障檢修一節，內容與該章所討論的主題有關，強調故障檢修的技術和如何使用測試儀器。部分故障檢修一節的格式顯示在圖 P-4。

**程式化邏輯** 從第一章開始的許多章，都會包含一節有關程式化邏輯裝置的內容，其中包括 CPLD 以及 FPGA。

**VHDL** 第一章到第十章都包括一節專門討論 VHDL，而第七章則是整章都在討論 VHDL。這個主題則是配合每章的內容，以基本的水準逐章加以介紹。如同前面所述，本書並不是想要完整的介紹 VHDL，而是介紹一些基本觀念，替進一步研究打下堅實的基礎，以便能夠全盤了解這個複雜，功能強大和應用廣泛的語言。在學習完每個 VHDL 章節後，學生應該能夠撰寫 VHDL 程式，以便描述該章所討論到的許多邏輯電路。部分 VHDL 章節的格式顯示在圖 P-5。

**數位系統應用** 這一部份內容會出現在許多章的結束處，提供該章所討論的觀念和裝置的實際應用範例。這個應用範例是一個實際在使用的系統，其中包括的 VHDL 程式已經使用在許多的應用中。某些「數位系統應用」會在一章的篇幅內結束，而其他的「數位系統應用」就需要兩章或更多章的篇幅加以解說。圖 P-6 顯示「數位系統應用」一節的部分內容。

478 FLIP-FLOPS AND RELATED DEVICES

**EXAMPLE 8-14**  
A 555 timer configured to run in the astable mode (oscillator) is shown in Figure 8-5. Determine the frequency of the output and the duty cycle.

**FIGURE 8-5**  
Open the 100-55 and observe the operation.

**Solution** Use Equations 8-2 and 8-3.

$$f = \frac{1.44}{(R_1 + 2R_2)C_1} = \frac{1.44}{(2.2\text{ k}\Omega + 2(4.7\text{ k}\Omega))10\text{ }\mu\text{s}} = 564\text{ kHz}$$

$$\text{Duty cycle} = \frac{R_1 + R_2}{R_1 + 2R_2} \times 100\% = \frac{2.2\text{ k}\Omega + 4.7\text{ k}\Omega}{2.2\text{ k}\Omega + 2(4.7\text{ k}\Omega)} \times 100\% = 59.5\%$$

**Related Problem** Determine the duty cycle in Figure 8-5 if a diode is connected across  $R_2$  as indicated in Figure 8-4.

**SECTION 8-7 REVIEW**

1. Explain the difference in operation between an astable multivibrator and a monostable multivibrator.
2. For a certain astable multivibrator,  $t_H = 15\text{ ms}$  and  $T = 20\text{ ms}$ . What is the duty cycle of the output?

**8-5 TROUBLESHOOTING**  
It is standard practice to test a new circuit design to be sure that it is operating as specified. New designs are usually simulated on a computer and then breadboarded and tested before the design is finalized. The term breadboard refers to a method of temporarily hooking up a circuit so that its operation can be verified and any faults (bugs) worked out before a prototype unit is built. In this section, we will consider an example case.

After completing this section, you should be able to

- Describe how the timing of a circuit can produce erroneous glitches. Approach the debugging of a new design with greater insight and awareness of potential problems.

▲ 圖 P-4 故障檢修一節的標準樣式。

479 TROUBLESHOOTING

The circuit shown in Figure 8-6(a) generates two clock waveforms (CLK A and CLK B) that have an alternate occurrence of pulses. Each waveform is to be one-half the frequency of the original clock (CLK), as shown in the ideal timing diagram in part (b).

**FIGURE 8-6**  
Two-phase clock generator with ideal waveforms. Open the 100-56 and verify the operation.

When the circuit is tested, the CLK A and CLK B waveforms appear on the oscilloscope or logic analyzer as shown in Figure 8-7(a). Since glitches occur on both waveforms, something is wrong with the circuit either in its basic design or in the way it is connected. Further investigation reveals that the glitches are caused by a race condition between the CLK signal and the Q and Q-bar signals at the inputs of the AND gates. As

(a) Logic analyzer display of CLK A and CLK B waveforms with glitches indicated by the arrows.

(b) Logic analyzer display showing propagation delay that results in a glitch on CLK A waveform.

**FIGURE 8-7**  
Logic analyzer displays for the circuit in Figure 8-6.

▲ 圖 P-5 vhdl 一節的標準樣式。

558 COUNTERS

**9-10 COUNTERS USING VHDL**

The basic flip-flop described in VHDL in Chapter 8 can be used as a component in describing counters. This section examines the development of various counter applications using VHDL.

After completing this section, you should be able to

- Describe asynchronous and synchronous counters in VHDL. Discuss the application of counters in VHDL applications. Develop counter applications from state diagrams.

**An Asynchronous Binary Counter**

Recall the 2-bit asynchronous binary counter in Figure 9-4. The J and K inputs of two J-K flip-flops are connected HIGH and a clock pulse (Clock) is applied to input Clock of the first flip-flop designated as FF0. The second flip-flop, FF1, is triggered by the Q<sub>0</sub> output of FF0. The process of using the output from the previous device to clock the next flip-flop can be utilized to describe the 2-bit asynchronous binary counter in VHDL. A J-K flip-flop as defined in Chapter 8 can be used as a component for multiple counter applications. In the following program, Q<sub>0</sub> is the least significant bit (LSB).

```

entity TwoBitCounter is
    port(Clock: in std_logic; Q0, Q1: buffer std_logic);
end entity TwoBitCounter;

architecture CounterBehavior of TwoBitCounter is
    component JKFlipFlop is
        port(J, K: in std_logic; Q, QNot: inout std_logic);
    end component JKFlipFlop;
    signal FF0not: std_logic;
begin
    FF0: JKFlipFlop port map (J => 1, K => 1, Clock => Clock, Qnot => Qnot, Q => Q0);
    FF1: JKFlipFlop port map (J => 1, K => 1, Clock => Qnot, Q => Q1);
end architecture CounterBehavior;
    
```

Compare the simulation waveforms in Figure 9-4 for the VHDL 2-bit asynchronous binary counter to the timing diagram in Figure 9-4 for the counter in Figure 9-4. Test simulations allow for the verification of the counter logic before committing the VHDL design to hardware.

**FIGURE 9-4**  
Simulation waveforms for the 2-bit asynchronous binary counter described by the VHDL program.

### 章末的學習輔導

- 本章摘要
- 基本詞彙
- 多重選擇的自我測驗
- 包括以下主題的部份或全部內容的習題：基本知識、故障檢修、VHDL、數位系統應用、設計以及 EWB/Multisim 故障檢修習題等。
- 章節複習題的解答
- 例題中相關習題的解答
- 自我測驗的解答

### 對於採用《數位邏輯-使用 VHDL》作為教材的一些建議

一般來說，課程的安排主要決定的因素是在於這項課程所要強調的課程內容，以及課程時間的限制。通常會將某些課題刪減，或者將幾個選擇的課題加以合併濃縮，也可能會將某些課題的順序加以調整，以便適合某些特殊課程的需要。下述

對於具有選擇性的課題，可稍微帶過的課題或者可以刪除課題內容的建議，並不是在暗示某個課題內容比其他的課題不重要，只是對於某個特殊的課程安排，該項課題可能並不需要再加強說明，因為基本課題已經都加以說明了。同時，這些建議並不是在反應所有課程講授次序的更動，選擇性的減少教學的份量或者加以刪除的可能情形。對於任何特殊的課程安排，也許有其他的空間可以考慮。

492 FLP, FLOPS AND RELATED DEVICES

**DIGITAL SYSTEM APPLICATION**

In the digital system application in Chapter 7, the VHDL program for the state decoder, output logic, and the trigger logic was written. Now we will develop the VHDL code for the timing circuit portion of the traffic light controller system that was first introduced in Chapter 6 and incorporated it with the previous program. The trigger outputs will be applied as inputs to the timing circuits to produce 4 second and 25 second timing intervals for the traffic light operation.

The overall system block diagram is shown again in Figure 9-70. The VHDL code for the state decoder, output logic, and trigger logic has been developed, and now we will work on the timing circuits, represented by the blue block. It is assumed that an external clock signal of 25.175 MHz is available as an input.

**Requirements for the Timing Circuits**

The timing circuits produce three signals as outputs to the sequential logic: a 4 s positive pulse, a 25 s positive pulse, and a 24.585 kHz clock. The block diagram of the timing circuits is shown in Figure 9-71.

**The Frequency Divider**

The frequency divider divides the 25.175 MHz input from an external oscillator by 1024 to produce the 24.585 kHz output clock (CLK) frequency, which has been arbitrarily selected. This frequency division operation requires ten flip-flops ( $2^{10} = 1024$ ) and is described by the following VHDL program that was the component `RDFlipFlop`. The frequency-divider program will later be used as a component in the main program.

A signal `Enable` in the program is set to 1 for the first `K` inputs of each flip-flop to produce single operation. Intermediate outputs from flip-flop 1 (FF1) through flip-flop 9 (FF9) are held in the internal signals `Qa` through `Qj`. The output from flip-flop 10 (FF10) is the 24.585 kHz signal and is passed back to the main program.

**FIGURE 9-70**  
Block diagram of the traffic light controller.

▲ P-6

標準的數位系統應用的樣式。

改變章節教學順序的建議：

1. 如果你想要將邏輯閘的課程內容提前講授，在第一章有一些挑選出來的內容可以使用，或者某些課題可以延後教學。第三章有關邏輯閘的部分內容可以比第二章有關數值系統、運算和數位碼的內容提前講授。
2. 第十四章的全部或部分內容，可從第三章開始的任何章節加以講授，如果你的課程安排內容並沒有包含「晶片內部電路」這個課題，則你可以將第十四章排除在課程內容之外。

某些章可以考慮作為選擇性補充教材：

1. 第一章：數位概念簡介
2. 第二章：數值系統、運算和數位碼。
3. 第四章：布林代數與邏輯化簡
4. 第十四章：積體電路技術

可以考慮刪除而且不會影響到教學內容的課題：

1. 第十二章：微處理器、電腦與匯流排
2. 第十三章：數位訊號處理概論
3. 第十四章：積體電路技術
4. 數位系統應用

Tom Floyd

註：本書最後的 12、13 和 14 章因為受限於篇幅，我們將這三章另行放入隨書光碟中。

DIGITAL SYSTEM APPLICATION 493

**FIGURE 9-71**  
Block diagram of the timing circuits.

Block diagram of the timing circuits program in Fort. The frequency-divider program is as follows:

```
library ieee, work;
use ieee.std_logic_1164.all;

entity FrequencyDivider is
    port(Clock: in std_logic; Reset: buffer std_logic);
end entity FrequencyDivider;

architecture Behavioral of FrequencyDivider is
    signal Qa, Qb, Qc, Qd, Qe, Qf, Qg, Qh, Qi, Qj: std_logic;
    component RDFlipFlop is
        port(I: in std_logic; K: in std_logic; Q: out std_logic);
    end component RDFlipFlop;
begin
    I0: RDFlipFlop port map (I => I, K => I, Clock => CLK, Q => Qa);
    FF1: RDFlipFlop port map (I => I, K => I, Clock => Qa, Q => Qb);
    FF2: RDFlipFlop port map (I => I, K => I, Clock => Qb, Q => Qc);
    FF3: RDFlipFlop port map (I => I, K => I, Clock => Qc, Q => Qd);
    FF4: RDFlipFlop port map (I => I, K => I, Clock => Qd, Q => Qe);
    FF5: RDFlipFlop port map (I => I, K => I, Clock => Qe, Q => Qf);
    FF6: RDFlipFlop port map (I => I, K => I, Clock => Qf, Q => Qg);
    FF7: RDFlipFlop port map (I => I, K => I, Clock => Qg, Q => Qh);
    FF8: RDFlipFlop port map (I => I, K => I, Clock => Qh, Q => Qi);
    FF9: RDFlipFlop port map (I => I, K => I, Clock => Qi, Q => Qj);
    FF10: RDFlipFlop port map (I => I, K => I, Clock => Qj, Q => Root);
end architecture Behavioral;
```

**Variable Count Timer**

The 24.585 kHz signal from the frequency divider corresponds to 24,585 pulses per second. This converts to a count of 6099<sub>10</sub> for a one-second interval. The counter for the 4 s and 25 s intervals used in the traffic light controller are determined by multiplying the 1 count (24,585) by the number of seconds. The count for the 4 s interval is  $24,585 \text{ pulses} \times 4 = 98,340_{10}$ . The count for a 25 s interval is  $24,585 \text{ pulses} \times 25 = 614,625_{10}$ . These values will be assigned to the identifier `SetCount` in the main program to establish the 4 s and 25 s traffic light timing intervals.

The following discussion describes the variable count timer program. This program will later be used as a component in the main program. The input `Enable` is used to turn on the program counter.

## 編輯部序

「系統編輯」是我們的編輯方針，我們所提供給您的，絕不只是一本書，而是關於這門學問的所有知識，它們由淺入深，循序漸進。

本書譯自 Thomas L. Floyd 原著「DIGITAL FUNDAMENTALS WITH VHDL」，從第一章就開始介紹 VHDL 的相關主題，而且在許多章節都再加強討論相關內容，讀者可以依循課程的安排，設計具有各種邏輯功能的 PLD 程式。此外，作者 Floyd 特別強調「應用」與「故障檢修」的課程，幫助讀者培養實際操作時非常需要的解決問題技能。本書適用於大學、技術學院，電子、電機、資工系的「VHDL」相關課程使用。

同時，為了使您能有系統且循序漸進研習相關方面的叢書，我們以流程圖方式，列出各有關圖書的閱讀順序，以減少您研習此門學問的摸索時間，並能對這門學問有完整的知識。若您在這方面有任何問題，歡迎來函連繫，我們將竭誠為您服務。

## 相關叢書介紹

書號：03492  
書名：VHDL 初學者指南  
編譯：吳浩中  
20K/384 頁/340 元

書號：03504  
書名：Verilog 硬體描述語言  
編譯：黃英韻、江文啓、黃稚存、張鈺淵  
20K/536 頁/380 元

書號：02610  
書名：數位邏輯  
編著：陳昭綾、盧正興  
20K/320 頁/250 元

書號：03675017  
書名：CPLD 數位電路設計－使用 Max+plus II 入門篇  
(附範例系統光碟片)(修訂版)  
編著：廖裕評、陸瑞強  
20K/656 頁/540 元

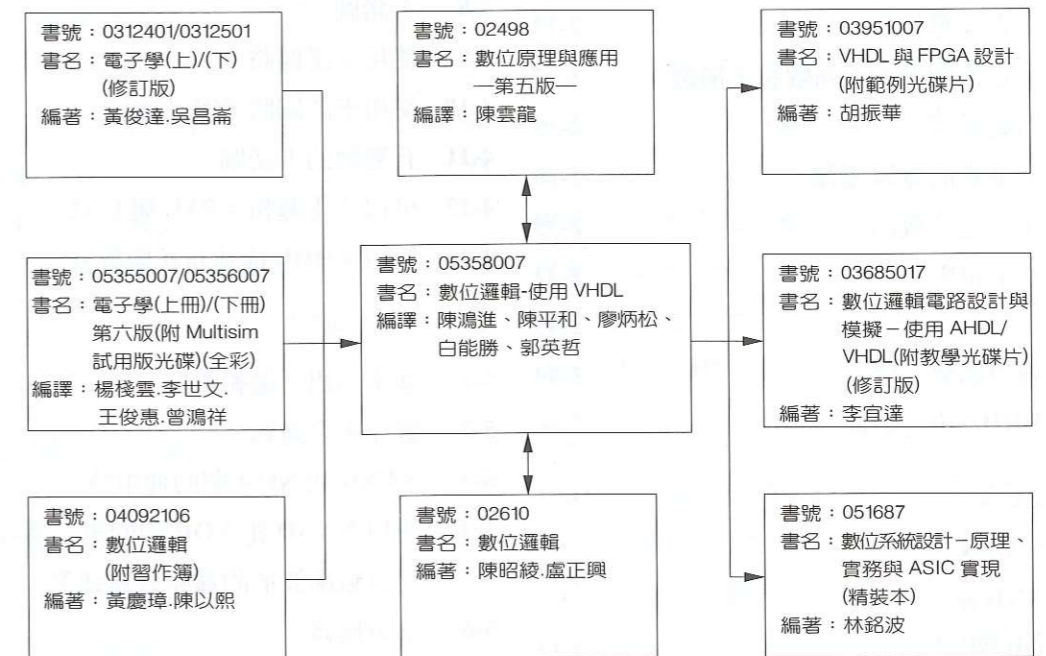
書號：03951007  
書名：VHDL 與 FPGA 設計  
(附範例光碟片)  
編著：胡振華  
20K/512 頁/450 元

書號：03685017  
書名：數位邏輯電路設計與模擬－使用 AHDL/VHDL  
(附教學光碟片)(修訂版)  
編著：李宜達  
20K/576 頁/450 元

書號：05066017  
書名：數位控制系統設計－使用 VHDL(修訂版)(附範光碟片)  
編著：林明權、王瑞祿、蔡國瑞、黃俊岳、陳朝烈  
16K/344 頁/380 元

◎上列書價若有變動，請以最新定價為準。

## 流程圖





# 目錄

<b>1 數位概念簡介</b>	<b>1-1</b>	<b>3-5 NOR 閘</b>	<b>3-27</b>
1-1 數位與類比量值	1-3	3-6 互斥 OR 閘與互斥 NOR 邏輯閘	3-33
1-2 二進位數字，邏輯位準與數位波形	1-6	3-7 固定功能邏輯元件：IC 邏輯閘	3-37
1-3 邏輯運算簡介	1-14	3-8 故障檢修	3-49
1-4 邏輯功能的基本概要	1-16	3-9 可程式化邏輯：基本觀念	3-58
1-5 固定功能積體電路	1-25	3-10 VHDL	3-62
1-6 可程式化邏輯：簡介	1-29	<b>4 布林代數與邏輯化簡</b>	<b>4-1</b>
1-7 編寫程式	1-34	4-1 布林運算與數學式	4-3
1-8 VHDL 簡介	1-38	4-2 布林代數的定律與規則	4-5
1-9 測試儀器簡介	1-41	4-3 狄摩根定理	4-11
<b>2 數值系統、運算與數位碼</b>	<b>2-1</b>	4-4 邏輯電路的布林分析	4-16
2-1 十進位數值	2-3	4-5 使用布林代數進行化簡	4-18
2-2 二進位數值	2-5	4-6 布林數學式的標準形式	4-22
2-3 十進位至二進位轉換	2-9	4-7 布林數學式與真值表	4-30
2-4 二進位算術	2-13	4-8 卡諾圖	4-34
2-5 二進位數值的 1 補數和 2 補數	2-17	4-9 使用卡諾圖將 SOP 最簡化	4-37
2-6 有號數	2-19	4-10 使用卡諾圖將 POS 最簡化	4-48
2-7 有號數的算術運算	2-26	4-11 五變數的卡諾圖	4-53
2-8 十六進位數值	2-35	4-12 可程式化邏輯：PAL 與 GAL	4-55
2-9 八進位數值	2-42	4-13 使用 VHDL 描述布林數學式	4-65
2-10 二進碼十進制	2-45	<b>5 組合邏輯</b>	<b>5-1</b>
2-11 數位碼與同位	2-49	5-1 基本的組合邏輯電路	5-3
2-12 VHDL 中的數值	2-60	5-2 實作組合邏輯	5-9
<b>3 邏輯閘</b>	<b>3-1</b>	5-3 NAND 和 NOR 閘的通用特性	5-16
3-1 反相器	3-3	5-4 使用 NAND 和 NOR 閘的組合邏輯	5-19
3-2 AND 閘	3-7	5-5 具有脈衝波形的邏輯電路運算	5-25
3-3 OR 閘	3-15	5-6 故障檢修	5-29
3-4 NAND 閘	3-21	5-7 可程式化邏輯：CPLD	5-37
		5-8 使用 VHDL 描述組合邏輯	5-43
		<b>6 組合邏輯的功能</b>	<b>6-1</b>
		6-1 基本加法器	6-3
		6-2 二進位平行加法器	6-7
		6-3 比較器	6-15
		6-4 解碼器	6-19
		6-5 編碼器	6-28
		6-6 轉碼器	6-32
		6-7 多工器(資料選擇器)	6-35
		6-8 解多工器	6-44
		6-9 同位產生器/檢查器	6-45
		6-10 故障檢修	6-50
		6-11 可程式化邏輯：FPGA	6-53
		6-12 以 VHDL 編寫邏輯函數的程式	6-61
		<b>7 其他相關的 VHDL 主題與應用</b>	<b>7-1</b>
		7-1 資料型別	7-3
		7-2 算術與關係運算子	7-5
		7-3 條件敘述式	7-9
		7-4 函式與程序	7-17
		7-5 程式庫、套件與套件主體	7-20
		7-6 迴圈	7-24
		7-7 VHDL 設計模式	7-27
		7-8 可程式化邏輯：裝置的程式設計	7-31
		<b>8 正反器及相關元件</b>	<b>8-1</b>
		8-1 閘鎖器	8-3
		8-2 邊緣觸發正反器	8-10
		8-3 主從式正反器	8-25
		8-4 正反器操作特性	8-28
		8-5 正反器的應用	8-31
		8-6 單發多諧振盪器	8-36
		8-7 555 計時器	8-40
		8-8 故障檢修	8-48
		8-9 可程式化邏輯：設計暫存器的操作方式	8-51
		8-10 使用 VHDL 描述閘鎖器與正反器	8-53
		<b>9 計數器</b>	<b>9-1</b>
		9-1 非同步計數器操作原理	9-3
		9-2 同步計數器操作原理	9-11
		9-3 上數/下數同步計數器	9-18
		9-4 設計同步計數器	9-21
		9-5 串接計數器	9-32
		9-6 計數器解碼	9-37
		9-7 計數器應用	9-41
		9-8 故障檢修	9-47
		9-9 使用依存標示法的邏輯符號	9-52
		9-10 使用 VHDL 描述計數器	9-54
		<b>10 移位暫存器</b>	<b>10-1</b>
		10-1 移位暫存器的基本功能	10-3
		10-2 串列輸入/串列輸出移位暫存器	10-4
		10-3 其他移位暫存器的線路型態	10-9
		10-4 移位暫存器計數器	10-16
		10-5 移位暫存器的應用	10-20
		10-6 故障檢修	10-29
		10-7 使用依存標示法的邏輯符號	10-31
		10-8 使用 VHDL 編寫移位暫存器的程式	10-33
		<b>11 記憶體與儲存裝置</b>	<b>11-1</b>
		11-1 半導體記憶體的基礎	11-3
		11-2 隨機存取記憶體	11-7
		11-3 唯讀記憶體	11-25
		11-4 可程式化唯讀記憶體 (PROM 與 EPROM)	11-31

11-5	快閃記憶體	11-35	14-6	射極耦合邏輯 (ECL) 電路	14-39
11-6	記憶體擴充	11-40	14-7	PMOS, NMOS 和 E <sup>2</sup> CMOS	14-41
11-7	特殊記憶體	11-48	<b>附錄</b>		
11-8	磁性與光學儲存裝置	11-54	<b>A</b>	固定功能邏輯元件	A-1
11-9	測試與故障檢修	11-62	<b>B</b>	錯誤偵測與修正碼	B-1
<b>12</b>	<b>微處理器、電腦與匯流排的簡介</b>	<b>12-1</b>	<b>C</b>	常見數位碼的轉換	C-1
12-1	微處理器與電腦	12-3	<b>D</b>	VHDL 關鍵字(保留字)	D-1
12-2	微處理器的歷史回顧	12-9		奇數習題解答	解-1
12-3	8086/8088 微處理器與在 PENTIUM 平台 上的軟體模型	12-15		詞彙	詞-1
12-4	微處理器程式設計	12-24	■ 註：本書最後的 12、13 和 14 章因為受限於篇幅， 我們將這三章另行放入隨書光碟中。		
12-5	中央處理單元 (CPU)	12-33			
12-6	記憶體	12-40			
12-7	輸入／輸出埠 (I/O)	12-44			
12-8	中斷	12-47			
12-9	直接記憶體存取 (DMA)	12-51			
12-10	系統的內部介面	12-52			
12-11	標準匯流排	12-57			
<b>13</b>	<b>數位訊號處理概論</b>	<b>13-1</b>			
13-1	數位訊號處理的基礎	13-3			
13-2	類比信號轉換成數位信號	13-4			
13-3	類比—數位轉換方法	13-12			
13-4	數位訊號處理器(DSP)	13-24			
13-5	數位類比轉換方法	13-33			
<b>14</b>	<b>積體電路技術</b>	<b>14-1</b>			
14-1	基本操作特性與參數	14-3			
14-2	CMOS 電路	14-13			
14-3	TTL 電路	14-20			
14-4	使用 TTL 時的實際考慮	14-27			
14-5	CMOS 和 TTL 效能的比較	14-37			