

DT
446
4202
100
225106

國立勤益科技大學

機械工程系

碩士論文

矽/矽鍺多層結構高溫氧化處理之材料
與機械特性分析

Effect of High-Temperature Oxidation on
Material and Mechanical Properties of Si/SiGe
Multi-layer Heterostructures



研究生：彭麟皓

指導教授：林金雄 博士

共同指導：周長彬 博士

國立勤益科技大學圖書館



225106

中華民國 一 百 年 六 月

矽/矽鍺多層結構高溫氧化處理之材料與機械特性分析
**Effect of High-Temperature Oxidation on Material and Mechanical
Properties of Si/SiGe Multi-layer Heterostructures**

研究生：彭麟皓

指導教授：林金雄

共同指導：周長彬

國立勤益科技大學

機械工程系碩士班

碩士論文

A Thesis
Submitted to
Department of Mechanical Engineering
National Chin-Yi University of Technology
in Partial Fulfillment of the Requirements
for the Degree of
Master of Science
in
Mechanical Engineering

June 2011

Taiping, Taichung, Taiwan, Republic of China

中華民國一百年六月

國立勤益科技大學

博碩士紙本論文著作權授權書

(提供授權人裝訂於本論文書名頁之次頁用)

本授權書所授權之學位論文，為本人於國立勤益科技大學
機械工程 系 製造 組，九九 學年度第 二 學
期取得碩士學位之論文。

論文題目：矽/矽鍍多層結構高溫氧化處理之材料與機械特性分析
指導教授：林金雄、周長彬

■ 同意

本人具有著作權之論文全文資料，非專屬、無償授予本人畢業學校圖書館，不限地域、時間與次數，以微縮、光碟或數位化等各種方式重製與利用，提供讀者基於著作權法合理使用範圍內之線上檢索、閱覽、下載及列印。

論文全文上載網路公開之範圍及時間：

校內區域網路	■ 中華民國 102 年 6 月 30 日公開
校外網際網路	■ 中華民國 102 年 6 月 30 日公開

授權人：彭麟皓

簽名：彭麟皓

中華民國 100 年 6 月 9 日

國家圖書館

博碩士論文電子檔案上網授權書

本授權書所授權之論文為授權人在國立勤益科技大學 機械工程
系 九九 學年度第 二 學期取得碩士學位之論文。

論文題目：矽/矽鍺多層結構高溫氧化處理之材料與機械特性分析


指導教授：林金雄、周長彬

茲同意將授權人擁有著作權之上列論文全文(含摘要)，非專屬、無償授權國家圖書館，不限地域、時間與次數，以微縮、光碟或其他各種數位化方式將上列論文重製，並得將數位化之上列論文及論文電子檔以上載網路方式，提供讀者基於個人非營利性質之線上檢索、閱覽、下載或列印。

上列論文為授權人向經濟部智慧財產局申請專利之附件或相關文件之一(專利申請案號：)，請於 年 月 日後再將上列論文公開或上載網路。

因上列論文尚未正式對外發表，請於 102 年 6 月 30 日後再將上列論文公開或上載網路。

授權人：彭麟皓

親筆簽名及蓋章：彭麟皓 

民國 100 年 6 月 9 日

電話：(02)8275-1130

傳真：

聯絡地址：新北市板橋區大觀路二段 163 巷 23 號 3 樓

E-Mail:kazuo0711@gmail.com


國立勤益科技大學

研究所碩士班

論文口試委員會審定書

本校 機械工程系 碩士班 彭麟皓 君
所提論文 矽/矽鍍多層結構高溫氧化處理之材料與機械特性分析
合於碩士資格水準，業經本委員會評審認可。

口試委員：

指導教授：
系(所)主管：


中華民國 100 年 6 月

矽/矽鍺多層結構高溫氧化處理之材料與機械特性分析

學生：彭麟皓

指導教授：林金雄

共同指導：周長彬

國立勤益科技大學機械工程系碩士班

摘要

本論文針對矽/矽鍺多層異質界面結構以虛擬基板(Virtual Substrate)方式為應用下，探討其承受高溫氧化後對材料及機械特性之變化。首先，利用超高真空化學分子磊晶法分別於矽基材上成長出三層及六層矽/矽鍺兩多層結構。在施予高溫氧化處理(800-1000°C)後，運用穿透式電子顯微鏡、X光散射分析儀、二次離子質譜儀、原子力電子顯微鏡分析兩結構材料特性變化，最後利用奈米壓痕儀分析兩結構高溫氧化後之相對應機械特性。

經由穿透式電子顯微鏡觀察高溫氧化後之微結構變化發現，此兩種矽/矽鍺多層結構內部皆因應變鬆弛而有缺陷生成。另由X光散射分析儀觀察發現，氧化後會於低角度處生成含高鍺濃度之矽鍺波峰，此為鍺堆積(Pile up)於表面所導致之現象。此外，經二次離子質譜儀也觀察到鍺原子不僅因氧化現象而堆積於表面，也會因高溫處理而往基材方向擴散。經原子力電子顯微鏡分析表面形貌發現，兩結構經高溫氧化處理後因缺陷產生致使表面形貌起伏變大，進而使均方根粗糙值逐漸上升。

由奈米壓痕儀量測得知，兩結構高溫氧化後硬度與楊氏模數相對提升，是因應變鬆弛所導致錯位差排之現象所致。而氧化處理前矽/矽鍺多層結構彈塑性變形機制經反覆破壞結果顯示，壓痕破壞造成在同一區域塑性應變，內部差排與缺陷急遽的增加並累積，使得奈米壓痕探針更不容易對該塑性變形區域造成壓縮破壞，結構產生加工硬化現象。

綜合以上機制得知，此矽/矽鍺多層結構能有效提升矽鍺薄膜機械特性，而三層結構強度較優於六層結構，其原因為六層結構表面加了矽覆蓋層(Si-Cap)致使較多鍺堆積於表面。六層結構也因鍺堆積於表面形成較高鍺濃度表面，有利於獲得較大應變矽的生成。

關鍵字：矽/矽鍺多層結構、高溫氧化、材料特性、機械特性、奈米壓痕



Effect of High-Temperature Oxidation on Material and Mechanical
Properties of Si/SiGe Multi-layer Heterostructures

Student : Lin-Hao Peng

Advisors : Dr. Jin-Shyong Lin

Advisors : Dr. Chang-Pin Chou

Department of Mechanical Engineering
National Chin-Yi University of Technology

Abstract

The purpose of this study was to investigate the effect of high-temperature oxidation on the material and mechanical properties of Si/SiGe multi-layer heterostructures, which can serve as virtual substrates. Both two Si/SiGe multi-layers (3 and 6 layers) were deposited by ultra high vacuum chemical molecular epitaxy (UHV/CME). After high-temperature oxidation treating, the material properties of Si/SiGe multi-layer structure were analyzed by transmission electron microscopy (TEM), X-ray diffraction (XRD), secondary ion mass spectroscopy (SIMS) and atomic force microscopy (AFM). Finally, the mechanical properties of Si/SiGe multi-layer structure were determined using nanoindentation.

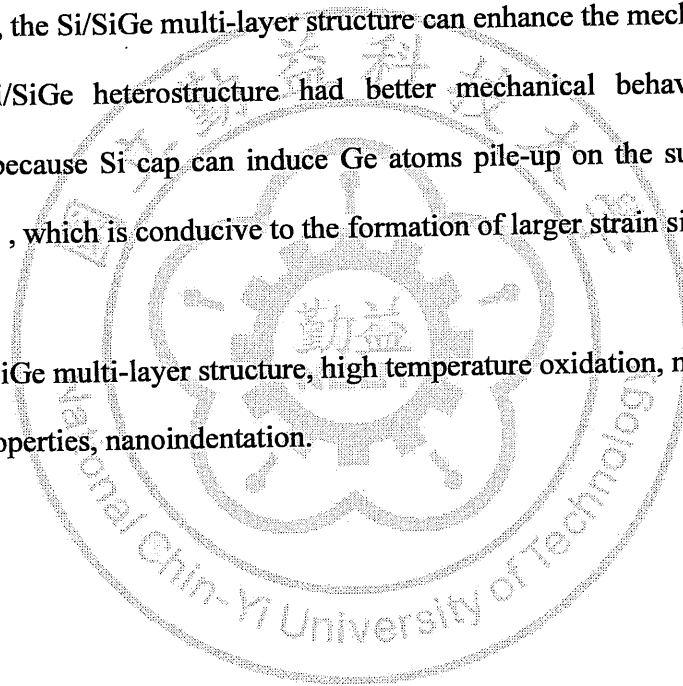
TEM results showed that the defects of two Si/SiGe multi-layer heterostructures increased after high-temperature oxidation treatments due to the strain relaxation. High-temperature oxidation would also lead to Ge pile-up effect due to the formation of new SiGe peak at lower angle in XRD curves. The Ge atoms not only piled up on the surface but also diffused to Si substrate during high-temperature oxidation treatments, which can be observed by SIMS. The AFM analyses showed that the surface roughness became larger with increasing oxidation temperature due to defects-induced rough

surface.

High temperature oxidation treatments also led to strain relaxation in the form of misfit dislocations on both two heterostructures, and it can increase the hardness and modulus measured by nanoindentation. In addition, the increases in the hardness after repetition nanoindentation and the formation of crack were due to the formation of incipient slip bands and dislocation.

Therefore, the Si/SiGe multi-layer structure can enhance the mechanical properties. Three-layer Si/SiGe heterostructure had better mechanical behavior than that in six-layer one because Si cap can induce Ge atoms pile-up on the surface in six-layer heterostructure, which is conducive to the formation of larger strain silicon.

Keyword: Si/SiGe multi-layer structure, high temperature oxidation, material properties, mechanical properties, nanoindentation.



誌 謝

在碩士學習生涯中，首先感謝指導教授 林金雄 老師及 周長彬 老師兩年來悉心指導與栽培，讓本論文得以順利完成。求學期間更感謝老師於學業上諄諄教誨及生活上關懷鼓勵，使我獲益良多，特此至上最誠摯的敬意與謝意。亦感謝國家奈米實驗室 吳文發 副主任大力協助，使得我研究更加順利與論文能更完整。

感謝國立交通大學 溫華強 博士及博士班學長 世基、芝龍、孟泓、柏青、明璋、文楷 平日的照顧，並於實驗過程及專業知識上給予協助與指導，使得研究中所遇困難能逐一突破；也感謝 元駿、吉修、肇鴻、明良、貞慈 等交大碩士班學長姐給我的鼓勵，以及實驗室同窗 治偉、彥彬、宏信、漢鵬、自勇 相互的幫忙；感謝 柏任、永堂 等勤益學長的協助，使得我能無後顧之憂至新竹完成實驗；感謝 俊良、宜融 等等勤益學弟，於我不在勤益時管理實驗室讓我能更專注於研究。感謝系辦的 劉昌盛 老師、賴淑呈 老師、鄧奕煒 老師、項俐倫 老師給予我許多的幫助並提供許多資源。

感謝好友 品超、文峯、致豪、榕鍵 能替我分擔心事聽我訴苦，讓我能更有信心及動力朝目標前進；並感謝系壘學弟們能在我研究之餘陪我打球，使得我碩士生涯更多采多姿不留下遺憾。

更要感謝我的父親 彭慶耀 先生、母親 盧月靜 女士，感謝他們不辭辛苦的教育我，默默於背後替我鼓勵與支持，讓我能全力以赴完成碩士學位，在此獻上我內心最深的謝意，也感謝哥哥 泰豪 於求學過程中給予建議，在我失意時扶我一把；並感謝弟弟 泰育 能分擔家務使我能專注於課業上。另外，感謝我的女友 圍任，遇到任何挫折時妳總是和我說：「你一定辦個到的」，並陪我走過研究生生活的點點滴滴。最後僅以這份論文獻給我愛的家人、朋友以及研究夥伴們，謝謝你們。

目 錄

頁次

摘 要	i
Abstract	iii
誌 謝	v
目 錄	vi
表 目 錄	viii
圖 目 錄	ix
第一章 緒論	1
1.1 矽鍺研究背景	1
1.2 研究動機	2
1.3 研究架構	3
第二章 基礎理論與文獻回顧	5
2.1 矽鍺元件發展應用與磊晶方式	6
2.1.1 矽鍺合金材料特性	7
2.1.2 矽鍺薄膜磊晶方式	9
2.2 矽鍺異質界面結構	13
2.2.1 應變矽與應變矽鍺製作	13
2.2.2 虛擬基板結構製作	14
2.3 高溫處理機制介紹	15
2.3.1 熱退火機制介紹	16
2.3.2 高溫氧化處理介紹	16
2.4 缺陷機制探討	17
2.5 壓痕量測系統介紹	18
2.5.1 奈米壓痕技術背景	19
2.5.2 硬度與彈性模數的量測原理	19
2.6 奈米壓痕量測效應與應用	21
2.6.1 量測影響因數	21
2.6.2 奈米壓痕應用	23
第三章 實驗方法與分析	30
3.1 實驗流程	30
3.2 實驗與分析儀器	30
3.2.1 實驗材料	30
3.2.2 實驗儀器	30

3.2.3 分析儀器	31
3.3 實驗步驟	33
3.3.1 試片製備	33
3.3.2 高溫氧化處理及除去氧化層處理	34
3.3.3 矽/矽鍺多層結構材料與機械特性分析	34
第四章 結果與討論	42
4.1 高溫氧化對矽/矽鍺多層結構之材料特性分析	42
4.1.1 高溫氧化對矽/矽鍺多層結構之微觀結構分析	42
4.1.2 高溫氧化對矽/矽鍺多層結構之結晶結構分析	44
4.1.3 高溫氧化對矽/矽鍺多層結構之擴散分析	44
4.1.4 高溫氧化對矽/矽鍺多層結構之表面形貌分析	45
4.1.5 兩結構高溫氧化之比較	46
4.2 高溫氧化對矽/矽鍺多層結構之機械特性分析	47
4.2.1 矽/矽鍺多層結構之薄膜穿透深度參數測試	47
4.2.2 矽/矽鍺多層結構之氧化處理機械特性分析	48
4.2.3 矽/矽鍺多層結構之反覆負載破壞分析	49
4.3 兩結構高溫氧化前後機械特性綜合分析	51
4.3.1 連續勁度控制模式分析比較	51
4.3.2 力量控制模式分析比較	51
第五章 結論	75
第六章 後續研究工作	77
參考文獻	78

表 目 錄

頁 次

表 3-1 穿透式電子顯微鏡型號與規格.....	35
表 3-2 X 光繞射頻譜儀型號與規格.....	35
表 3-3 二次離子質譜儀型號與規格.....	36
表 3-4 原子力顯微鏡型號與規格.....	36
表 3-5 奈米壓痕儀型號與規格.....	37
表 4-1 三層矽/矽鍍多層結構各條件下均方根粗糙值.....	53
表 4-2 六層矽/矽鍍多層結構各條件下均方根粗糙值.....	53
表 4-3 矽/矽鍍多層結構於不同深度下平均硬度與模數.....	53
表 4-4 三層矽/矽鍍多層結構於各氧化條件下平均硬度與楊氏模數.....	54
表 4-5 六層矽/矽鍍多層結構於各氧化條件下平均硬度與楊氏模數.....	54



圖 目 錄

	頁 次
圖 1-1 多層矽/矽鍺薄膜結構示意圖.....	4
圖 1-2 研究架構流程圖.....	4
圖 2-1 氣相薄膜沉積的機制.....	25
圖 2-2 化學氣相薄膜磊晶的原理.....	25
圖 2-3 超高真空化學分子磊晶系統示意圖.....	26
圖 2-4 矽鍺薄膜受應變情形.....	26
圖 2-5 多層矽鍺結構之虛擬基板.....	27
圖 2-6 不同鍺含量內部微結構形貌(a)29%(b)45%(c)62%.....	27
圖 2-7 錯位差排缺陷.....	27
圖 2-8 高溫處理後鍺原子擴散情況.....	28
圖 2-9 (a)負載-位移曲線圖及(b)薄膜經負載及卸載時壓痕形狀剖面圖.....	28
圖 2-10 試片表面(a)突起和(b)陷入效應.....	29
圖 3-1 實驗規劃流程圖.....	38
圖 3-2 穿透式電子顯微鏡.....	38
圖 3-3 布拉格 X 光繞射示意圖.....	39
圖 3-4 X 光繞射頻譜儀.....	39
圖 3-5 二次離子質譜儀量測原理示意圖.....	39
圖 3-6 二次離子質譜儀.....	40
圖 3-7 原子力顯微鏡.....	40
圖 3-8 奈米壓痕儀.....	40
圖 3-9 電子顯微鏡下三角錐鑽石(Berkovitch)型探針示意圖.....	41
圖 4-1(a)-(d) 三層矽/矽鍺多層結構(a)氧化處理前及(b)800°C(c)900°C(d)1000°C 內部微觀結構形貌.....	56
圖 4-2(a)-(d) 六層矽/矽鍺多層結構(a)氧化處理前及(b)800°C(c)900°C(d)1000°C 內部微觀結構形貌.....	58
圖 4-3 三層矽/矽鍺多層結構各氧化條件下結晶結構分析.....	59
圖 4-4 六層矽/矽鍺多層結構各氧化條件下結晶結構分析.....	59
圖 4-5(a)-(d) 三層矽/矽鍺多層結構各條件下矽、鍺、氧三原子縱深分析(a)氧化處理前及(b)800°C(c)900°C(d)1000°C.....	61
圖 4-6(a)-(d) 六層矽/矽鍺多層結構各條件下矽、鍺、氧三原子縱深分析(a)氧化處理前及(b)800°C(c)900°C(d)1000°C.....	63

圖 4-7(a)-(d) 三層矽/矽鍍多層結構各氧化條件下表面形貌圖(a)氧化處理前及 (b)800°C(c)900°C(d)1000°C	64
圖 4-8(a)-(d) 六層矽/矽鍍多層結構各氧化條件下表面形貌圖(a)氧化處理前及 (b)800°C(c)900°C(d)1000°C	65
圖 4-9 兩結構各條件下半高寬值曲線圖	66
圖 4-10 三層結構氧化前後鍍原子縱深分析比較圖	66
圖 4-11 六層結構氧化前後鍍原子縱深分析比較圖	67
圖 4-12 矽/矽鍍多層結構 200 nm、300 nm、400 nm 負載-位移曲線圖	67
圖 4-13 矽/矽鍍多層結構 200 nm、300 nm、400 nm 硬度-位移曲線圖	68
圖 4-14 矽/矽鍍多層結構 200 nm、300 nm、400 nm 模數-位移曲線圖	68
圖 4-15 三層矽/矽鍍多層結構各氧化條件下負載-位移曲線圖	69
圖 4-16 三層矽/矽鍍多層結構各氧化條件下硬度-位移曲線圖	69
圖 4-17 三層矽/矽鍍多層結構各氧化條件下模數-位移曲線圖	70
圖 4-18 六層矽/矽鍍多層結構各氧化條件下負載-位移曲線圖	70
圖 4-19 六層矽/矽鍍多層結構各氧化條件下硬度-位移曲線圖	71
圖 4-20 六層矽/矽鍍多層結構各氧化條件下模數-位移曲線圖	71
圖 4-21 三層矽/矽鍍多層結構 1、3、6、9 次反覆負載之負載-位移曲線圖	72
圖 4-22 六層矽/矽鍍多層結構 1、3、6、9 次反覆負載之負載-位移曲線圖	72
圖 4-23 兩結構於不同氧化溫度下負載-位移曲線圖(a)氧化處理前及 (b)800°C(c)900°C(d)1000°C	73
圖 4-24 兩結構於不同氧化溫度下機械特性趨勢圖(a)硬度(b)楊氏模數	73
圖 4-25 兩結構反覆負載之負載-位移曲線疊圖 (a)第 1 次(b)第 3 次(c)第 6 次(d)第 9 次	74

第一章 緒論

1.1 矽鍺研究背景

在大自然環境中蘊藏著各種原子，如金(Au)、銀(Ag)、銅(Cu)等導電性較好的物質稱為導體(Conductor)或良導體；像玻璃(Glass)、陶瓷(Ceramics)等幾近無法導電物質稱為絕緣體(Insulator)，然而介於導體與絕緣體中間之物質則稱為半導體(Semiconductor)。在半導體材料中又可分為單一原子所構成的原子半導體(Element semiconductor)、兩種以上原子之化合物構成的化合物半導體(Compound semiconductor)及金屬氧化物所構成的金屬氧化物半導體(Metal oxide semiconductor)。

近年來隨著無線通訊的進步，微波元件及單晶片積體電路需求量也逐年增高，且在高頻通訊系統中，微波、毫米波半導體主動元件扮演著重要角色，是組成射頻放大器(PA)、低雜訊放大器(LNA)、混波器(Mixer)及壓控震盪器(VCO)的基本原子。然而隨著行動通訊、微波通訊、衛星通訊、雷達系統等高科技的發展，對微波元件及單晶片積體電路的性能需求也相對提高，為了能提高性能、降低成本，因此在設計時材料的選擇就非常的重要^[1]。然而矽在半導體產業中一直扮演著很重要的角色，因為其成本低，具高熱傳係數、無毒性、強度佳且製程容易掌控^[2]，但以矽基板製作出的半導體元件因矽的載子遷移率較低，在高速及高頻時其功率密度、線性度之特性卻不如砷化鎵等III-V族半導體所製作出的元件，因此在西元2000年之前是以III-V族材料為主流^[3]。根據摩爾定律(Moore's Law)^[4]，在一個尺寸相同的晶片上，隨著科技的進步製程技術的提升可容納之電晶體數量會倍增，不過因物件實體的障礙及成本考量下使晶片無法做到更小，因此半導體產業將從製程技術與材料選擇著手改善以突破所面臨的瓶頸。

為了改善其缺點，許多以矽為主新製程逐漸被開發，其中最受矚目的是將矽鍺磊晶薄膜置入矽元件製程中。並在1998年時，IBM發表了以矽鍺為主的半導體技術，大幅的提高工作頻率及放大功率，並在製程上相容於現有CMOS製程，且在成本優勢下以矽鍺為主之元件及技術目前正被廣泛地探討^[5]。

1.2 研究動機

矽鍺合金目前已在半導體產業中占有一席之地，且已應用於各電腦大廠，然而矽鍺材料晶格不匹配^[6]有著臨界厚度的限制^[7]，在矽鍺磊晶過程中應力累積一定程度後會產生應變鬆弛，使結構以穿越差排做能量釋放，這些缺陷會嚴重降低其性能。近幾年矽鍺技術不斷改善，Lee^[8]等人於結構中增加矽緩衝層，發現可減少矽鍺結構中差排密度。Sheng^[9]等人使用超高真空化學氣相沉積法(Ultra High Vacuum Chemical Vapor Deposition, UHV/CVD)，使矽鍺沉積在矽鍺基底可減少晶格不匹配問題。因此，本研究將運用超高真空化學分子磊晶系統(Ultra High Vacuum Chemical Molecular Epitaxy, UHV/CME)成長多層矽/矽鍺結構。

本論文研究動機如下：

- (1) 目前已有文獻指出矽鍺薄膜臨界厚度約為200 nm^[7]，矽與鍺的比例為80%與20%時為最佳的比例，因此本研究將利用此比例交互沉積矽緩衝層與矽鍺磊晶層形成矽/矽鍺多層結構，以提升矽鍺薄膜臨界厚度與薄膜品質。
- (2) 製作兩厚度相同多層結構，其方法為運用矽緩衝層數達到不同層數效果。已有文獻指出多層矽/矽鍺結構在機械強度上能獲得增強，因此將運用奈米壓痕儀探討兩多層結構機械強度特性。同時利用原子力顯微鏡與穿透式顯微鏡觀察表面粗糙度與內部微結構缺陷。
- (3) 半導體製作過程中熱氧化^[10]是不可避免且扮演相當重要的角色，因此藉熱氧化形成高品質之應變矽鍺(Strained SiGe)是相當關鍵的，所以後段研究主軸將施予高溫氧化處理比較兩結構處理前後整體機械特性轉變，並

觀察在不同高溫處理下對於結構內部缺陷影響。

- (4) 文獻指出矽鍺薄膜所能承受高溫為 900°C ，由於鍺原子在高溫時不穩定會往基材方向擴散以及堆積於表面，此現象所產生缺陷會影響元件效能甚至失效。因此氧化過程中鍺於矽/矽鍺多層結構擴散情形是觀察重點之一。
- (5) 研究結果能有效應用於使用矽鍺材料所製作之虛擬基板，同時整理出不同多層矽/矽鍺結構與機械特性關連性，並於高溫氧化後觀察氧化溫度對於整體材料特性影響及擴散情形，將數據系統性整理供後續研究者參考。

1.3 研究架構

圖 1-1 為本論文研究架構流程圖，各章節介紹內容如下所示：

第二章 基礎理論與文獻回顧：針對矽鍺材料特性、磊晶方法、異質界面結構應用與類型、矽鍺薄膜缺陷、高溫氧化技術、及奈米壓痕理論與應用做一介紹。

第三章 實驗流程：介紹實驗規劃流程以及所使用之儀器。首先運用超高真空化學分子磊晶法，依圖 1-1 在六吋矽晶圓上成長矽/矽鍺多層結構，利用穿透式顯微鏡(TEM)、X光繞射儀(XRD)、二次離子質譜儀(SIMS)、原子力顯微鏡(AFM)分析高溫氧化後材料特性，並配合奈米壓痕儀量測結構之機械特性。

第四章 實驗結果與討論：將分析結果數據整理，並且加以討論。

第五章 結論：將研究結果分類並說明。

第六章 後續研究工作：本論文研究結果對於未來發展與價值加以討論並列出可改進處。

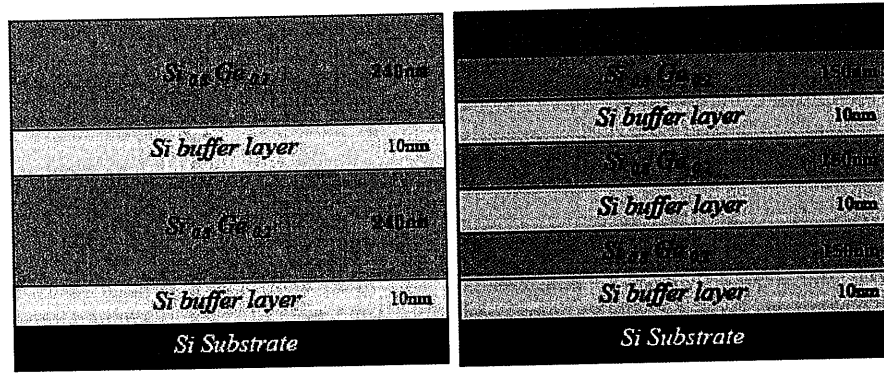


圖1-1 多層矽/矽鍺薄膜結構示意圖。

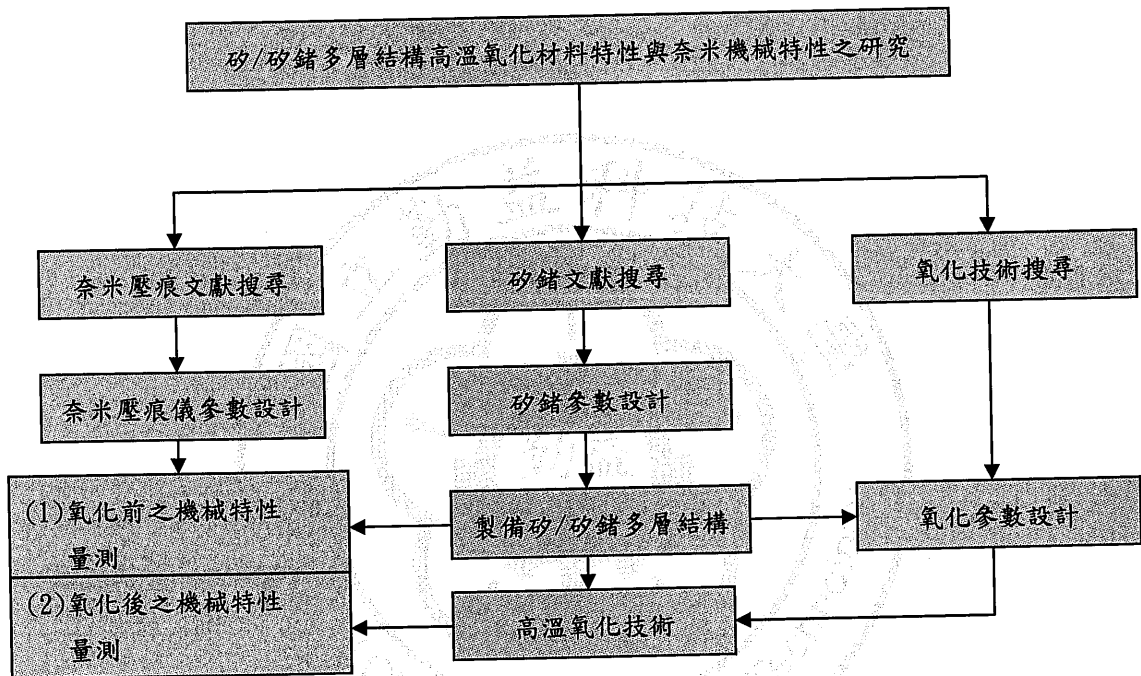


圖1-2 研究架構流程圖。

第二章 基礎理論與文獻回顧

自 1947 年由貝爾實驗室開發出第一顆電晶體，短短十幾年又開發出全球第一顆 IC，此後各式的 IC 逐漸被研發出來技術不斷精進，半導體的製程也邁向奈米等級，以高速、多功能、低成本為目標。矽積體電路(Si VLSI)因成本低成為近幾年來主要開發項目，但在高速及高頻環境下喪失了原本優勢，因此為了克服瓶頸及成本效益，許多學者已積極研發出新的製程。

在 1955 年時，M. Glickman 是第一位將矽鍺合金發表出來的學者^[11]。成長矽鍺合金技術則經過 20 年的研究，於 1975 年德國的 AEG 研究中心才成功以分子束磊晶(Molecular Beam Epitaxy, MBE)方式成長矽鍺磊晶薄膜。直到 1980 年代晚期，已可運用超高真空化學氣相沈積法(Ultra High Vacuum Chemical Vapor Deposition, UHV/CVD)進行矽鍺薄膜成長，此時已能掌握成長的溫度、成長時間以及通氣流量^[12]。

異質界面雙載子電晶體(Heterojunction Bipolar Transistors, HBT)^[13]在 1957 年由 Kroemer 及 Shoceley 首先提出，近來改以矽與鍺兩異質材料界面製作 HBT 發現可提升整體效能，並於 1998 年時矽鍺異質界面雙極性電晶體(SiGe HBT)已成功商業化首次於市場上亮相，在射頻市場商機也極被看好，估計每年可成長 30%。而 IBM 公司於 2002 年時，成功的將矽鍺異質界面雙極性電晶體的截止頻率提升至 350GHz，同時擁有較快運作速度、功率效能提升、互導(Transconductance)、及輸出阻抗等優勢。相較於傳統矽材料，矽鍺異質界面結構在結晶特性及電性上皆優於傳統矽材料，其能隙會隨著鍺原子的含量升高而降低，因此在成長過程中改變鍺含量，能有效的控制導電帶(Conduction band)、價電帶(Valence band)、能隙(Energy gap)，同時也因鍺的加入改善了電子與電洞遷移率，在高頻通信上能有更多的設計空間，且易與互補式金屬-氧化層-半導體(Complementary Metal-Oxide-Semiconductor, CMOS)製程相容特點來達到低成本

及尺寸微小化，故矽鍺異質接合結構至今已引起相當多學者的關注。

2.1 矽鍺元件發展應用與磊晶方式

依整體特性而言如上所敘述，矽鍺改善了矽在高頻上的限制，且導熱性良好材料安全性佳，並與製程技術已純熟之矽積體電路具高整合度，能縮短研發過程與製作成本，已能直接運用在半導體現有200 mm晶圓製程，達到高集成度並媲美砷化鎵高速之特性。近年來隨著IBM等半導體廠投入，矽鍺技術已逐漸克服在截止頻率(Cut-off frequency)與擊穿電壓(Breakdown voltage)過低等問題。IBM已可以運用0.18 μm 的BiCMOS製程生產矽鍺HBT元件，且最大震盪頻率(F_{max})可達到90GHz，代表矽鍺已可應用於每秒10Gb的SONET光纖傳輸及2.4GHz以上頻帶的行動電話領域上，但矽鍺元件的崩潰電壓 BV_{ceo} (Breakdown voltage)隨著尺寸微小化亦下降到3V以內。而為了改善崩潰電壓過低的特性，IBM也研發出高崩潰電壓的矽鍺HBT元件；此元件在0.25 μm 製程下可將崩潰電壓提升至5.5V。

由於矽鍺半導體材料所製作出的元件具有良好的線性度、低噪音、運作快速等特性，在無線通信射頻IC上也被廣泛運用，目前已可應用於手機射頻前端。摩托羅拉(Motorola)為目前微控制器(Micro control unit)最大供應商，並經由德國高階微電子研發中心授權矽鍺碳(SiGe:C)技術，期望將0.18 μm 矽鍺碳技術應用於手機與高速通訊射頻。矽鍺碳技術因具備嵌入式高Q值電容及銅電感器(Copper inductor)，因此可將數位信號處理器(Digital signal processor)、微控制器(Microcontrollers)及無線射頻(Radio frequency)功能整合於同一晶片。如今，許多半導體廠商過去十多年來對矽鍺元件有所改進與提升，矽鍺電晶體已在先進無線通訊行動電話中扮演了重要角色。

目前應用上也可利用受應力後產生形變之矽與矽鍺，可互補原兩材料之缺點並運用在許多光電元件上，包括薄膜電晶體(Thin-Film Transistor, TFT)^[14-15]、調變摻雜場效電晶體(Modulation Doped Field Effect Transistor, MODFET)^[16-17]、金氧半場效電晶體(Metal-Oxide-Semiconductor Field-Effect Transistor，

MOSFET)^[18-19]、異質接面雙載子電晶體(Heterojunction Bipolar Transistors, HBT)^[20-21]等等。另外在半導體製造過程中運用熱氧化所形成閘極氧化、絕緣層、阻障層等等也逐漸開發中，此方面應用以絕緣層上披覆矽 (Silicon on-insulator, SOI)與絕緣層上披覆矽鍺(Silicon-germanium-on-insulator, SGOI)為主，然而SOI技術主要以提升時脈與減少漏電流而達到省電效果，SGOI技術則以提高電晶體運作速度為目的，其方式以增加原子與原子間距離並加快電流流動的速度，現今已成功運用在電腦的晶片。

2.1.1 矽鍺合金材料特性

現今半導體產業中較常使用的材料為矽(Si)、鍺(Ge)、砷化鎵(GaAs)。當中矽為半導體主要材料，在地殼中所佔的比例為 26.77%，因此製作成本較其它材料低；更重要的是能利用退火技術形成二氧化矽(SiO₂)提供一高特性絕緣體^[22]，但與 III-V 族化合物半導體材料比較起來，其電子遷移率較慢無法達到高頻(1GHz 以上)需求，也因雜訊較高因素，在光電、通訊及高頻元件應用上受到很大的限制而喪失了競爭力。

鍺為最早使用之半導體材料，其優點為提煉與製造過程較其他半導體材料容易，且具有較小的能隙及較高的電子、電洞遷移率，缺點在於對高溫的敏感，因此在高溫時穩定度欠佳，導致較多的熱耗散並降低元件開關速度。

砷化鎵為 III-V 族化合物材料，優點為擁有高電子遷移率，大約為矽的五倍，且砷化鎵所製作的元件基底其寄生電容也較矽元件小，因此在固定電場下可提供較快的元件運作速度，同時砷化鎵的飽和電場比矽小，所產生的能量-延遲也較矽來的小。砷化鎵的能隙種類為直接能隙，故光電轉換效能高，可用於製作發光二極體等元件。而砷化鎵也因化合物組成緣故，其材料製作困難、成本較高，單晶體也較矽與鍺難長成長；並容易產生分解加上製程複雜度高也較難控制。更重要的是砷化鎵製程無法相容於成熟的矽製程，材料本質易碎無法承受大尺寸製作。

上述半導體材料各有優缺點，因此近年來許多新的技術研發或改進方向，都直接或間接的與材料有關，因此本研究將研究動機轉向材料變化以及結構的設計。在此動機之下，IV-IV族材料矽鍺(SiGe)，因其能隙具有可變性^[23~25]與載子遷移率增強^[26~29]等特性，在半導體產業逐漸重視且深入研究。一系列矽鍺合金研究報告指出，矽鍺半導體材料能彌補矽在光電特性上的缺點，且同時擁有低成本優勢，並能與當今技術已成熟的矽積體電路結合，在運用上逐漸受到重視。其製作方法為磊晶矽元件中參雜鍺原子進去，利用鍺較低的能隙增進電流來達到功率放大，鍺能擁有較高的電子遷移率來加速電子的移動以增進工作頻率。在導熱性方面，矽鍺元件導熱性較好，運作速度也較快，因此在元件尺寸不斷縮小情況下，散熱的問題越來越受到重視，因為元件有一定的溫度操作範圍，超越此範圍時元件將會產生損耗甚至失效。砷化鎵由於本身材料散熱性較差，應用上又大多設計於高頻高功率的功率放大器上，因此更容易產生熱能，所以砷化鎵製程中需加入一道特別的處理，其處理方式為晶片背面拋光及曝光蝕刻，目的就是增加元件的散熱與導線連接，而為了散熱及曝光對準晶片必須磨的很薄，但砷化鎵晶片又易碎，在成本及效益考量下砷化鎵較於矽鍺材料就相形失色了。更重要的是矽鍺的元件特性可由晶圓製造廠製程條件來決定，並可結合互補式金氧化半導體(CMOS)的製程於一顆單晶片裡，這是砷化鎵目前所不能做到的。矽鍺元件功率轉換率可高達六成，也優於砷化鎵的四成左右，因此矽鍺技術除了兼具砷化鎵高頻及低消耗功率的優點，在處理散熱製程也較為簡單，並且擁有低成本與高相容性等等的好處，因此已被大量研究。

矽(Si)原子與鍺(Ge)原子皆屬IV族材料，但其晶格常數(Lattice constant)大小與能帶間隙(Energy bandgap)皆不同；矽與鍺的晶格常數分別為5.431 Å及5.675 Å，兩者晶格不匹配度約為4.17%，因此在磊晶矽鍺合金時兩者比例將影響其晶格常數變化，此變化會遵循Vegard定律^[30]，而 $\text{Si}_{1-x}\text{Ge}_x$ 晶格常數關係式可(2.1)式表示之^[31]：

$$5.431+0.2x+0.027x^2 \quad (2.1)$$

而能帶間隙也會隨著 Ge 含量變化，其關係可由鎳含量多寡分別代入(2.2)與(2.3)式^[31]：

$$1.12-0.41x+0.008x^2 \text{ eV}, x<0.85 \quad (2.2)$$

$$1.86-1.2x \text{ eV}, x>0.85 \quad (2.3)$$

由於矽鎳兩材料晶格常數不匹配，磊晶機制將以基底晶格常數大小成長，因此在磊晶過程中不易將晶格常數相差較大之薄膜成長於基材上。

2.1.2 矽鎳薄膜磊晶方式

此章節將介紹各種矽鎳薄膜磊晶方式，在不同系統下其反應溫度、反應時間、通入氣體、氣體流量比值皆有所差異，所適合之磊晶材料與應用端也不同。目前磊晶原理大致分為液相磊晶(Liquid Phase Epitaxy, LPE)、固相磊晶(Solid Phase Epitaxy, SPE)、氣相磊晶(Vapor-Phase Epitaxy, VPE)，以下將簡單介紹各種薄膜磊晶技術與矽鎳較常使用之磊晶系統。

1. 液相磊晶

液相磊晶法是在單晶基板上利用過飽和的溶液形成磊晶層，此種磊晶方法主要用於化合物半導體材料，因此在砷化鎵(GaAs)、砷化銦鎵(InGaAs)與 III-V 族化合物材料上應用最為廣泛，主要製作於發光二極體。液相磊晶技術的優點在於能控制融化冷卻後的磊晶層，因此磊晶過程能將雜質降低，能生長高品質的磊晶薄膜，且系統成本較低材料性質再現性也相當高，缺點則為液態磊晶所獲得之表面形貌較其他磊晶系統差，在磊晶層與基板之間有晶格常數限制，因此在異質界面成長時界面處會有漸變現象。

2. 固相磊晶

固相磊晶法是於單晶基板上利用沉積方式或離子植入方式形成非晶層(Amorphous layer)，後續再運用熱處理使非晶層再結晶(Recrystallize)，最後得到與基板結晶同方向之磊晶層(Epitaxial layer)^[32]。

3. 氣相磊晶

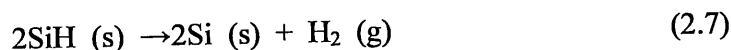
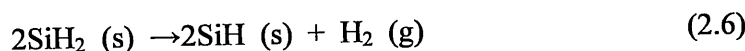
氣相磊晶法是在基板上通入氣體，使其反應透過氣相沉積的方式在基板上磊晶。而氣相沉積法中又可分為物理氣相沉積(Physical Vapor Deposition, PVD)和化學氣相沉積 (Chemical Vapor Deposition, CVD)兩種技術。前者是利用物理方式沉積，而後者則是利用化學反應的方式來進行沉積，應用端上也有所差異。PVD主要應用於金屬薄膜的沉積，然而在半導體、導體或介電材料(Dielectrics)元件中需要的薄膜則是以CVD法來進行製作，原因在於CVD是利用反應氣體間的化學效應來沉積薄膜，因此CVD所製作的薄膜材料，其結晶性(Crystallinity)和理想配比(Stoichiometry)都比PVD法好很多。由於CVD系統成長的薄膜光滑緻密且均勻並不受基材形狀大小的限制故可大量生產，是目前在半導體工業上矽元件最常使用之沉積薄膜的方法。CVD若以操作壓力來區分可分為：常壓(Atmospheric)與低壓(Low pressure)兩種。若以反應器結構區分可分為：直立式(Vertical)、水平式(Horizontal)、管狀式(Tubular)、直桶式(Barrel)、烘盤式(Pancake)、及連續式(Continuous)等等；而反應器器壁又可分為：熱壁式(Hot-wall)與冷壁式(Cold-wall)兩種。氣相薄膜沉積的機制如圖2-1所示，依發生的順序可分為：(a)長晶(Nucleation)(b)晶粒成長(Grain growth)(c)晶粒聚集(Coalescence)(d)逢道填補(Filling of channels)(e)沈積膜的成長(Film growth)^[33]。

其運用在矽鍍薄膜的生長方式有很多種，例如：低壓化學氣相沈積(Low Pressure Chemical Vapor Deposition, LPCVD)、常壓化學氣相沈積(Atmospheric Pressure Chemical Vapor Deposition, APCVD)、快速升溫化學氣相沈積(Rapid Thermal Chemical Vapor Deposition, RTCVD)、低能量等離子體增強化學氣相(Low Energy Plasma Enhanced Chemical Vapor Deposition, LEPECVD)、超高真空低壓化學氣相沈積(Ultra High Vacuum-Low Pressure Chemical Vapor Deposition, UHV-LPCVD)、超高真空化學氣相沈積(Ultra High Vacuum Chemical Vapor Deposition, UHV/CVD)。而這些化學氣相沈積系統最主要的差異在於製程的溫

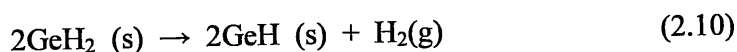
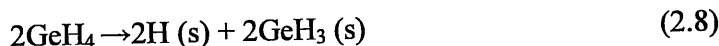
度及壓力，系統原理則是大致相同，因此將詳細介紹其中較常見的三種矽鍍磊晶系統，分別為CVD原理的超高真空化學氣相沈積法(UHV/CVD)與超高真空化學分子磊晶法(UHV/CME)；以及PVD原理中的分子束磊晶法(MBE)。

(1) 超高真空化學氣相磊晶系統

超高真空化學氣相磊晶系統成長於高真空及低壓環境，製程壓力低於 10^{-6} Pa(約為 10^{-8} torr)，成長溫度大約為 400°C - 550°C ，成長時使用熱壁式加熱方法，並通入一種或一種以上的氣體在晶圓(Wafer)上反應產生固態薄膜，一般而言矽鍍磊晶是通入矽烷(SiH_4)^[34]當作反應氣體。而晶圓上所生長之薄膜，源於氣體分子或其他粒子，例如原子團(Radical)和離子等佈滿在晶圓上。這些粒子利用化學反應產生固態粒子，然後磊晶於晶圓表面上，或經表面擴散作用使粒子失去部份動能後，被晶圓表面所吸附而進行磊晶。化學氣相薄膜磊晶的原理可分為下列五個順序，如圖2-2所示：(a)反應氣體利用擴散(Diffusion)使氣體分子通過晶圓上方。(b)氣體分子吸附(Adsorption)在基板上。(c)產生化學反應並沉積。(d)反應後所產生之副產物與未反應氣體由邊界層進入主氣流。(e)殘餘氣體由真空系統抽離。使用氣體為矽烷(SiH_4)與或鍍烷(GeH_4)，在高溫下通入腔體並進行化學反應，其製程化學反應式由Gates等人於1990年所提出的矽(Si)反應式^[34]：



而 B. Cunningham 等人於 1991 年所提出的鍍(Ge)反應式^[35]：



將上述矽與鍍反應式結合後可得：



其中S為基板(Substrate)表面所產生之反應點。反應後所分解出的 H_2 將會被真空系統抽離，因此會留下矽與鍺反應物在晶圓上。通常成長Si、SiGe以及SiGeC薄膜時所通入的氣體為 Cl_2 、 SiH_4 、 SiH_2 、 GeH_4 、 SiH_3CH_3 、 CH_4 以及 SiCH_6 。

(2) 超高真空化學分子磊晶系統

超高真空化學分子磊晶系統(Ultra High Vacuum Chemical Molecular Epitaxy, UHV/CME) 機台示意圖如2-3所示^[36]，加熱速率約每分鐘150度的沈積生長速率^[36]，磊晶原理則與超高真空化學氣相沈積相同。此系統與超高真空化學氣相沈積(UHV/CVD)系統差異在於使用冷壁式反應系統^[36]，利用水冷式(Water-cooled)冷壁不鏽鋼反應腔、製程氣體(Doping gas)分離式噴嘴(Separate)和電腦控制氣體轉換盒(Computer-controlled gas switching bbox)所組成的磊晶系統進行薄膜沉積。另外，超高真空化學分子磊晶系統由於單一腔體成長只能以單片成長^[36]，而超高真空化學氣相沈積系統是由爐管方式因此單次製程可多片成長。此系統有五種主要通入氣體，分別為 GeH_4 、 PH_3 、 Si_2H_6 、 Cl_2 、 B_2H_6 和吹除氣體氮氣(N_2)，而反應物的氣體流率都被密封金屬集中流量控制器(Metal-sealed mass Flow Controller)精密的控制著，因此能沉積出相當高品質矽鍺薄膜^[37-41]。

(3) 分子束磊晶系統

分子束磊晶系統(Molecular Beam Epitaxy, MBE)為物理氣相磊晶所發展出的技術。於1969年由A. Y. Cho 和 J. R. Arthur^[42]率先發表之，此乃利用在超高真空($\text{pressure} < 10^{-10}$ torr)環境下加熱，對蒸鍍瓶(Effusion cell)加熱控溫並精密掌握材料源蒸鍍其分子，讓蒸發的原子態分子束直接撞擊晶片基板，進行磊晶成長的單晶薄膜成長技術。氣體分子粒子在成長腔體內的平均自由路徑(Mean free path)可達數公里以上，遠大於蒸鍍源至基板之間的距離，因此分子粒子往基板移動過程中難與其他氣體分子產生碰撞，可視為分子直線直達於基板。由於分子束磊晶系

統要求達到超高真空，對於材料源的純度也高，故具有防止其他雜質污染的最大優點，非常適合成長於表面平整度要求很高的元件(VCSEL、RCLED、HBT等)。薄膜成長時處於一個非熱平衡狀態，其成長機制決定於材料表面之動力學，過程中可利用反射式高能量電子繞射裝置(Reflected High Energy Electron Diffraction, RHEED)^[43]之繞射圖案觀察磊晶層表面之平坦度與結晶狀態，因此可精準的控制各層磊晶層的厚度，目前已成為三五族化合物半導體材料的主要長晶技術之一。

2.2 矽鍺異質界面結構

隨著半導體元件製程技術逐漸成熟，元件尺寸微小化是必要的，更重要的是要能有效提升元件運作效率。矽鍺元件為異質界面結構，整體特性隨鍺含量的多寡直接影響能隙能量，進而提高傳導載子的遷移速率。此結構具高增益、高線性度、及高輸出功率等優良特性，與III-V族相比之下成本又較低，非常適於高效率功率放大器之應用^[44]。而隨著閘極長度縮小化之趨勢，遷移率工程已經變成IC性能改善的一個最重要貢獻者，且在全場效電晶體(MOSFET)中證實提高了125%電子流動性^[45]及120%電洞遷移率^[46]，並可調整層異質結構價電帶，因此在矽鍺薄膜製程參數上需加以設計，而如何有效調整能隙能量^[23-25]和增強載子移動率^[26-29]就是矽鍺材料的關鍵處。

2.2.1 應變矽與應變矽鍺製作

應變矽與應變矽鍺的技術是利用晶格常數的差異，使其受應力後所產生應變的方法，主要目的藉由調整能帶以提升半導體載子遷移率，目前已成功應用於MOSFET 通道裡，可依需求成長局部應變(Local strain)與全面應變(Global strain)。如圖 2-4 所示，磊晶機制將依基底晶格為基準成長，在磊晶過程中若是以矽為基底欲成長矽鍺薄膜，由於基底晶格常數較矽鍺薄膜小，矽鍺薄膜將受到壓縮應變(Compressive strain)。反之，若以矽鍺為基底欲成長矽薄膜時，依成長機制將形成拉伸應變(Tensile strain)。

鍺含量的多寡在上述章節中已提到會影響其載子遷移率，鍺含量越高時其載子遷移率相對上升，意謂著遷移率快慢與元件效能和鍺息息相關，但鍺含量提高時某部分電性特性卻成劣化現象，如所能承受崩潰電壓下降及漏電流情況嚴重化等等，且亞閾值特性曲線也越偏離控制範圍，此現象對於元件運作是相當不利的，也代表鍺含量選擇相當重要，應找出一平衡點有利於整體效能^[47]。更重要的是矽與鍺晶格常數大小不匹配，兩合金成長時依磊晶機制與基板晶格常數相同。由於鍺晶格常數較矽大，成長過程中勢必會受到應力影響，此應力隨著鍺含量增加成正比提高，為了維持薄膜品質矽鍺薄膜臨界厚度也隨之下降。考量到上述各因素影響，已有研究結果指出鍺的含量在 20% 可維持較好的特性，臨界厚度約為 200 nm 左右，因此本研究將選用鍺 20% 濃度並以多層結構提升矽鍺薄膜臨界厚度。

2.2.2 虛擬基板結構製作

如上一章節所敘述，製作應變矽與應變矽鍺須添加鍺原子輔助獲得，此後可利用此矽鍺基板做後續結構成長，依用途決定此基板成長條件。目前矽鍺基板經 Usami 等人研究雖可直接製造，但成長過程複雜、精密，相對的成本較高，且不是每次都獲得單晶排列的矽鍺合金^[48]。因此目前具高品質矽鍺晶圓仍無法直接生產，需靠矽晶圓輔助獲得，透過此方法利用矽鍺作為基底之結構簡稱為虛擬基板，本章節將介紹各種虛擬基板結構之製作方法。

1. 漸變層虛擬基板結構

漸變層為目前最常使用製作矽鍺虛擬基板的方法之一，製作方法是隨著厚度增加時將鍺含量逐步提高，而此層就稱為矽鍺漸變緩衝層，隨後可於上方成長所需結構，而此種虛擬基板最大特色就是能將大部分晶格不匹配所產生的缺陷抑制於此漸變緩衝層內^[49]，另一方面可利用較高的鍺含量成長較大應變矽薄膜。製作矽鍺漸變緩衝層主要關鍵是如何在厚度增加時，有效的控制表面粗糙度 (Surface roughness) 以及貫穿性差排密度 (Threading dislocation density)。為了精準

掌握製程參數維持較好的品質，相對的所需時間較長、成本過高是此方法的缺點。

2. 添加矽緩衝層之虛擬基板

添加矽緩衝層於兩異質界面結構中能分擔晶格不匹配導致的應力，通常選用低溫下所成長的矽作為緩衝層。矽緩衝層的加入能增加伸張應變以降低後續磊晶矽鍺層缺陷的產生^[50]，也有說法指出低溫所製造的矽緩衝層內將產生許多點缺陷，後續磊晶矽鍺層時穿越差排將不易貫穿點缺陷至表面，因此缺陷被阻擋於緩衝層內^[51]。而矽緩衝厚度掌握也是關鍵因素，已有研究證實矽緩衝層雖能抑制住缺陷延伸至表面，但在厚度過後時將以不同缺陷形式釋放^[8]，詳細缺陷形式將於 2-4 章節加以介紹。

3. 多層矽鍺結構之虛擬基板

多層矽鍺結構製作方法是利用矽緩衝層與矽鍺層交互堆疊而成，與單層矽鍺相較之下可提升薄膜機械特性^[52]。目前已有研究比較單層與多層矽鍺於相同厚度下缺陷分佈情況，多層結構能將缺陷抑制於靠近基材矽鍺層，而單層結構則會貫穿至結構表面^[53]。如圖 2-5 研究所示，適當的控制矽鍺層當做缺陷釋放處確實能使上方結構維持較好品質^[53]。

2.3 高溫處理機制介紹

藉由矽的氧化能形成一層二氧化矽(SiO_2)高特性絕緣體，因此高溫氧化於半導體製程中扮演著重要的角色，其中也包含退火於矽鍺製程中。由前述文獻介紹可知，矽鍺異質接合結構常被運用於 HBT、MOSFET 等半導體製程中^[54-56]。因此，熱氧化的機制在矽鍺製程技術中是必然的一道程序，而不同熱氧化溫度與時間將對矽鍺結構產生不同影響。以下將介紹高溫下熱退火機制與高溫氧化機制對矽鍺結構產生的影響。

2.3.1 熱退火機制介紹

隨著矽鍺異質接面結構蓬勃發展，許多退火機制已逐步應用於矽鍺結構中，而兩材料本身有晶格不匹配問題，磊晶過程將會產生許多應力，若加上退火機制中熱應力(Thermal stress)所產生的熱應變(Thermal strain)將會使結構產生一定影響，因此近幾年矽鍺退火已被大量研究。研究中主要觀察整體結構缺陷(Structure defect)的分布以及應變釋放(Strain dislocation)的機制將以何種缺陷方式呈現。

S. Zheng 等人^[57]以退火溫度 600°C 至 900°C 時間 30 分鐘研究中發現，當退火溫度逐漸升高時，經 X 光繞射分析結果得知矽鍺波峰與矽波峰距離則會越接近，同時矽鍺波峰的強度會逐漸下降而半高寬(Full-width at half-maximum, FWHM)則有變寬的現象，最後也指出這些現象代表鍺擴散導致矽鍺品質的下降。

Y.M. Chang^[6]等人於研究中發現，熱退火後矽鍺波峰會往高繞射角偏移(Shift)，並發現氧原子因層間的擴散作用而進入矽鍺磊晶層表面，也進一步得知當退火溫度升高時熱應變使矽鍺的平均晶粒大小(Average grain size)逐漸變大，且介面層間的黏著力也會提高力(Interfacial adhesion strength)。

更重要的是矽鍺與矽本身就有晶格不匹配問題，退火後不只是薄膜品質的退化，也可能於薄膜內部產生許多缺陷^[58]。當薄膜承受超過極限時，會以穿越差排形式於結構中釋放，或於基材介面不匹配區域產生錯位差排。當介面處產生晶格間的滑移(Gliding)現象時不匹配區域將有相同的 Burgers vector，此時錯位差排於表面處會形成方格圖形(Cross-hatch patterns)^[59]。當應變釋放持續提升時方格圖形將變得更小更密集，並可能於表面處發現穿越差排貫穿至表面所產生的凹洞(Pit)現象^[59]。以上這些研究指出退火所產生的缺陷會使元件性能降低，因此下一節將介紹高溫氧化處理方式以改進傳統高溫退火的缺點。

2.3.2 高溫氧化處理介紹

矽鍺薄膜氧化處理^[60]於1970年已被許多學者探討。目前利用高溫氧化技術於絕緣層上披覆矽(Silicon on-insulator, SOI)及絕緣層上披覆矽鍺

(Silicon-germanium-on-insulator, SGOI) 應用最為廣泛，並實際運用於電學及光學元件上^[61]。高溫氧化處理可分為乾式氧化(O₂)與濕式氧化(H₂O)兩種，兩者差異在於氧化速率的快慢^[62]。其中矽鍺薄膜之應變程度(Strain)、組成比例(Composition)、成長溫度(Growth temperature)、厚度(Thickness)等參數都會影響氧化之動能(Kinetic of oxidation)^[60]。因此，如何適當運用高溫氧化技術應用於矽鍺材料是相當關鍵的。當矽鍺層鍺含量小於50%時氧化溫度達700°C時才會產生氧化現象，過程中氧與矽的親和力較鍺好，因此二氧化矽(SiO₂)會比二氧化鍺(GeO₂)優先形成^[63-64]，使得鍺會排斥於二氧化矽層底層處堆積，反應式由(2.13)所示^[31]：



同時也可利用鍺堆積的特性形成鍺量子點，此方法所獲得量子點大小較為均勻且熱穩定較佳，與其他量子點生長比較起來容易製作且成本較低，並與目前CMOS技術相容，因此高溫氧化技術對於半導體日後發展展示相當重要的。

2.4 缺陷機制探討

矽鍺合金的發現，使矽積體電路整體特性大幅提升應用性也更加廣泛，不過晶格不匹配一直是矽鍺材料最大的問題。晶格的不匹配往往使磊晶製程產生困難，在超高真空化學分子磊晶(UHV/CME)製程中，初期磊晶薄膜厚度未達臨界厚度(Critical layer thickness)值之前，可藉由晶格所能承受彈性應變(Strain)來避免缺陷之形成；但是當磊晶超過臨界厚度時，成長過程中將產生許多缺陷以釋放薄膜內所累積的應力，最常見的缺陷形式為穿越差排(Threading dislocation)、錯位差排(Misfit dislocation)及高溫後擴散所產生的缺陷，而缺陷產生的情況以及位置將在本章節做詳細介紹：

1. 穿越差排缺陷

由差排理論得知，差排線形成後不可能終止於晶體內部^[65]，差排將會形成一差排環、分支到其他差排處或者延伸至晶界處及晶體的表面。矽鍺異質界面結

構生長時將會有臨界厚度限制，臨界厚度將會隨著鍍含量增加而下降，因此在相同矽鍍晶厚度下鍍含量較多的結構產生穿越差排密度也較高。如圖 2-6^[66]，此原因是因為鍍的晶格常數較矽來的大，因此當鍍原子含量較多時矽鍍晶層晶格受到應力也較大，因此將產生穿越差排此種缺陷。

2. 錯位差排缺陷

對大多數的半導體材料而言，找到基材與成長薄膜相同晶格常數之材料並不容易，所以在一般晶格常數不同的基板上晶膜可歸類為異質晶，因此基材與薄膜介面處將會產生些許錯位差排缺陷，缺陷的嚴重性依基板與薄膜間晶格匹配度來決定，以異質界面結構而言矽與矽鍍晶格不匹配度已算低了。如圖 2-7^[8]，當薄膜成長越厚時錯位差排就會明顯增加，對於元件應用上效率大為降低，目前已有許多學者去探討如何抑制錯位缺陷的產生。

3. 高溫擴散缺陷

鍍原子於高溫下穩定性較差，因此薄膜成長溫度也不能太高，一般而言矽鍍成長溫度不超過 600°C，以防止成長過程中鍍擴散導致薄膜品質不均勻。而後續熱氧化的溫度也是值得注意的，於不同時間或溫度也會使鍍原子產生擴散。如圖 2-8^[67]所示，S.H. Kim 等人於研究中也指出，高溫後鍍原子會往矽基材與薄膜表面方向擴散，因此熱氧化溫度與時間掌控是相當重要的。

2.5 壓痕量測系統介紹

在巨觀的尺度下，很多材料都利用拉伸試驗去測量待測物的彈性模數。一旦進入微觀的世界裡，許多為材料之結構便有所改變，尤其是比表面積大、表面能高、表面原子所佔比例大等特點，以及三大效應：表面效應、小尺寸效應和量子隧道效應。此時不能在以傳統的連體力學來評估，若要測量薄膜的機械性質如潛變、硬度、彈性模數等等，則必須利用奈米壓痕、刮痕、表面作用力量測法、原子力顯微術做為量測的工具。由於測量奈米壓痕之過程中，量測的速度很快且精準，現已廣泛的被多位學者針對機械性質之測量。

本論文乃探討利用奈米壓痕機測量矽鍍薄膜之機械性質，藉由連續的附載及卸載等過程得到楊氏模數及硬度，以極小的荷重來測量奈米尺度下的彈性以及塑性行為。

2.5.1 奈米壓痕技術背景

在 20 世紀初，Brinell 利用球狀探針對塑性變形之材料做壓痕測試。此後，Brinell 便發展出各種不同的壓痕微米壓痕測試，並迅速地被業界採用^[68]。傳統的壓痕測試是利用光學量測，但限制了奈米的尺寸。在過去二十幾年的時間，壓痕領域已經延伸到奈米的尺度範圍，其已發展出能在壓痕過程中連續量測負載和位移的關係。現今負載可以精確地量測小至奈米牛頓以及最小位移趨近 0.1 奈米的尺度。1970 年，楊氏模數(Elastic modulus)可以經由負載-位移曲線中所得，更大大地推進壓痕測試方法^[68]。近幾年來，由於材料在奈米尺度下所具有的尺寸效應(Size-dependent)，機械性質的研究漸漸開始引起各方的注意。目前正朝向於奈米複合材料的發展和奈米厚度薄膜於微小化工程的應用，以及在小體積下新穎的探測機械性質方法的發展。

如今，奈米壓痕機漸成為小體積材料機械性質的探測工具。壓痕的負載-位移資料包含了大量的資訊例如硬度和彈性係數等機械性質，不用傳統的光學量測方法就可獲得。奈米壓痕機也可以估計傳統壓痕所量測不出的超薄膜之破裂韌性。在擁有切向力感測器下，奈米刮痕和磨耗測試可以在漸增負載下執行。壓痕探針頭則是由高硬度和彈性模數所組成，因此可避免探針頭本身的形變導致量測誤差。對於在小尺寸下探測硬度和彈性模數等性質，因三角錐形狀所磨成尖端狀的 Berkovich 三角錐壓痕探針較 Vickers 和 Koop 探針更為廣泛使用的。

2.5.2 硬度與彈性模數的量測原理

在壓痕技術下最常量測的機械性質就是硬度(Hardness, H)和彈性模數(Elastic, E)。一開始，探針壓入試片時彈性和塑性變形會同時發生，此為負載的過程，壓痕形狀類似於探針頭三角錐的形狀。經過卸載之後，壓痕機抬針，此時

只有彈性位移的部份會恢復。圖 2-9(a-b)^[68]展示典型的負載-位移曲線圖以及薄膜經負載及卸載時的壓痕形狀剖面圖。圖中 h_{\max} 表示在最大負載 P_{\max} 時的深度， h_c 定義為壓痕探針在負載下與試片的接觸深度， h_f 是在完全卸載後的最終位移。 S 為卸載曲線上量測而得的剛性(Stiffness)。奈米壓痕硬度是最大負載除以壓痕的投影接觸面積，也就是說材料在負載下所能支撐的平均壓力。從負載-位移曲線可以得到硬度為(2.14)式：

$$H = \frac{P_{\max}}{A} \quad (2.14)$$

A 為投影接觸面積。另外試片之彈性模數可以從初始卸載斜率，即剛性 $S=dP/dh$ 中得到。而 S 可另外由 Sneddon^[69]推導的(2.15)公式來表示：

$$S = 2\beta \sqrt{\frac{A}{\pi}} E_r \quad (2.15)$$

β 為探針頭幾何形狀有關的常數(Berkovich 為 1.034)， E_r 為變形模數(Reduced elastic modulus)，由於 Tabor 和 Stillwell 較早的的壓痕實驗觀察到，非剛性壓痕器(Non-rigid indenter)對於負載-位移行為的影響，可藉由定義一個變形模數，有效地加以考慮，方程式(2.16)為

$$E_r = \frac{1-\nu^2}{E} + \frac{1-\nu_i^2}{E_i} \quad (2.16)$$

E 和 ν 分別為試片之彈性模數和浦松比(Poisson ratio)， E_i 和 ν_i 則為壓痕探針頭之彈性係數和浦松比。對於鑽石而言， $E_i=1141\text{GPa}$ 且 $\nu_i=0.07$ ^[69-70]。

從(2.15)和(2.16)式中可得知，為了求出 E 值，必須要先知道剛性 S 和投影接觸面積 A 。Oliver 和 Pharr^[70]發現卸載曲線通常為 Doerner 和 Nix 所述為非線性^[71]，可以用指數形式(2.17)來表示：

$$P = B(h - h_f)^m \quad (2.17)$$

在此 B 和 m 為經驗常數。而剛性 S 可以將(2.17)式中最大深度 $h=h_{\max}$ 對時 h

做微分可得到(2.18)式：

$$S = \left(\frac{dP}{dh}\right)_{h=h_{\max}} = Bm(h_{\max} - h_f)^{m-1} \quad (2.18)$$

另外在已知探針頭幾何形狀的情況下，投影接觸面積可以為壓痕接觸深度的函數。以 Berkovich 為例：

$$A_c = 24.56h_c^2 \quad (2.19)$$

但實際上探針頭並非是完美的形狀，因此必須有所修正為(2.20)式：

$$A_c = 24.56h_c^2 + C_1h_c^1 + C_2h_c^{1/2} + C_3h_c^{1/4} + \dots + C_8h_c^{1/128} \quad (2.20)$$

C_1 至 C_8 為常數，右式首項表示為完美之 Berkovich 探針，其他項則為探針鈍化之修飾因子^[70]。

接觸深度可以由(2.21)式得到：

$$h_c = h_{\max} - \varepsilon \frac{P_{\max}}{S} \quad (2.21)$$

ε 為根據探針幾何形狀而定的常數(Berkovich 為 0.75)。

另外，對於不均勻材料(例如：多層膜)，其微結構和機械性質隨壓痕深度而改變，故壓痕時連續地量測這些材料的機械性質是迫切需要的。利用連續勁度量測(Continuous Stiffness Measurement, CSM)，在壓痕時連續地量測材料的接觸勁度，並配合壓痕器面積函數計算對應的接觸面積，便可決定奈米材料或薄膜的彈性模數與硬度，不受其微結構或塑性變形的影響。

2.6 奈米壓痕量測效應與應用

2.6.1 量測影響因數

1. 基材效應

一般薄膜材料可分為軟膜硬基底和硬膜軟基底兩種。通常在軟膜硬基底的情況下，薄膜硬度值不易受基材影響。反之硬膜軟基底，例如：鋁在玻璃上做壓痕

試驗時會有擠出現象(Pile-up)現象，壓痕深度會隨著硬度而增加，所以為了避免此效應的發生，則需壓痕深度需遠小於膜厚之比例範圍約 30%^[72]。

2. 尺寸效應

因接觸面的不確定性、薄膜表面氧化層的生成、試片表面因加工所造成的殘留應力及應變硬化、或是薄膜受到極淺的壓痕深度使表面積內的差排密度極速增加，影響了材料的降伏強度，此為壓痕尺寸效應。Nix and Gao^[72]以塑性應變硬化的理論，得到硬度隨壓痕深度變化的特徵公式如下：

$$\frac{H}{H_0} = \sqrt{1 + \frac{h^*}{h}} \quad (2.22)$$

H 為測量的所得的硬度值， H_0 為無差排之硬度質， h^* 為相依深度的長度量， h 為量測時最大壓痕深度。

3. 表面粗糙度效應

試片的表面非常粗糙時，因探針尖端與試片表面的接觸為多點的接觸而非單一點的接觸，形成荷重所造成的位移誤差會使得接觸面積提高，硬度及彈性係數值相對變小。若要降低表面粗糙度效應對壓痕實驗的影響，就要使試片表面更平坦。J. Y. Kim 等人^[73]指出表面粗糙度對實驗結果會有所影響，根據粗糙度理論，粗糙度必須小於壓痕深度的 20%，以避免粗糙度對材料機械性質的影響。

4. 熱漂移效應

在奈米壓痕量測系統中，造成熱漂移(Thermal drift)效應的原因有兩種，一為材料塑性流動造成的潛變(Creep)效應，另一為環境的溫度與儀器本身因操作時發熱，都可能使系統的組件產生熱膨脹，熱膨脹將在數據中被放大，成為試件中明顯的位移造成誤差，但操作時間越久，儀器溫度會趨於穩定，而且實驗室有空調設備，所以熱漂移現象會減少。通常實驗儀器可在每次壓痕實驗時，在施加荷重前，可設定儀器量測熱漂移率，通常漂移距離與時間呈現線性的情形，其中 t 為經過時間， D_0 為未經過熱漂移修正之位移， D 為經熱漂移修正後之位移，一般

儀器都可以設定熱漂移率，若超過所預設的值則儀器不做動，以確保實驗的準確性，等到熱漂移率低於預設值才開始實驗。如不考慮熱漂移效應，許多儀器也提供設定等待時間，在等待時間過後才開始實驗。修正熱漂移位移公式如下

$$D = D_0 \pm D_{rift} t \quad (2.23)$$

5. 凸起和陷入效應

使用 Oliver 和 Pharr^[70]的理論作實驗，對大多數的材料來說，其精確度可達 10%。但是做壓痕實驗時，常會發生擠出現象(Pile-up)與沉陷現象(Sink-in)，如圖 2-10^[74]所示。此兩種現象所造成接觸的面積計算誤差，最高可達 50%。許多分析結果顯示，不論發生擠出現象或沉陷現象，在 $h_f / h_{max} < 0.7$ 時，影響較小， h_f 是最後壓痕的深度，而 h_{max} 為實驗中探針最大的位移，若是 $h_f / h_{max} > 0.7$ ，且又發生擠出現象，則實驗結果誤差較大。

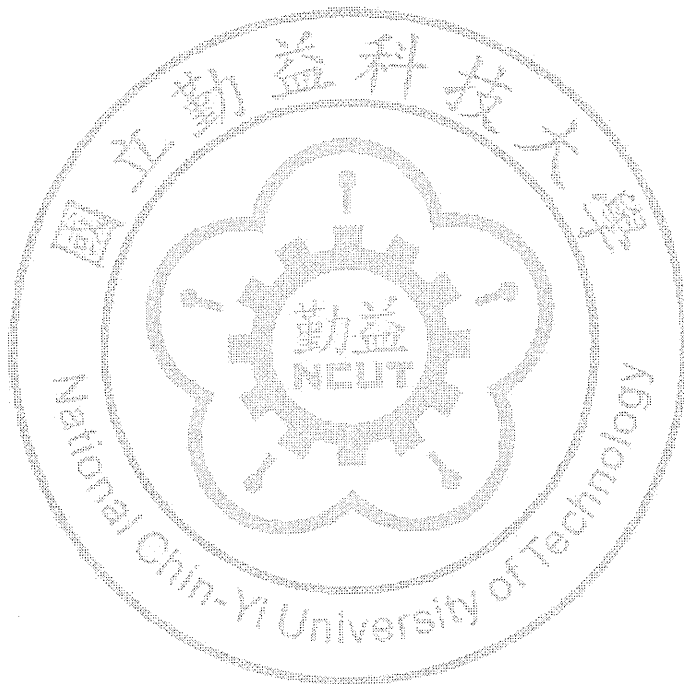
6. 黏著效應

部分材料在壓痕過程中，可能會和探針黏著在一起，造成實驗的誤差。為避免探針與試片產生黏著效應，在進行壓痕試驗時，通常會在初始時負載震盪三次，主要是為了消除黏滯性對荷重上升時的影響，其中卸載到最大荷重的 10%，當震盪完三次後保持 10%的負載，以避免系統熱膨脹影響，之後再增加荷重，在將負載位移資料記錄分析。且實驗時量測不同區域，以避免樣品的區域效應，以及壓痕與壓痕之間的距離大於壓痕大小的 3~5 倍，以避免應變硬化。

2.6.2 奈米壓痕應用

在半導體製作過程中，封裝以及碰撞對於元件所造成的傷害往往會造成元件光電轉換效能的降低，甚至於使得元件失效，因此近年來產學界運用奈米壓痕技術(Nanoindentation technology)探討各種不同的薄膜與奈米材料之奈米機械特性，如硬度(Hardness)與楊氏模數(Modulus)，取代以往以大範圍破壞所得到之機械特性，更準確得知薄膜之機械性質，更為學術界近年來所重視的物性分析之一。

T.H. Fang^[75]等也曾運用奈米壓痕儀針對矽(Si)與砷化鎵(GaAs)做不同力量破壞後機械特性探討，後續也對兩材料於不同秒數持壓觀察潛變特性。M.H. Lin^[76]等人也運用反覆負載破壞方法對氮化鎵(GaN)進行量測，並從負載位移曲線得之彈性變形與第一點彈塑性變形位置。B.C. He^[77]等人於相同深度下針對矽鍺(SiGe)材料量測薄膜硬度與楊氏模數，顯示奈米壓痕儀量測時運用廣泛，可做多方面的參數設定。



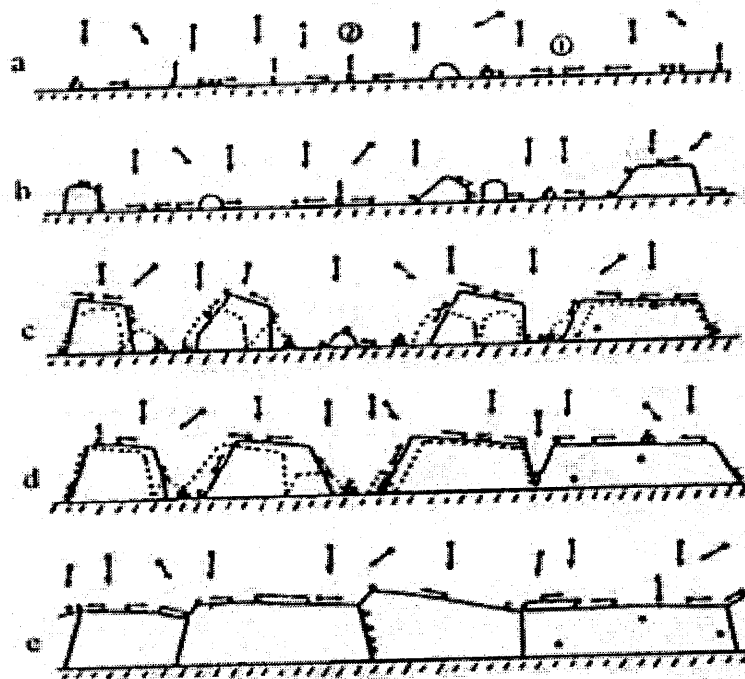


圖2-1 氣相薄膜沉積的機制：(a)長晶(b)晶粒成長(c)晶粒聚集(d)逢道填補(e)沈積膜的成長^[33]。

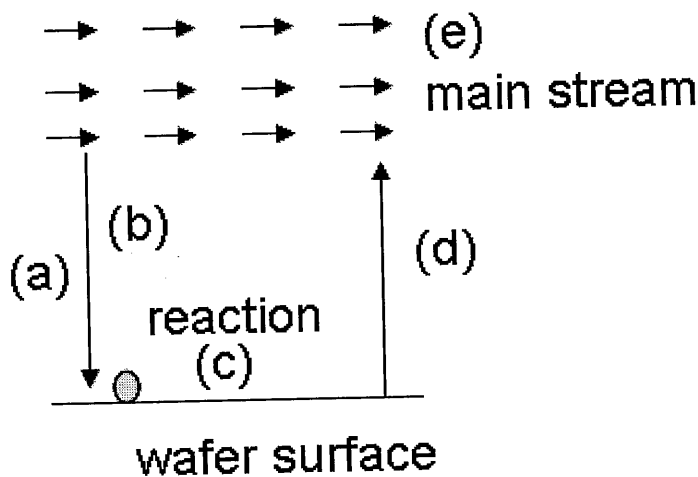


圖2-2 化學氣相薄膜磊晶的原理：(a)反應氣體利用擴散使氣體分子通過晶圓上方。(b)氣體分子吸附在基板上。(c)產生化學反應並沉積。(d)反應後所產生之副產物與未反應氣體由邊界層進入主氣流。(e)殘餘氣體由真空系統抽離。

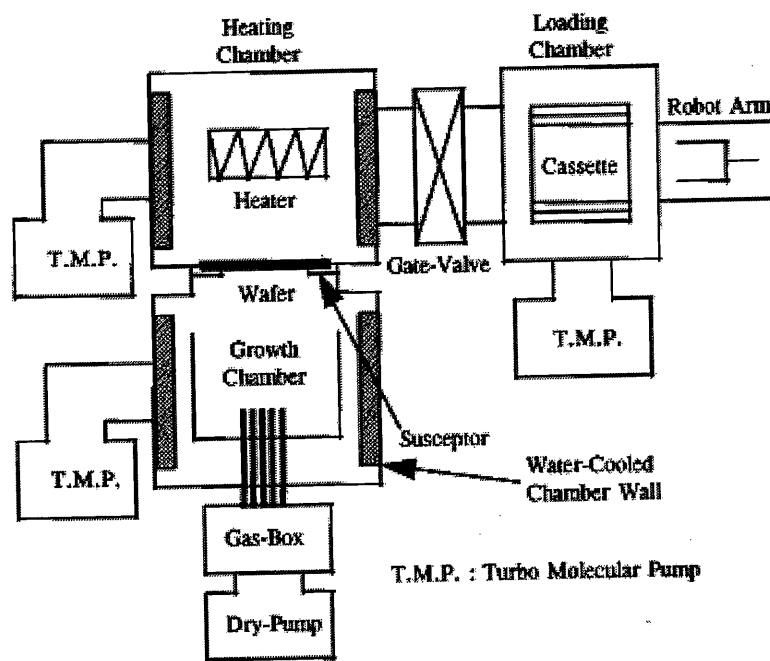


圖2-3 超高真空化學分子磊晶系統示意圖^[36]。

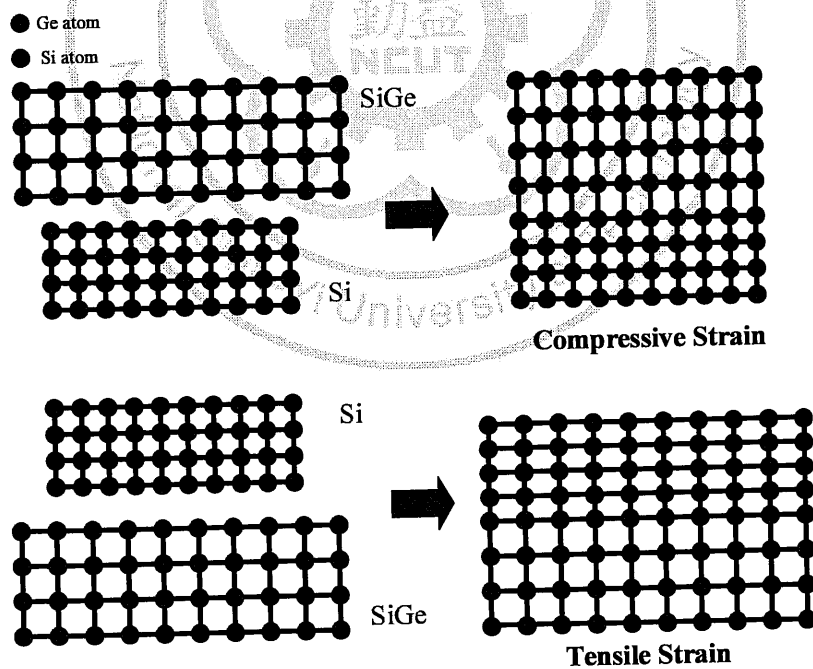


圖2-4 矽鍺薄膜受應變情形。

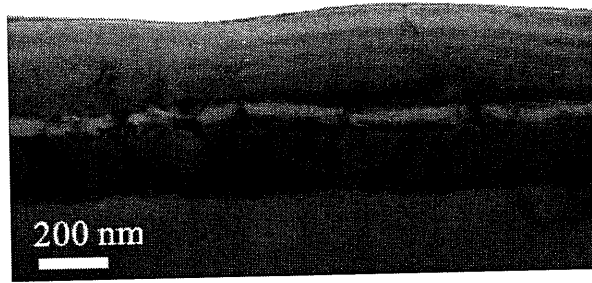


圖2-5 多層矽鍺結構之虛擬基板^[53]。

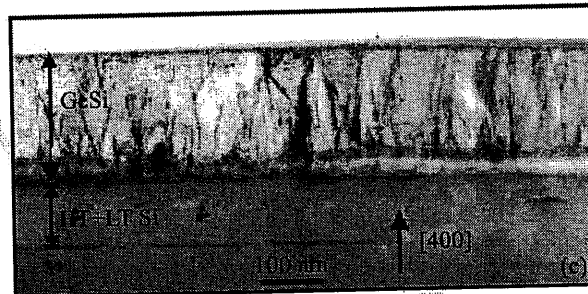
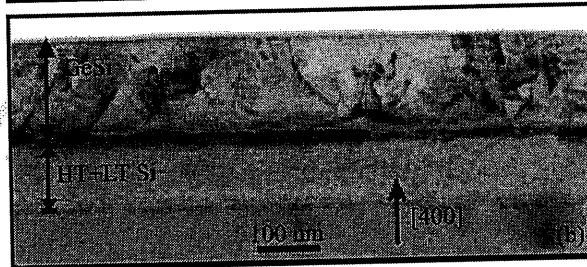
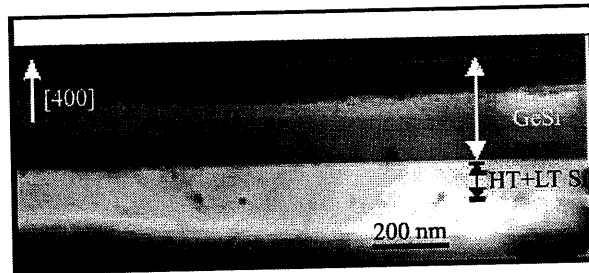


圖2-6 不同鍺含量內部微結構形貌(a)29%(b)45%(c)62%^[66]。

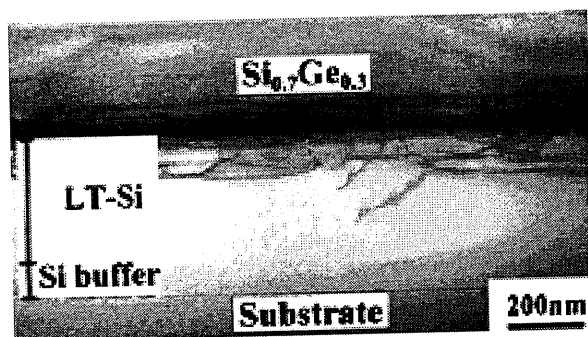


圖2-7 錯位差排缺陷^[8]。

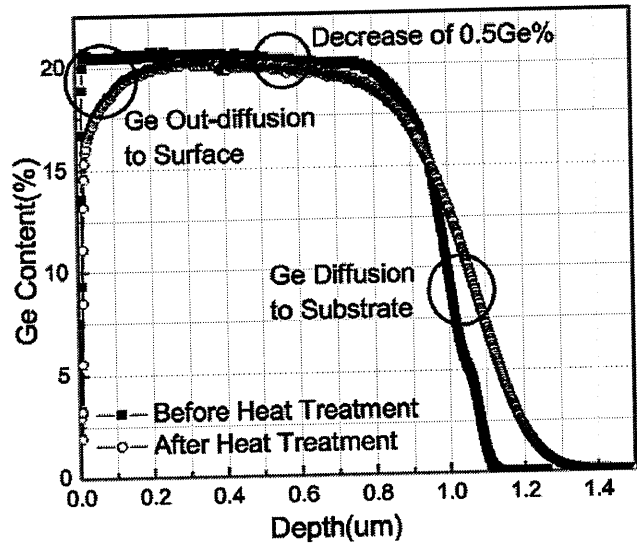


圖2-8 高溫處理後鍺原子擴散情況^[67]。

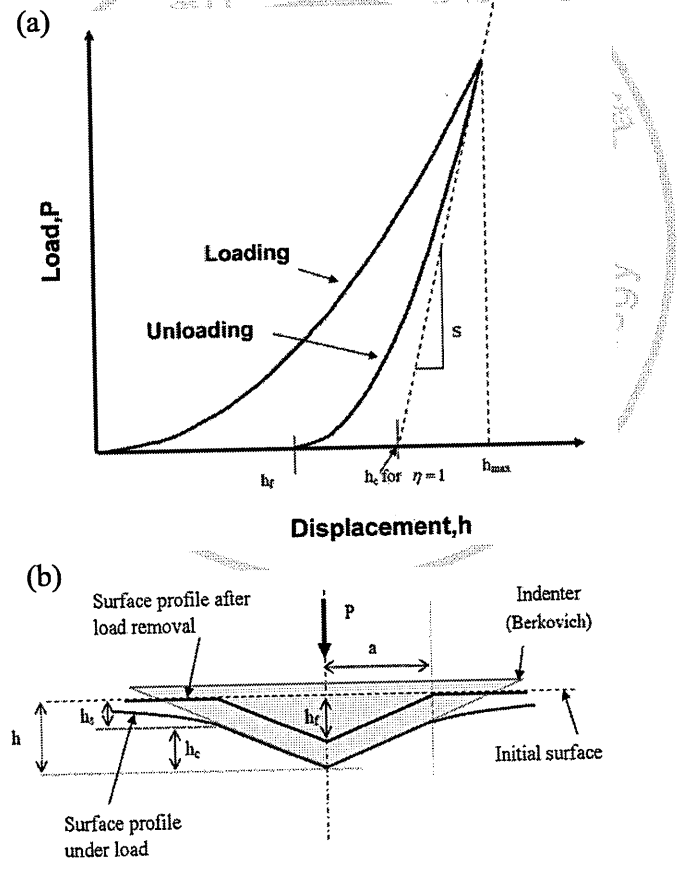


圖2-9 (a)負載-位移曲線圖及(b)薄膜經負載及卸載時壓痕形狀剖面圖^[68]。

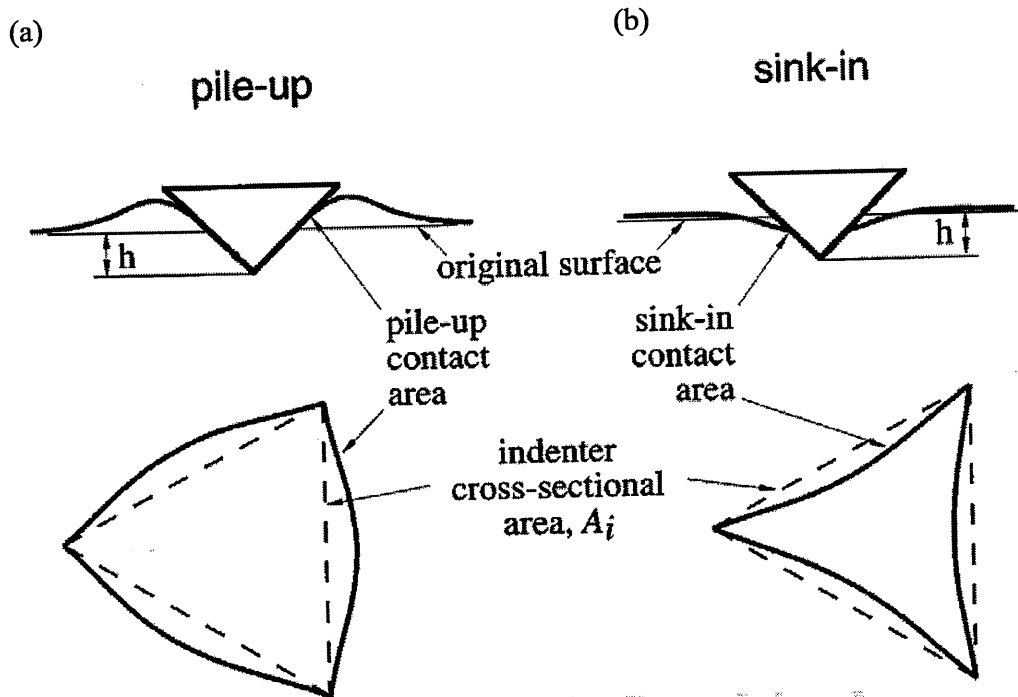


圖 2-10 試片表面(a)突起和(b)陷入效應^[74]。



第三章 實驗方法與分析

3.1 實驗流程

本研究重點為探討不同矽/矽鍺多層結構經高溫氧化後材料與機械特性。首先利用超高真空化學分子磊晶法(Ultra High Vacuum Chemical Molecular Epitaxy, UHC/CME)在矽基板上沉積不同矽/矽鍺多層結構，兩種結構厚度皆約 500 nm，並將兩種結構試片進行高溫氧化處理(800°C、900°C、1000°C)，探討高溫氧化後矽/矽鍺多層結構材料特性，後續並比較不同矽/矽鍺多層結構下所產生相同現象與相異之處。為了準確分析矽/矽鍺多層結構高溫氧化之材料特性，本研究使用多種儀器相互檢測，實驗儀器包括穿透式電子顯微鏡(Transmission Electron Microscopy, TEM)、X光散射分析儀(X-Ray Diffraction, XRD)、二次離子質譜儀(Secondary Ion Mass Spectrometer, SIMS)、原子力電子顯微鏡(Atomic Force Microscope, AFM)。最後運用奈米壓痕儀(Nanoindentation)配合連續勁度控制方法(Continuous Stiffness Measurement, CSM)與力量控制量測方法(Force Mode, FM)探討矽/矽鍺多層結構機械特性，實驗流程如圖3-1。

3.2 實驗與分析儀器

3.2.1 實驗材料

- 1.基板(substrate)：選用 P 型 Si(100)矽晶圓做為生長基板
- 2.通入氣體：甲鍺烷(GeH₄)、乙矽烷(Si₂H₆)

3.2.2 實驗儀器

本研究使用超高真空化學分子磊晶系統(UHV/CME)製備矽/矽鍺多層結構，成長前經標準濕式清潔(Radio Corporation of American, RCA)表面微粒子再送入磊晶系統，薄膜成長過程處於高真空環境污染率極低，並適度控制成長溫度及氣體流量，因此所成長之薄膜均勻品質佳，圖 2-3 為機台示意圖^[36]。

3.2.3 分析儀器

1. 穿透式電子顯微鏡(TEM)：

穿透式電子顯微鏡是利用高能量穿透電子束照射在固體樣品上，電子與試片中原子產生碰撞會產生立體角散射，經電子透鏡與透鏡光圈呈現出明暗對比影像，所觀察之微結構影像再透過螢光板呈現出。因此穿透式電子顯微鏡即擷取直射電子(Transmitted electron)或是彈性散射電子(Elastic scattered electron)作微結構成像，也可利用繞射圖案(Diffraction pattern)分析晶體結構與結構組織。實驗中所使用穿透電子顯微鏡機台如圖 3-2^[36]，系統型號與規格請參照表 3-1。

2. X 光繞射頻譜儀(XRD)：

分析和檢測晶體品質的方法有許多種，其中之一就是利用X-ray繞射，此方法為非破壞性量測技術，其主要分析應用於晶相鑑定(Phase identification)、優選方向(Preferred orientation)判定、結晶度(Degree of crystallinity)、晶粒度(Crystallite size)量測及殘留應力檢測等分析上。晶體是由原子或原子團在空間中以規則排列而成的固體，以X-ray打入晶體時會被原子散射，當存在某種相位關係(相位差)兩個或兩個以上散射波相互疊加後就會產生繞射現象，利用偵測器收集繞射訊號強度，得到待測樣品的繞射圖譜(Diffraction pattern)，接著以繞射強度得知待測樣品的結晶結構。如圖3-3所示，晶體在X光繞射時需滿足布拉格定律(Bragg's Law) $n\lambda=2d\sin\theta$ ；其n為繞射階次、 λ 為X光之波長、d為反射晶面之間距、 θ 為繞射之角度。圖3-4^[36]為本實驗所使用X光繞射分析儀，表3-2為系統之型號與規格。

3. 二次離子質譜儀(SIMS)：

二次離子質譜儀(Secondary Ion Mass Spectrometry, SIMS)可對材料做表面及縱深分佈(Depth profiling)，且偵測極限高、應用範圍廣、解析度高。圖 3-5 為二次離子質譜儀原理示意圖，其原理是利用帶電的離子束撞擊固態材料之表面，使材料激發出光子、電子、原子及離子，這些離子通常俗稱二次離子，而這些帶電的

二次離子受到電場加速到質譜儀，質譜儀將不同質量原子或分子分離，可得樣品之成分及性質。圖 3-6^[36]為本實驗所使用二次離子質譜儀，表 3-3 為系統之型號與規格。

4. 原子力顯微鏡(AFM)：

探針是由針尖附在懸臂樑前端所組成，量測過程以高頻連續敲擊試片表面，藉由探針與試片接觸時的作用力大小反應於懸臂的形變上，並導入雷射光束探測懸臂的形變量，將訊號送至回饋控制電路處理並輸出至Z軸掃描器，可以得到等作用力的高度輪廓，另外透過掃描器做探針與試片間的X軸-Y軸水平方向位移，便可將二維函數儲存起來，再透過電腦運算後可得到掃描區域的原子力圖像，即可描繪出試片微小範圍的表面形貌。經由表面形貌數據的統計，可以計算出表面粗糙度與粒徑大小等參數。圖3-7^[36]為本實驗所使用原子力顯微鏡，表3-4為系統之型號與規格。

5. 奈米壓痕儀(Nanoindentation)：

圖3-8為本研究探討薄膜機械特性所使用的MTS奈米壓痕系統(Nano Indenter XPW SYSTEM)，表3-5為系統之型號與規格。此儀器可針對12吋晶圓以下的試片進行奈米壓痕測試(Nanoindentation)以及表面形貌量測與磨耗測試，以及進行多種物理特性的量測，如硬度、彈性模數、斷裂韌性、試片表面摩擦係數等等，控制模式包含力量控制模式(Force Mode, FM)以及連續勁度控制模式(Continuous Stiffness Mode, CSM)。功能可用於微電子元件檢測、半導體檢測、鍍層檢測、醫療儀器檢測、磁性儲藏介質檢測等。圖3-9^[36]為機台所使用三角錐鑽石型(Berkovitch)探針，其針頭曲率半徑約為100至200 nm，三錐點中線與中心對稱軸夾角為76.9°，錐面中線與中心對稱軸夾角為65.3°。此三角錐探針形狀相較其他形狀探針有接觸面積小、壓入深度深及容易製作等優點，而與球形(Spherical)探針比較下，有較容易於壓痕角落產生裂隙(Crack)的缺點。

3.3 實驗步驟

3.3.1 試片製備

以 P 型(100)矽晶圓為基板，經RCA清洗流程後，以超高真空化學分子磊晶系統(Ultra High Vacuum Chemical Molecular Epitaxy, UHC/CME)成長矽/矽鍺多層結構薄膜後，再進行高溫氧化處理。多層薄膜結構示意如圖1-1所示，兩結構成長流程如下：

1. 三層結構：

- (1) 在矽基板上以溫度550°C時間一分鐘通入氣體 Si_2H_6 (1 sccm)，成長厚度約10 nm的矽緩衝層。
- (2) 以溫度550°C成長厚度約240 nm之 $\text{Si}_{0.8}\text{Ge}_{0.2}$ 薄膜，其製程通入氣體為 $\text{GeH}_4 / \text{Si}_2\text{H}_6$ (5 sccm / 1 sccm)混合氣體，成長時間為半小時。
- (3) 再以溫度550°C時間十分鐘通入氣體 Si_2H_6 (1 sccm)，成長厚度約10 nm的矽緩衝層。
- (4) 重覆步驟(2)。
- (5) 最後於高溫爐內，進行800°C、900°C、1000°C之高溫氧化處理。

2. 六層結構：

- (1) 在矽基板上以溫度550°C時間一分鐘通入氣體 Si_2H_6 (1 sccm)，成長厚度約10 nm的矽緩衝層。
- (2) 以溫度550°C成長厚度約150 nm之 $\text{Si}_{0.8}\text{Ge}_{0.2}$ 薄膜，其製程通入氣體為 $\text{GeH}_4 / \text{Si}_2\text{H}_6$ (5 sccm / 1 sccm)混合氣體，成長時間為二十分鐘。
- (3) 再以溫度550°C時間十分鐘通入氣體 Si_2H_6 (1 sccm)，成長厚度約10 nm的矽緩衝層。
- (4) 重覆步驟(2)。
- (5) 重覆步驟(3)。
- (6) 重覆步驟(2)。

(7) 重覆步驟(3)，成長厚度約10 nm的矽覆蓋層(Si-Cap)。

(8) 最後於高溫爐內，行800°C、900°C、1000°C之高溫氧化處理。

3.3.2 高溫氧化處理及除去氧化層處理

1. 首先將試片放入腔體(Chamber)載台上，關閉反應室門與開通空氣閥門。
2. 設定高溫氧化處理所需溫度與時間，進行不同溫度之高溫氧化處理，時間則固定為30分鐘。
3. 開啟電源供應器鈕進行加熱，當溫度到達指定溫度時，開始計時30分鐘，等所需時間到達時再將試片取出，即完成高溫氧化處理。
4. 將高溫氧化處理後的試片利用二氧化矽蝕刻液(BOE)進行去氧化層之處理以確保奈米壓痕實驗之準確性。

3.3.3 矽/矽鍺多層結構材料與機械特性分析

利用穿透式電子顯微鏡確認結構成長情形，同時分析高溫氧化前後之內部微結構改變。運用X光繞射頻譜儀觀察結構經高溫氧化處理前後，進行晶格優選方向特性波峰、波長繞射強度、繞射圖譜和繞射位置等分析。同時利用二次離子質譜儀分析結構經高溫氧化處理後於不同深度之原子分佈變化。並以原子力顯微鏡觀察結構經高溫氧化處理後表面粗糙度與表面形貌。最後再以奈米壓痕儀比較不同溫度氧化處理下的機械特性及可靠度。

表3-1 穿透式電子顯微鏡型號與規格^[36]。

廠牌	JEOL
機型	JEM-2010F
加速電壓	200 kV
電子槍	場發射電子源
點分辨率	0.23 nm
線分辨率	0.1 nm
放大倍率	2,000倍~1,500,000倍
最大試片尺寸	直徑3mm
可觀察範圍	$2 \times 1 \text{ mm}^2$
傾斜	$-25^\circ \sim 25^\circ$
可偵測訊號	明-暗視野穿透電子影像、繞射圖像、選區成像、EDS光譜
真空度	10^{-8} Pa (電子源)

表3-2 X光繞射頻譜儀型號與規格^[36]。

機型	PANalytical X'Pert Pro (MRD)
X-ray 光源	銅靶 ($K\alpha$; $\lambda = 0.154 \text{ nm}$)
Detector	正比計數器 (Proportional Counter)
Beam size	20 mm Height \times 3 mm Width
試片尺寸	1.2 cm \times 1.2 cm 到 8 吋晶片
$\omega/2\theta$ 最高分辨率	0.0001°
操作環境	大氣 1 atm
第一光學模組	X-ray Mirrors, The Hybrid Monochromator, Cross Slit Collimator (X-ray lens)
第二光學模組	Parallel Plate Collimator (PPC), The Triple Axis.

表3-3 二次離子質譜儀型號與規格^[36]。

機型	CAMECA IMS 7F
質譜儀	Double focusing mass spectrometer
質量解析度 (Mass Resolving Power)	20000
離子激發源	Duoplasmatron : O ₂ ⁺ (10KV) Cs surface ionization source (15KV)
試片尺寸	1 cm x 1 cm 以上
質譜範圍	1~180 a.m.u. (10KV) 1~360 a.m.u. (5KV)
真空系統	~10 ⁻⁹ torr

表3-4 原子力顯微鏡型號與規格^[36]。

機型	Veeco Dimension 5000 Scanning Probe Microscope (D5000)
最大平面掃描範圍	80 x 80 μm ²
最大高度掃描範圍	~6 μm
最小解析度	~1.5nm in X-Y, ~ Å in Z direction
雜訊	RMS ~ 0.5 Å
最大試片尺寸	250 mm x 250 mm, 厚度 < 12 mm
OM 最高分辨率	~2 μm
操作環境	大氣 1atm
探針規格	(a) Nanosensors PointProbePlus-RT-NCHR , tip curvature radius < 7nm
	(b) Nanosensors SuperSharpSilicon-NCHR , tip curvature radius < 2nm
	(c) μ-masch NSC15 , tip curvature radius < 7nm

表3-5 奈米壓痕儀型號與規格^[36]。

機型	美國 MTS 公司 Nano Indenter XP System
壓痕器	Berkovich Tip (三角錐狀鑽石探針)
壓痕器位移解析度	0.1 nm
壓痕深度範圍	25 nm ~ 500 nm
力解析度	小於 500 nm
平台面積	75 mm × 100 mm
試片規格	5×5 mm ² ~ 10×10 mm ²
系統背景噪音	小於 50 db



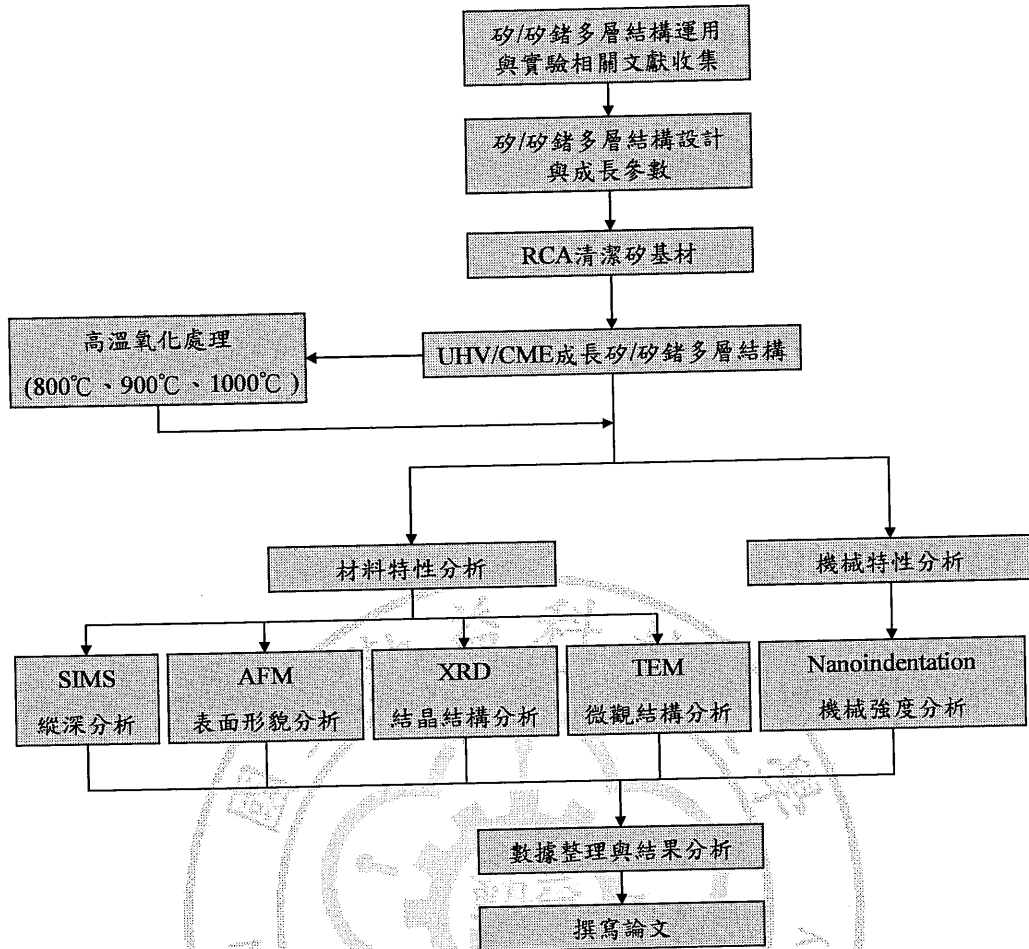


圖3-1 實驗規劃流程圖。

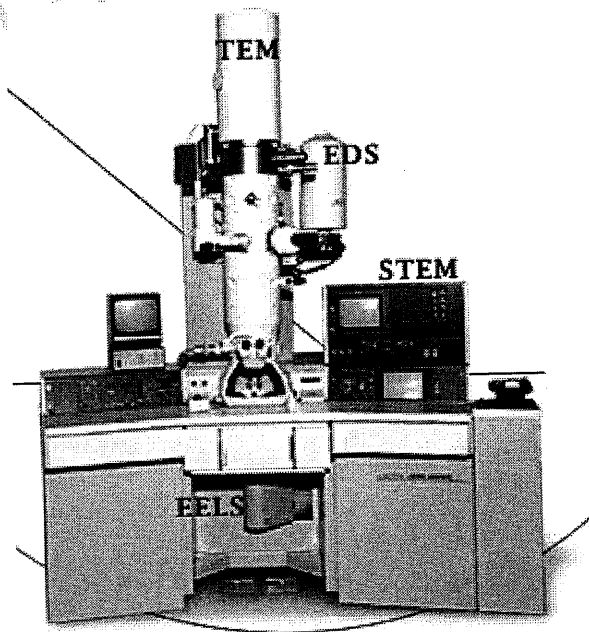


圖3-2 穿透式電子顯微鏡^[36]。

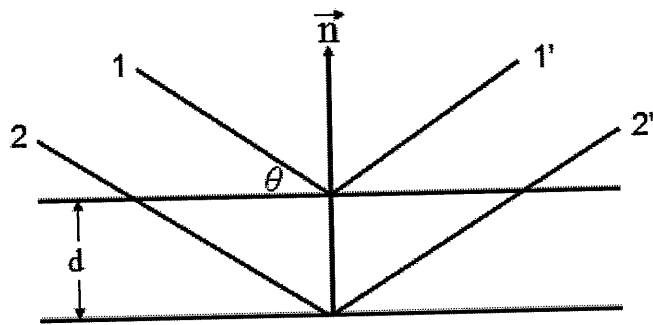


圖3-3布拉格X光繞射示意圖^[36]。

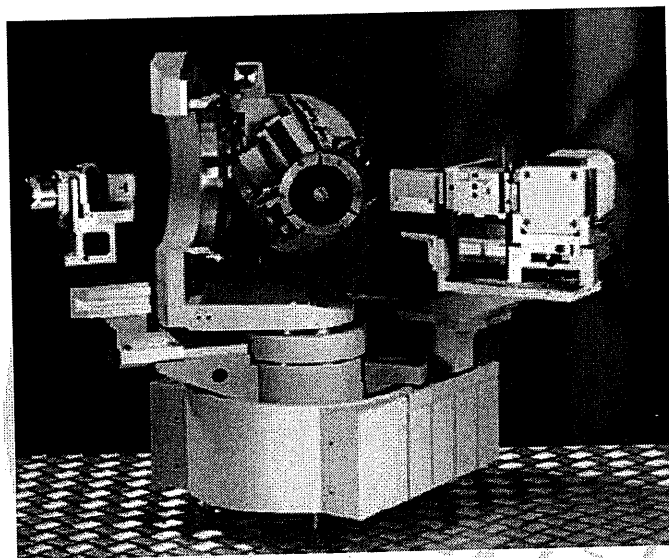


圖3-4 X光繞射頻譜儀^[36]。

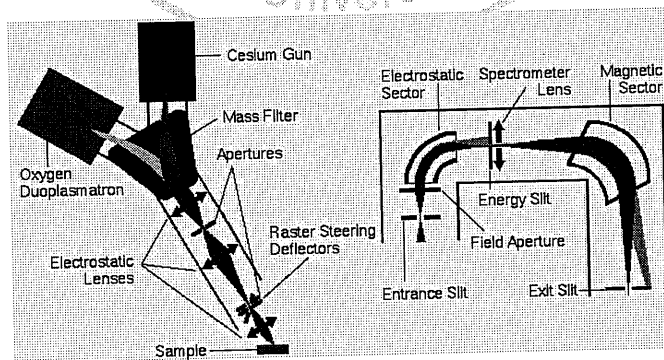


圖3-5二次離子質譜儀量測原理示意圖^[36]。

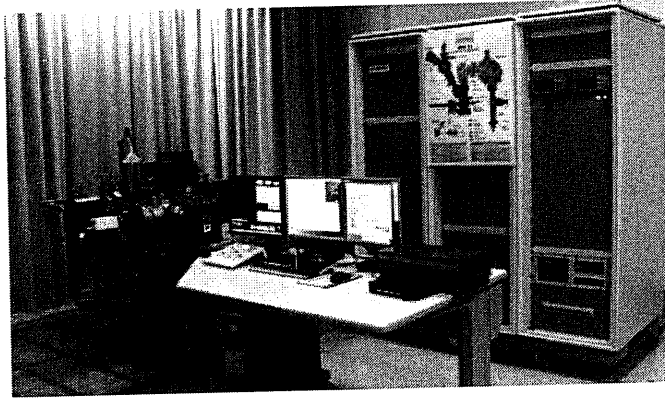


圖3-6二次離子質譜儀^[36]。

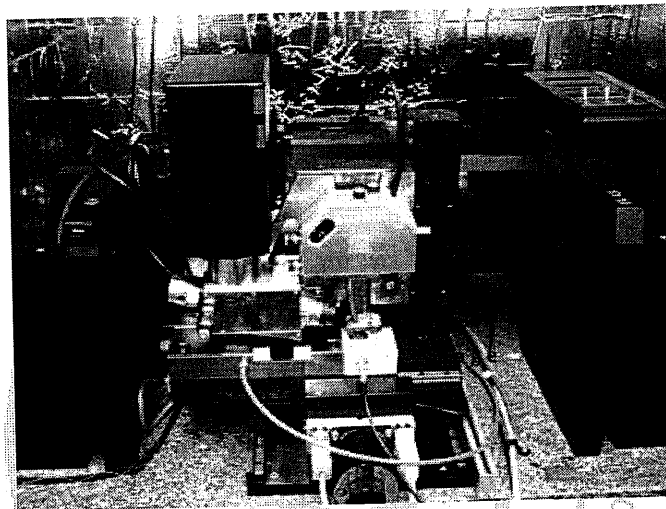


圖3-7原子力顯微鏡^[36]。

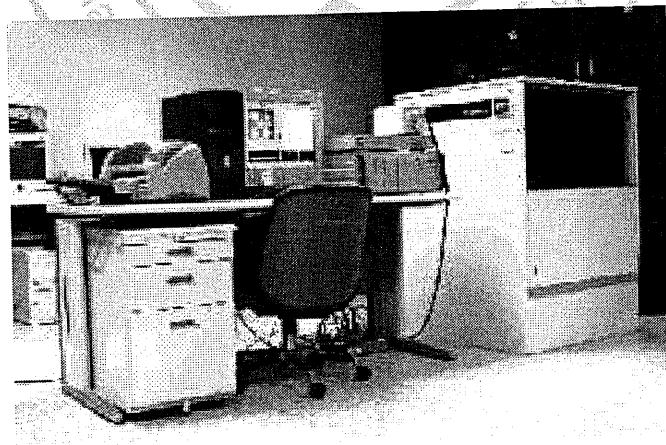


圖3-8奈米壓痕儀^[36]。

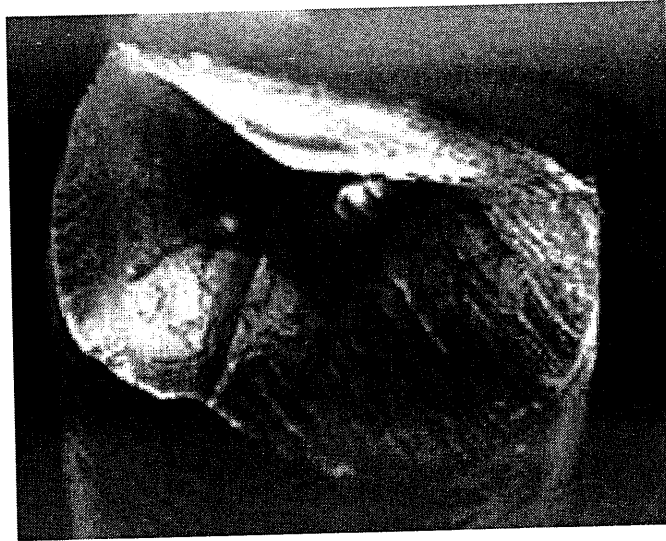


圖3-9電子顯微鏡下三角錐鑽石(Berkovitch)型探針示意圖^[36]。



第四章 結果與討論

本研究利用超高真空化學分子磊晶系統(UHV/CME)於矽晶圓(100)上磊晶不同結構之矽/矽鍺多層結構，兩結構之厚度皆為500 nm，其差異性為層數上與矽鍺層厚度的不同。成長完畢後施予不同溫度高溫氧化處理，探討不同結構下各溫度之材料特性與機械特性之影響。於材料特性中主要探討兩結構高溫處理後鍺原子擴散情形與缺陷的產生，內容包括內部微結構、結晶結構、表面形貌以及縱深分析。最後將探討高溫氧化處理對於機械特性之改變，過程中利用奈米壓痕儀於不同穿透深度下得知最佳參數，並配合不同模式下控制負載力量反覆破壞薄膜，觀察矽緩衝層於結構中影響性。

4.1 高溫氧化對矽/矽鍺多層結構之材料特性分析

材料分析中利用穿透式電子顯微鏡針對高溫氧化處理後內部微結構做探討，同時運用二次離子質譜儀分析高溫後鍺原子擴散方向與各深度矽鍺濃度變化，並藉由X光散射儀分析各溫度下矽鍺布拉格角度變化，同時觀察半高寬(Full-width at half-maximum, FWHM)之改變，此項儀器能輔以分析鍺原子擴散與薄膜品質劣化情況，最後以原子力顯微鏡觀察表面形貌與均方根粗糙值(Root Mean Square, Rms)。

4.1.1 高溫氧化對矽/矽鍺多層結構之微觀結構分析

圖4-1(a)-(d)分別為三層矽/矽鍺多層結構處理前及高溫氧化800°C、900°C、1000°C內部微觀結構形貌。圖4-1(a)可看出由於矽與矽鍺兩異質材料晶格不匹配因素，磊晶機制將強迫與矽晶圓晶格大小成長，此時所成長之矽鍺層將受到壓縮應變，隨著薄膜成長越厚時薄膜所能承受應力將降低，因此將形成穿越差排釋放應力^[66]，所產生的缺陷將影響其效能，但以成長至500 nm厚度下此矽鍺多層薄膜品質仍屬良好。在經由高溫氧化800°C時，由圖4-1(b)發現靠近矽基板介面處產生些許錯位差排缺陷，同時也發生於矽緩衝層與矽鍺層介面處。當氧化溫度升至

900°C時，經圖4-1(c)得知矽緩衝也因高溫關係逐漸消失於結構中，且介面處所產生缺陷持續增加，不過觀察800°C與900°C可發現，隨著靠近基材處缺陷的增加頂層矽鍺處卻可維持較好品質。圖4-1(d)顯示經1000°C高溫氧化後缺陷區域往頂層處方向增生，介面處錯位差排^[8]也更為嚴重，連帶的使矽緩衝層消失於結構中，在文獻中已提到矽鍺薄膜生長過厚^[7]或經高溫處理後將會產生應變鬆弛，在兩者雙重效應下此多層薄膜品質已逐漸劣化。

圖4-2(a)-(d)為六層矽/矽鍺多層結構處理前及高溫氧化800°C、900°C、1000°C內部微觀結構形貌。圖4-2(a)可看出整體結構如預期設計成長，利用矽與矽鍺重複堆疊磊晶形成多層結構。已有文獻指出矽鍺磊晶厚度隨著鍺的含量越高臨界厚度將越小^[66]，在矽80%鍺20%此比例下臨界厚度約為200 nm，此多層結構已將厚度提升至500 nm。矽鍺晶格常數不匹配在磊晶過程中缺陷仍然是無可避免，加上此結構較三層結構加入了更多的矽緩衝層，交互堆疊下產生缺陷會較三層結構中來的多。在此多層結構中第一層矽鍺層尚未產生缺陷，接近第二層矽鍺時漸漸在介面處產生穿越差排且延續至頂層，並與矽基板間也有著些許的錯位差排(Misfit dislocation)形成。圖4-2(b)中基底處缺陷處顯示得知，經由800°C高溫氧化後將原結構磊晶過程中所儲存的應力能量做釋放，此時缺陷範圍約在第一層矽鍺磊晶層與矽緩衝層及矽基板三者介面處，原因在於磊晶過程中越靠近基材處相對所承受壓力最大，晶格常數不匹配下又經由高溫氧化後缺陷就從此處產生，在中間及頂層矽鍺薄膜缺陷較少依然維持薄膜品質。圖4-2(c)900°C高溫氧化後可得知缺陷逐漸影響至頂層矽鍺，而底層處品質更為劣化，此現象可由下方靠近基材處緩衝層逐漸消失看出，薄膜整體所產生缺陷主要因為高溫導致鍺擴散與結構應變鬆弛所產生，因此在頂層介面處及矽基板介面處錯位差排更為明顯。圖4-2(d)1000°C處理時整體結構已嚴重被破壞，原有的矽緩衝層已完全消失，這些現象都說明了矽鍺薄膜氧化處理時溫度控制是相當重要的。

4.1.2 高溫氧化對矽/矽鍺多層結構之結晶結構分析

上一章節觀察矽/矽鍺多層結構內部微觀結構後，得知溫度的變化對於矽鍺薄膜微觀結構的改變，薄膜品質退化程度與原因仍無法準確得知，因此本章節將利用 X 光散射儀探討各氧化溫度之結晶結構分析。

圖4-3為三層矽/矽鍺多層結構各氧化條件下結晶結構分析。觀察圖中在高溫氧化前有明顯兩個波峰(Peak)，其中矽Si(004)的 2θ 波峰位置為 69.12° ，矽鍺(SiGe)的 2θ 波峰位置為 68.32° 。高溫氧化後顯示各條件下波峰偏移情況^[6]，矽 $2\theta(004)$ 波峰的部份仍維持 69.12° ，矽鍺 2θ 波峰隨著溫度升高波峰位置往右偏移為 68.35° 、 68.38° 、 68.40° 。此外在低繞射角處溫度 900°C 與 1000°C 曲線圖則多出了新的波峰，波峰位置分別為 66.79° 、 67.32° ，此為低角度處所產生高鍺含量之矽鍺波峰。矽鍺薄膜品質下降也可從半高寬數據觀察，由382.8隨溫度上升至385、392.1、412.7，隨著溫度增高上升的幅度也更大。

圖4-4為六層矽/矽鍺多層結構各氧化條件下結晶結構分析。矽所測的角度皆為 69.12° 與三層結構結果相同，矽鍺角度則有所差異，由 68.26° 隨溫度增加偏移至 68.32° 、 68.35° 、 68.42° 。值得注意的是，在低繞射角處與三層結構在 900°C 與 1000°C 處理後皆會產生新的訊號，角度分別為 66.73° 、 67.39° 。半高寬的部份也是隨著溫度上升而增加，高溫氧化前後分別為405.1、408.9、421.1、490.3，顯示高溫氧化後矽鍺品質也是退化的。

4.1.3 高溫氧化對矽/矽鍺多層結構之擴散分析

矽/矽鍺多層結構由微觀結構與結晶結構分析後，得知薄膜經高溫氧化後產生缺陷造成品質下降，原因為高溫下鍺擴散所導致，詳細的擴散方向與多寡則利用二次離子質譜儀分析。

圖4-5(a)為三層矽/矽鍺多層結構未經高溫氧化矽、鍺、氧三原子於各深度下之含量，由縱深分析圖曲線轉折處可明顯區隔出矽緩衝層與矽鍺磊晶層，當偵測到矽緩衝層時矽的訊號強度則會提高，同時得知此磊晶薄膜均勻性良好。圖

4-5(b)-(d)則為高溫氧化800°C、900°C、1000°C三原子縱深分析圖，可發現隨著溫度的上升所偵測氧訊號也會更深，代表氧化層厚度是增加的。觀察氧化層內鍍含量可發現，在高溫氧化處理時氧化層與結構介面處鍍含量較高，是因為氧會與矽先結合行成二氧化矽，故會將鍍排斥到介面處形成鍍原子堆積(Pile-up)現象。矽緩衝層也與穿透式顯微鏡分析結果相同，在1000°C時已消失於結構中。

圖4-6(a)-(d)為六層矽/矽鍍多層結構各條件下三原子之縱深分析。圖4-6(a)矽訊號較強處為矽緩衝層，訊號出現處與當初設計之結構相同。高溫氧化後擴散情況與三層結構雷同，鍍原子堆積在氧化層與結構介面處。較不一樣的地方為，相同條件下氧化層厚度六層結構較三層結構薄，可能原因為六層結構於表層處有多一層矽覆蓋層(Si-Cap)，使氧化過程中先結合成二氧化矽緣故。

4.1.4 高溫氧化對矽/矽鍍多層結構之表面形貌分析

經上述實驗得知高溫處理後會形成氧化層，因此試片進行表面形貌量測前需浸泡二氧化矽蝕刻液(BOE)將氧化層去除，所測得值才會準確。圖4-7(a)-(d)為三層矽/矽鍍多層結構各氧化條件下表面形貌圖，發現氧化溫度越高時表面形貌起伏越來越大，並對照表4-1均方根粗糙值由原本的13.4 nm隨溫度上升為15.4 nm、16.5 nm、18.8 nm。氧化處理前粗糙值就略高，因矽鍍材料晶本身就有臨厚度問題，多層結構雖能突破這限制，但也產生了些許應變鬆弛造成粗糙值較高。氧化溫度增加粗糙值也跟隨上升，此部分原因包含了鍍原子往介面處堆積與應變鬆弛導致的錯位差排所影響。

由於三層結構粗糙值較大表面起伏較不定，根據文獻得知在結構上方加入矽覆蓋層可降低粗糙值，因此套用於六層結構中已利觀察表面形貌改變。圖4-8(a)-(d)為六層矽/矽鍍多層結構各氧化條件下表面形貌圖。比較各條件表面形貌後發現，氧化處理前試片表面較為平坦，氧化處理後所呈現特性與三層結構相同，都呈現起伏較大現象。表4-2均方根粗糙值也顯示了氧化前後表面粗糙值分別為6.6 nm、15.8 nm、16.7 nm、17.5 nm，由結果顯示加入矽覆蓋層的確能降低

表面粗糙值，而氧化後鍺堆積於表面使粗糙值升高仍無法避免。

4.1.5 兩結構高溫氧化之比較

1. 缺陷比較：由TEM觀察內部微結構得知薄膜在氧化處理前三層結構內部缺陷較六層結構少，氧化處理後兩者缺陷都是由靠近基材處產生，進而延伸至薄膜頂層處。氧化溫度900°C兩結構介面處錯位差排已相當嚴重，在1000°C時矽緩衝層皆完全消失結構已受到損壞，間接得知矽鍺薄膜氧化溫度的極限。

2. 結晶結構比較：由XRD可準確量測出半高寬值，矽鍺薄膜品質較好時其半高寬值較小。圖4-9為兩結構各條件下半高寬值曲線圖，首先觀察氧化處理前後三層結構半高寬值都較低於六層結構，兩者都在1000°C時薄膜品質大幅劣化上升趨勢較大，這些結果都顯示出三層結構薄膜品質較優於六層結構的，也與TEM所觀測微觀結構結果相同。

3. 鍺原子擴散比較：鍺原子於兩結構氧化後皆會往頂層與基板方向擴散，隨著溫度增高時情況更為明顯，但擴散的程度卻有所不同。圖4-10與圖4-11分別為三層結構與六層結構氧化前與氧化溫度1000°C鍺原子比較，圖4-10三層結構明顯看出經過氧化後，鍺原子會堆積於表面但仍然會往頂層擴散(圖中圈起處)，使得整體濃度下降；圖4-11六層結構卻不會因氧化關係造成整體濃度下降，原因與六層結構多添加矽覆蓋層有關，氧與矽的親合力較鍺來的好，因此會先與矽結合成二氧化矽，故將鍺排斥在頂層介面處並維持整體濃度。

4. 表面形貌比較：兩結構於氧化處理後表面起伏都較大，均方根粗糙值成正比增加，而添加矽覆蓋層於表面的六層結構的確能使表面更為平緩。

4.2 高溫氧化對矽/矽鍺多層結構之機械特性分析

研究中主要探討高溫氧化對矽/矽鍺多層結構之奈米機械特性，實驗中利用奈米壓痕儀(Nano Indenter XP System)以極小力量破壞試片表面量測其機械特性，過程中配合連續勁度控制方法(Continuous Stiffness Measurement, CSM)與力量控制量測方法(Force Mode, FM)取得之負載-卸負載位移特性曲線(Load-Displacement curve)，系統經由此曲線推算出硬度與楊氏模數值。研究中首先運用連續勁度控制方法，測試探針於不同深度下之機械特性，探討磊晶薄膜之彈塑性現象，選用影響較小之深度做後續量測。接著使用力量控制方法施予極小負載力，並且配合多次負載-卸負載模式(Multi-loading-unloading method)連續破壞結構，觀察負載位移特性曲線變化。

4.2.1 矽/矽鍺多層結構之薄膜穿透深度參數測試

矽/矽鍺多層結構以奈米壓痕量測系統進行微結構之機械性質分析，薄膜穿透深度將受基材效應影響，因此將在氧化處理前做最佳參數測試以利後續分析。系統環境設定熱漂移率為0.3 nm/s，利用連續勁度控制模式設定穿透深度200、300、400 nm，每一穿透深度將壓印15點後求其平均值，在最小擺動75 Hz下所疊加完成負載位移曲線，卸負載過程中會依彈性變形模式，求取最大荷重時之接觸面積與彈性模數之關係，並由壓痕器的面積函數關係(Indenter area function)或形狀函數關係(Indenter shape function)來估計接觸面積量測硬度與彈性模數。

圖4-12為奈米壓痕儀破壞矽/矽鍺多層結構表面後系統記錄之負載-位移曲線圖，圖中顯示隨著穿透深度的增加在卸負載曲線中逐漸產生明顯之裂斷點(Pop-out)^[78]，其原因在於隨著穿透深度的增加所破壞的範圍逐漸包含多層矽鍺磊晶層及矽基材，因此所呈現現象逐漸包含矽基材之機械性質，所以當穿透深度至400 nm時，矽基材受到壓力釋放後所導致的相變化使得裂斷之情形更為顯著。

圖4-13為硬度-位移曲線圖，由曲線可觀察出硬度值變化相對於各穿透深度之關係。由曲線可知在100 nm穿透深度前所得到之硬度值皆呈現上升之趨勢，然而當穿透深度為100~300 nm範圍時硬度值則逐漸下降，在過了300 nm後又呈上升趨勢，此上升原因研判是相變化使內部微結構增強以及矽基材效應所致。圖4-14為模數-位移曲線圖，圖中顯示模數與穿透深度關係則無太大之相關聯，然而在量測過程中曲線呈上下跳動趨勢，此現象在200 nm後更為明顯，原因為下壓過程薄膜持續承受負載而受到剪力破壞導致晶體內部逐漸相變化。

表4-3為矽/矽鍺多層結構經奈米壓痕量測之平均硬度及模數表，由表得知在穿透深度200、300、400 nm時硬度為 14.1 ± 0.9 、 13.4 ± 0.9 、 14.0 ± 0.7 GPa，模數分別為 191.9 ± 5.4 、 186.2 ± 3.8 、 191.7 ± 8.4 GPa，這些現象都證明隨著穿透深度越深時所受到矽基材效應將更深，且從各種曲線圖也得知數據起伏較大，因此後續研究將使用穿透深度200 nm為本實驗參數。

4.2.2 矽/矽鍺多層結構之氧化處理機械特性分析

研究中利用連續勁度控制模式設定壓痕穿透深度為200 nm，量測兩結構各氧化條件下微奈米機械特性，熱漂移率設定為0.3 nm/s後壓印15點求其平均值。

圖4-15為三層矽/矽鍺多層結構各氧化條件下負載-位移曲線疊圖，在穿透深度75 nm時曲線開始有了變化，到所設定穿透深度200 nm時可觀察圖中插圖負載曲線頂端更為明顯，未氧化前穿透深度至200 nm時所需力量較低，氧化溫度增高時所需負載力逐漸提高。圖4-16為三層矽/矽鍺多層結構各氧化條件下硬度-位移曲線疊圖，經系統推算15點平均值後由表4-4整理得知，在未氧化時硬度為 14.1 ± 0.9 Gpa，而氧化溫度由800°C增加至900°C與1000°C時硬度逐漸增加為 15.9 ± 0.6 、 16.5 ± 0.6 、 17.6 ± 0.7 Gpa。硬度-位移曲線圖也特別觀察到氧化處理前下壓深度越深時硬度會持續下降，此現象代表薄膜所能承受一定穿透深度，當深度增加時結構受到破壞致使硬度下降；而氧化溫度1000°C硬度曲線是呈逐漸上升，代表氧化處理的確能使矽鍺薄膜硬度值提高。圖4-17為三層矽/矽鍺多層結構各

氧化條件下模數-位移曲線疊圖，由表4-4得知氧化處理前楊氏模數為 191.9 ± 5.4 Gpa，經 800°C 氧化處理後明顯提升為 203.8 ± 3.3 Gpa，氧化溫度 900°C 與 1000°C 時上升至 208.8 ± 4.9 及 218.9 ± 3.3 Gpa，觀察楊氏模數曲線圖發現在50 nm前數值大幅跳動，是由於氧化處理後鍺堆積在表面部分不穩定所致。

圖4-18為六層矽/矽鍺多層結構於不同氧化條件下負載-位移曲線疊圖，整體特性與三層結構相似，在氧化溫度越高時所需施加負載力提高，不過和三層結構較不一樣地方為變化時間點較早，大約在50 nm處曲線逐漸分離。圖4-19為六層矽/矽鍺多層結構氧化前後硬度-位移曲線疊圖，數據平均整理後如表4-5所示，發現氧化後也能增強此結構機械特性，其硬度值由原本 13.2 ± 0.2 Gpa隨氧化溫度提升分別增強為 13.6 ± 0.3 、 15.3 ± 0.4 、 16.6 ± 0.2 Gpa，觀察硬度-位移曲線則發現當氧化溫度達 900°C 時才能較明顯提高，這部分也與三層結構較不一樣。圖4-20為六層矽/矽鍺多層結構氧化前後模數-位移曲線疊圖，氧化處理後楊氏模數由表4-5得知由 184.8 ± 2.9 上升至 189.1 ± 1.5 、 204.8 ± 5.9 、 215.9 ± 3.1 Gpa，圖中曲線呈現震盪現象，原因為穿越差排形成時剪應力與氧化處理後所形成的表面缺陷所造成，值得一提的是，兩結構隨著穿透深度提高硬度與楊氏模數也跟著升高，通常代表著材料從彈性變形轉變至彈塑性變形。

4.2.3 矽/矽鍺多層結構之反覆負載破壞分析

經過連續勁度控制模式已初步得知矽/矽鍺多層結構機械特性，探針破壞過程中材料已有彈塑性變形趨勢，而本章節將改用力量控制模式以小力量反覆破壞結構，使結構受壓縮應力破壞產生彈塑性變形並觀察其機械特性。本章節使用試片皆是未經由氧化處理，原因是氧化處理會使結構內部產生嚴重破壞，所測得現象就涵蓋了氧化處理所產生的因素，將失去探討兩結構本身彈塑性變形特性。研究中以3 mN極小力量對試片下壓，破壞完畢後探針將會離開試片表面，之後在以相同力量反覆在同一點下壓至9次觀察其變化。

圖4-21為三層矽/矽鍺多層結構經由1、3、6、9次反覆負載壓痕破壞後之負載-卸負載曲線圖。由曲線圖得知結構經由反覆負載後，穿透深度隨著反覆負載次數的增加逐漸減少，其中3次與6次的反覆負載破壞其穿透深度都約為70 nm左右，然而在9次反覆負載破壞後穿透深度呈現大量減少的現象。其原因在於多重反覆負載破壞造成在同一塑性應變區域中，內部差排與缺陷急遽的增加並累積，隨著負載次數的增加差排密度亦隨之提高，使得奈米壓痕探針更不容易對該塑性變形區域造成壓縮破壞，當差排密度到達一定值時則產生臨界現象，使得3次與6次反覆負載的穿透深度更為接近，而在9次反覆負載下所累積的破壞能量則能突破此臨界值，同時差排密度再度大量增加進一步使得穿透深度減少^[76]。

圖4-22為六層矽/矽鍺多層結構經由1、3、6、9次反覆負載壓痕破壞後之負載-卸負載曲線圖。觀察圖中第1次下壓時穿透深度約110 nm左右，在3次覆壓下穿透深度縮小至70 nm左右，隨著次數達6次與9次時結構內部所累積差排將使探針更難穿透，這些現象都與三層結構趨勢相同，也說明了矽鍺材料載反覆負載時所受的應力場範圍增加，使薄膜產生加工硬化間接縮小了穿透深度，而觀察3、6、9次負載卸負載過程中與三層結構則有所不同；三層結構曲線較為平緩而六層結構曲線起伏較大，原因可能是六層結構本身缺陷較多，又加上覆壓後差排累積所產生的現象^[76]。

4.3 兩結構高溫氧化前後機械特性綜合分析

本章節將利用上一章節所量測數據，比較兩結構於相同氧化條件下其機械特性。目的在於比較不同矽/矽鍍多層結構強度，以及矽緩衝層於結構中所產生影響性。首先利用連續勁度控制方法分析兩結構於相同氧化條件下其結構強度，再運用力量控制量測方法反覆破壞結構，觀察緩衝層於反覆破壞下所呈現特性。

4.3.1 連續勁度控制模式分析比較

圖 4-23 為兩結構於相同氧化溫度下負載-位移曲線疊圖。由圖 4-23(a)-(d)可看出三層結構曲線頂端處較六層結構來的高，也代表三層結構強度較強使得壓痕探針穿過程程中所需施加負載力相對來的大。各氧化溫度之硬度與楊氏模數趨勢可由圖 4-24 得知(表 4-4 與表 4-5 數據繪製)，也可發現整體機械特性三層結構會較優於六層結構。此現象原因為兩個，首先觀察處理前內部微結構得知(圖 4-1(a) 與圖 4-2(a))，三層結構與六層結構矽鍍晶層分別約為 240 nm 與 150 nm，因此晶層過程累積應力較多，壓痕探針下壓至 200 nm 時仍於三層結構矽鍍層中，也因此結構強度較六層結構好。另一原因為六層結構上方有添加矽覆蓋層，使得高溫氧化過程中鍍原子大量堆積於表面(圖 4-11)，而鍍材料本身強度就較矽鍍材料來的差，也因此氧化過後三層結構強度仍優於六層結構。

4.3.2 力量控制模式分析比較

圖4-25為兩多層結構反覆負載之負載-卸負載曲線疊圖。圖4-25(a)第1次破壞情形看出，在3 mN力量下三層結構被穿透深度約為95 nm，六層結構則為105 nm，在此仍然顯示三層結構之強度高於六層結構，值得注意的地方為六層結構之第一層矽緩衝層約在150 nm處，在第1次破壞已接近矽緩衝層。在經過反覆破壞3次後由圖4-25(b)顯示，兩者之穿透都約為75 nm，且在曲線上幾乎重疊，表示矽緩衝層已逐漸提升六層結構之機械特性。此現象在圖4-25(c)-(d)反覆破壞6與9次時更為明顯，此時六層結構穿透深度都低於三層結構，表示六層結構已藉由矽緩衝層提升抵抗探針反覆的破壞，且從六層結構負載曲線呈上下跳動趨勢得知探

針更接近矽緩衝層，因此在下壓過程中無法完全順利穿透而形呈跳動。由以上結果可知，矽鍺磊晶層中加入矽做為緩衝層可以增強結構中間的介面強度，使得當磊晶層受到壓縮破壞時的抵抗力提升，更可以進一步提升整體機械特性。



表4-1 三層矽/矽鍍多層結構各條件下均方根粗糙值。

Sample	Root mean square roughness, R_{ms} (nm)
As-deposited	13.4
800°C	15.4
900°C	16.5
1000°C	18.8

表4-2 六層矽/矽鍍多層結構各條件下均方根粗糙值。

Sample	Root mean square roughness, R_{ms} (nm)
As-deposited	6.6
800°C	15.8
900°C	16.7
1000°C	17.5

表4-3 矽/矽鍍多層結構於不同深度下平均硬度與模數。

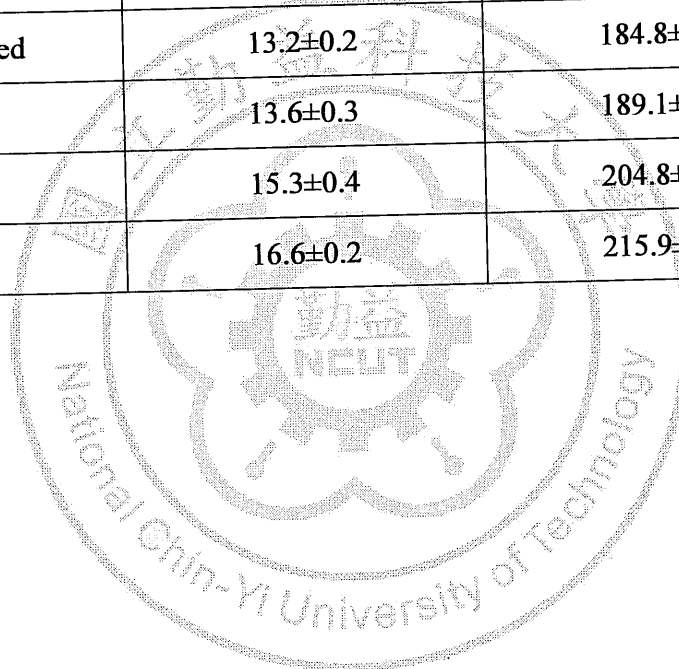
Depth	Hardness(Gpa)	Modulus(Gpa)
200 nm	14.1±0.9	191.9±5.4
300 nm	13.4±0.9	186.2±3.8
400 nm	14.0±0.7	191.7±8.4

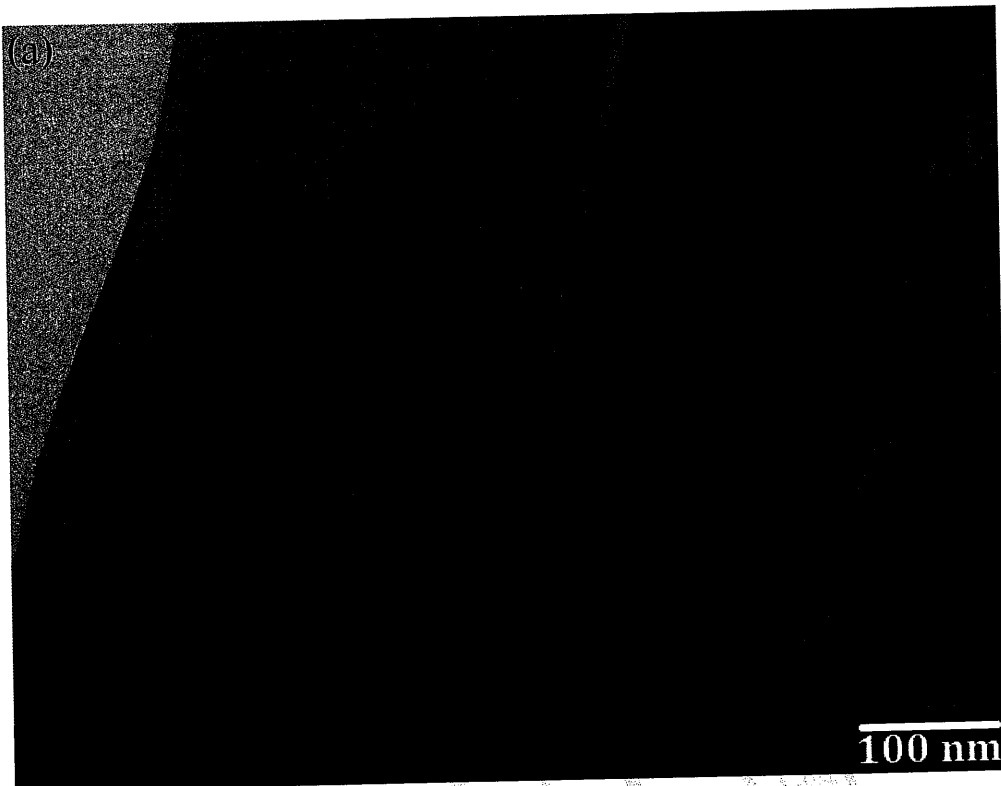
表4-4 三層矽/矽鍍多層結構於各氧化條件下平均硬度與楊氏模數。

Sample	Hardness(Gpa)	Modulus(Gpa)
As-deposited	14.1±0.9	191.9±5.4
800°C	15.9±0.6	203.8±3.3
900°C	16.5±0.6	208.8±4.9
1000°C	17.6±0.7	218.9±3.3

表4-5 六層矽/矽鍍多層結構於各氧化條件下平均硬度與楊氏模數。

Sample	Hardness(Gpa)	Modulus(Gpa)
As-deposited	13.2±0.2	184.8±2.9
800°C	13.6±0.3	189.1±1.5
900°C	15.3±0.4	204.8±5.9
1000°C	16.6±0.2	215.9±3.1





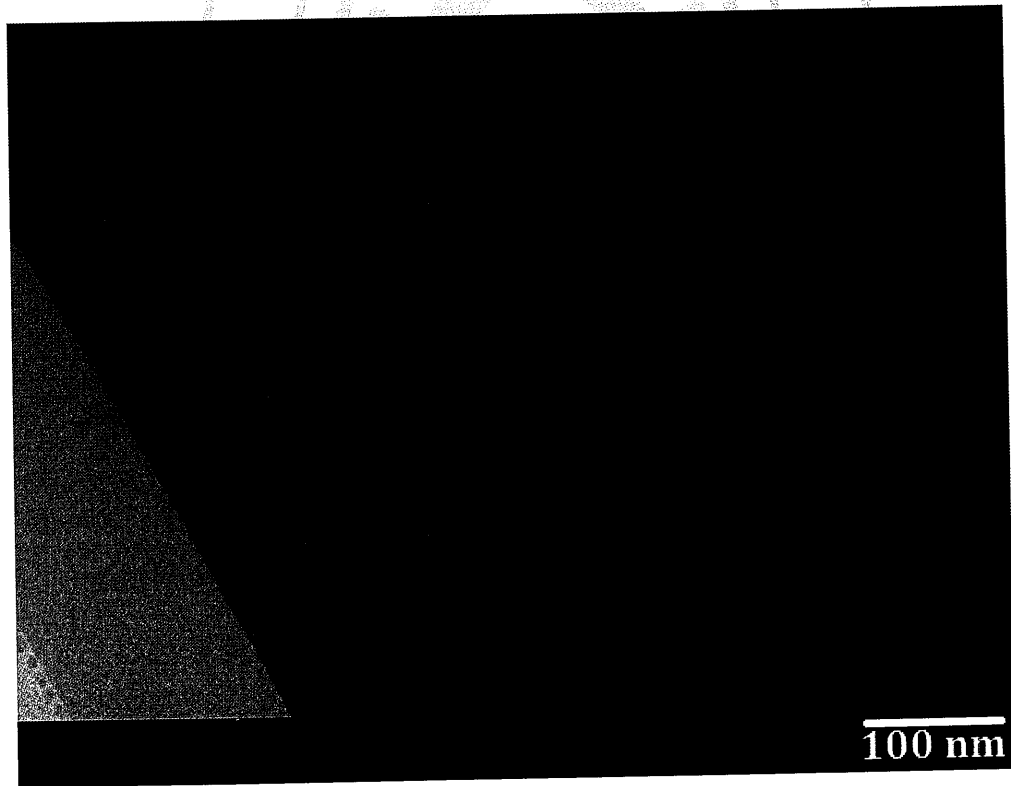
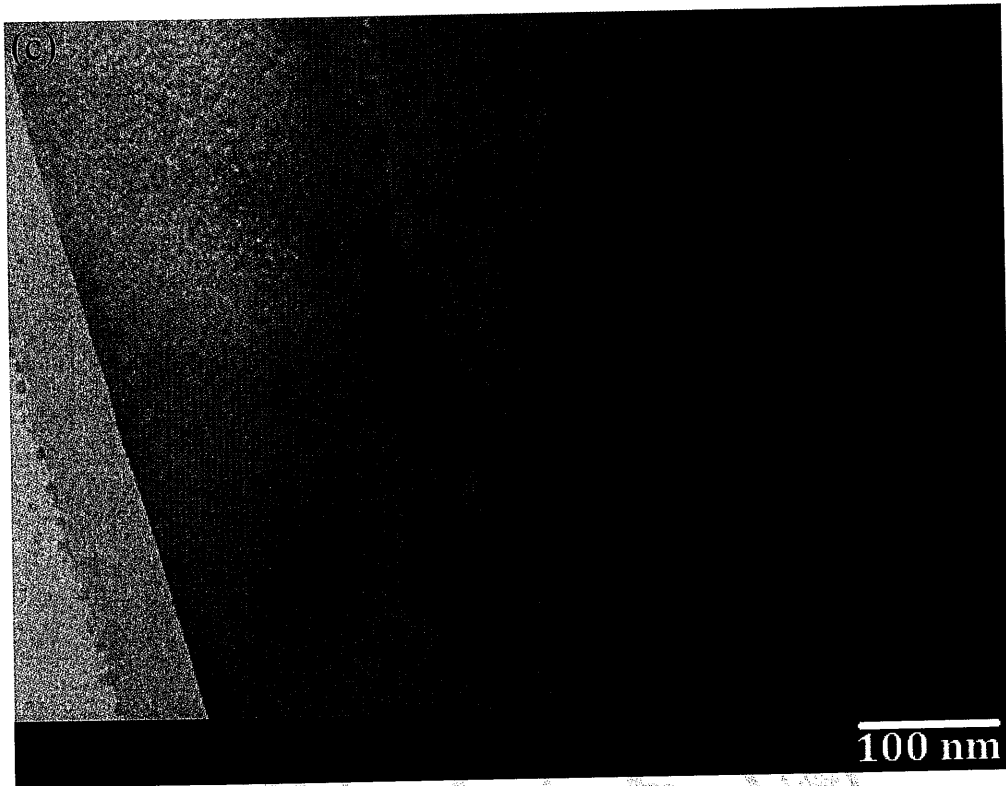
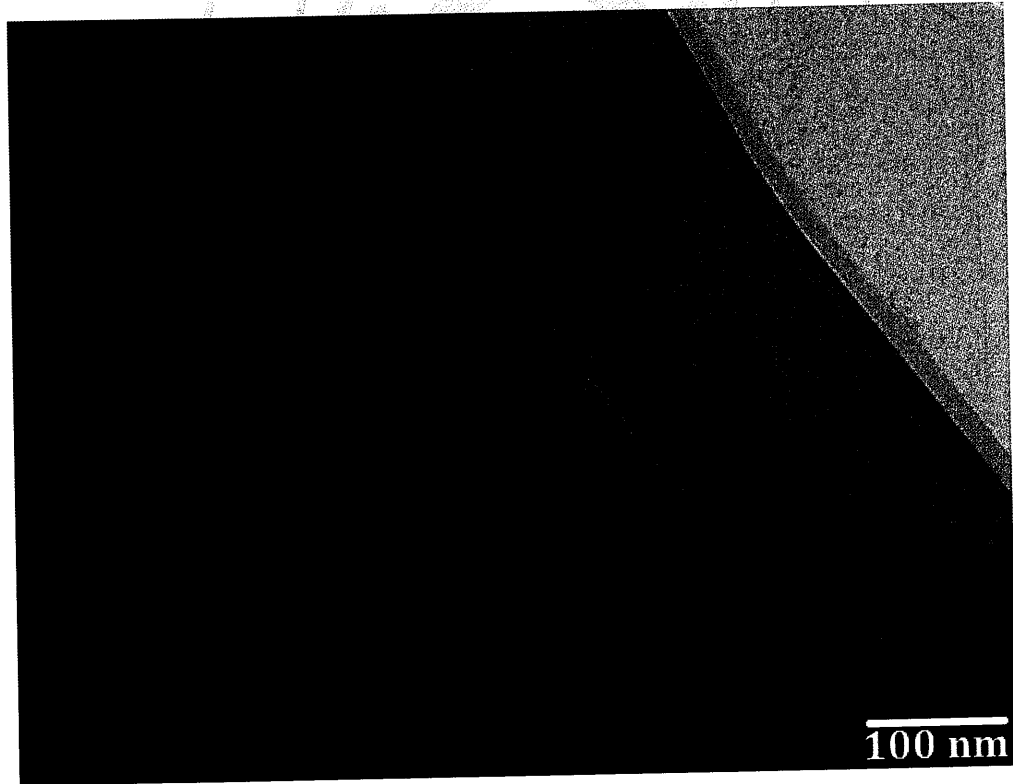
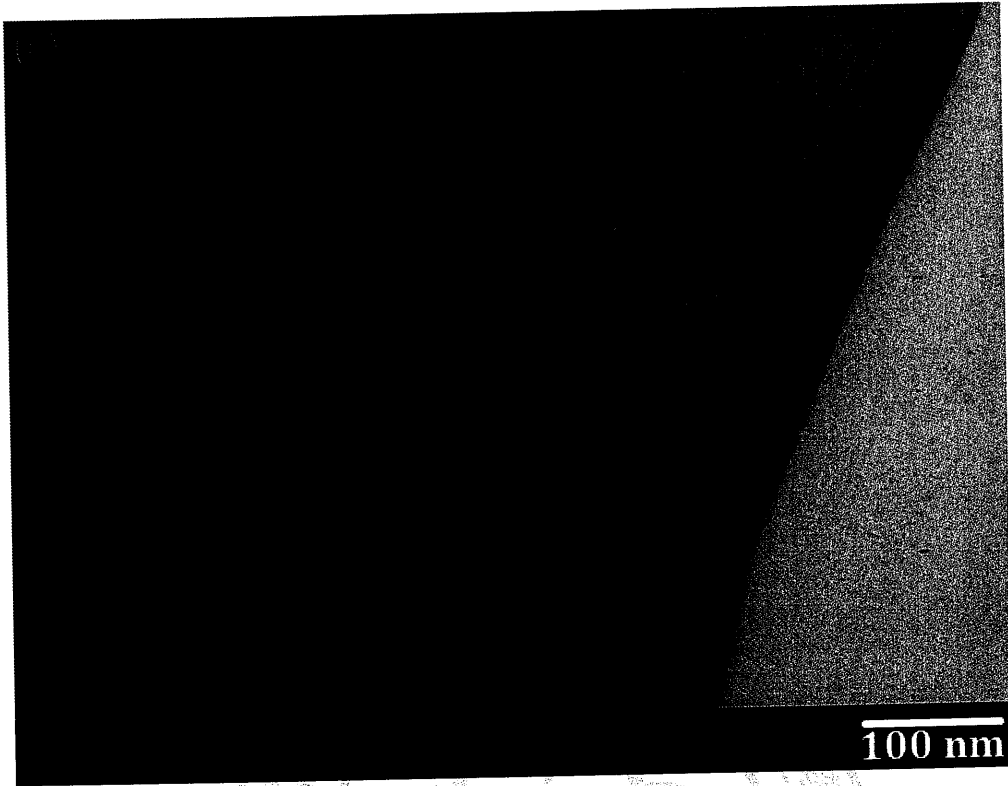


圖4-1(a)-(d) 三層矽/矽鍺多層結構 (a)氧化處(b)800°C(c)900°C(d)1000°C內部微觀結構形貌。



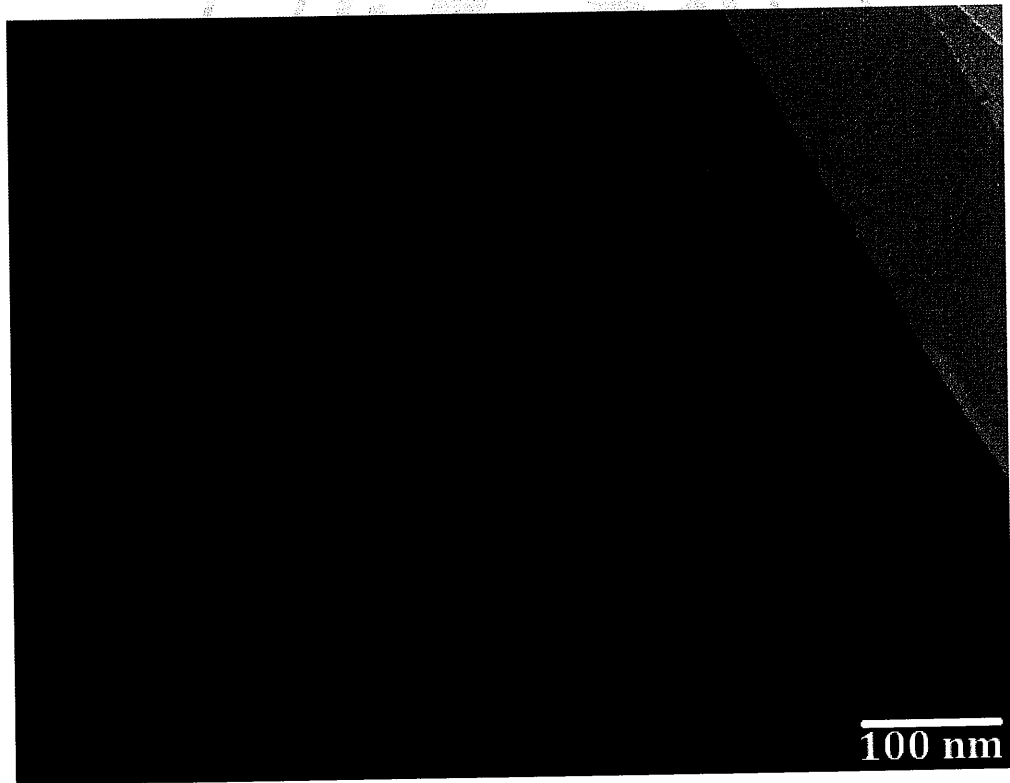
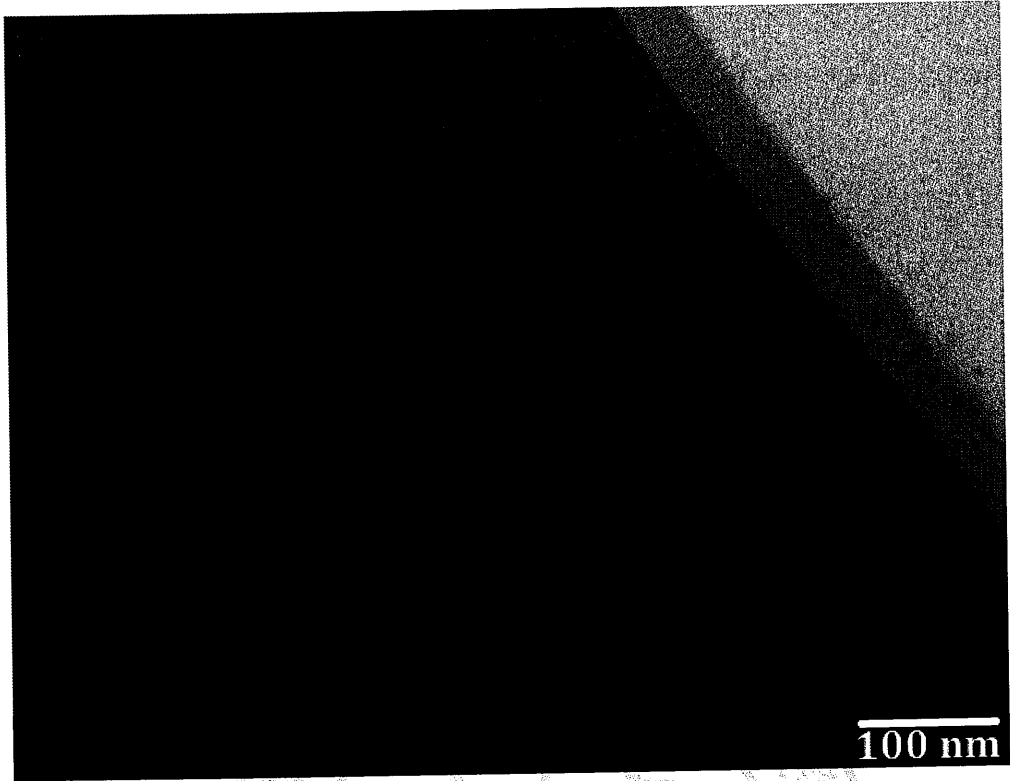


圖4-2(a)-(d) 六層矽/矽鍺多層結構(a)氧化處理前及(b)800°C(c)900°C(d)1000°C內
部微觀結構形貌。

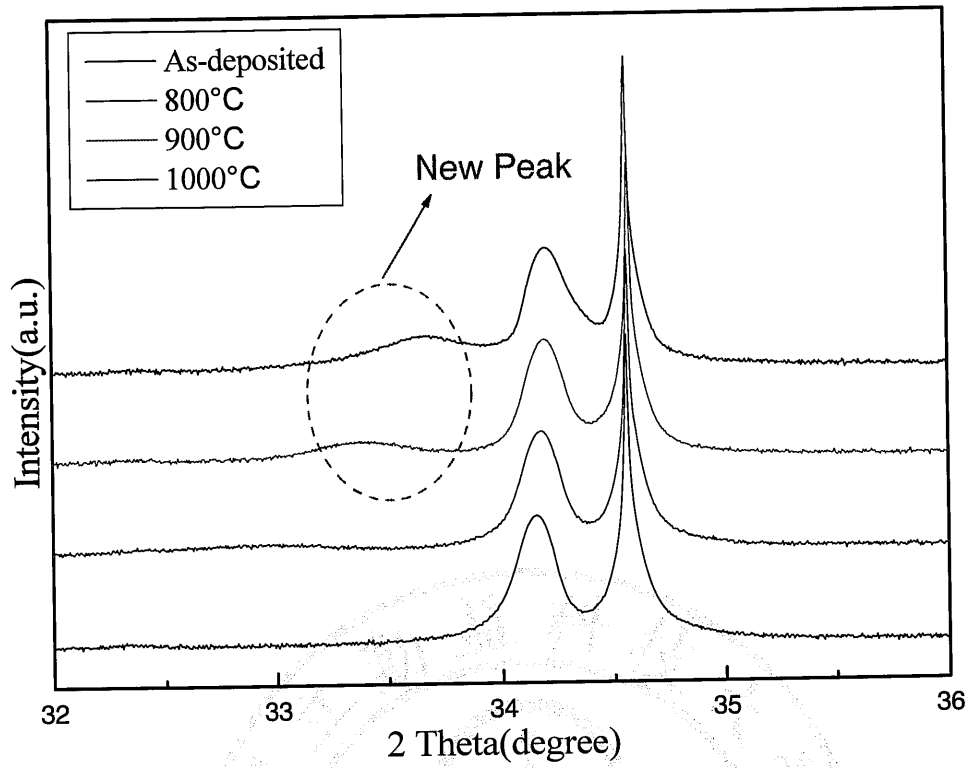


圖4-3 三層矽/矽鍺多層結構各氧化條件下結晶結構分析。

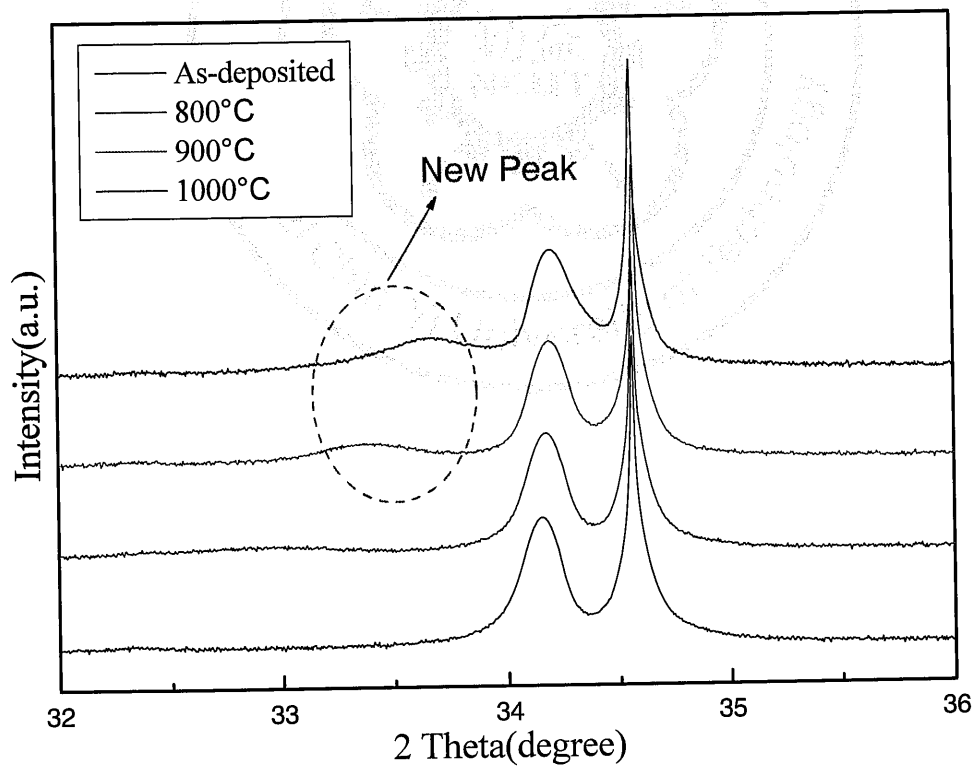
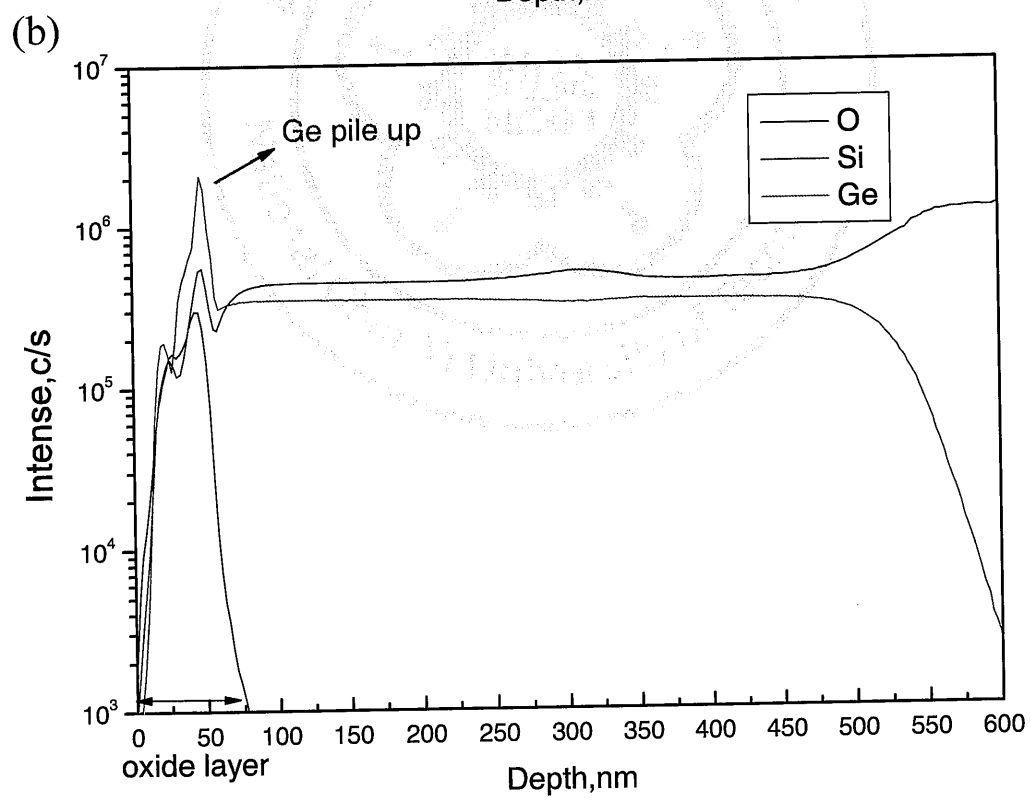
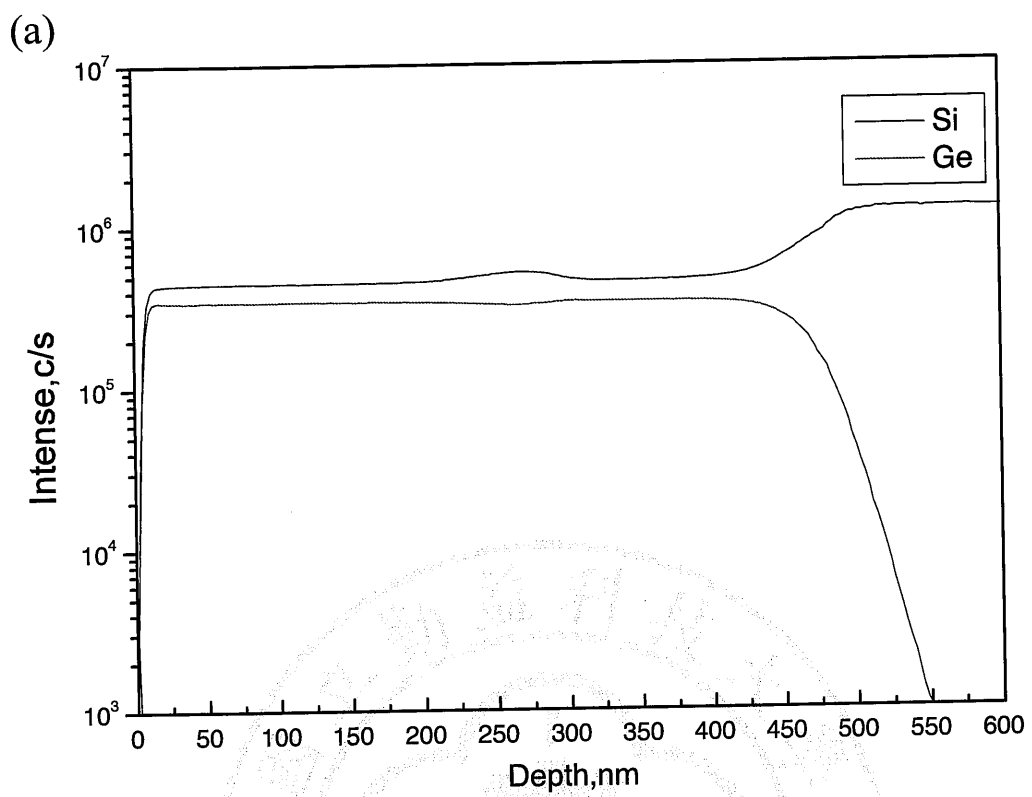


圖4-4 六層矽/矽鍺多層結構各氧化條件下結晶結構分析。



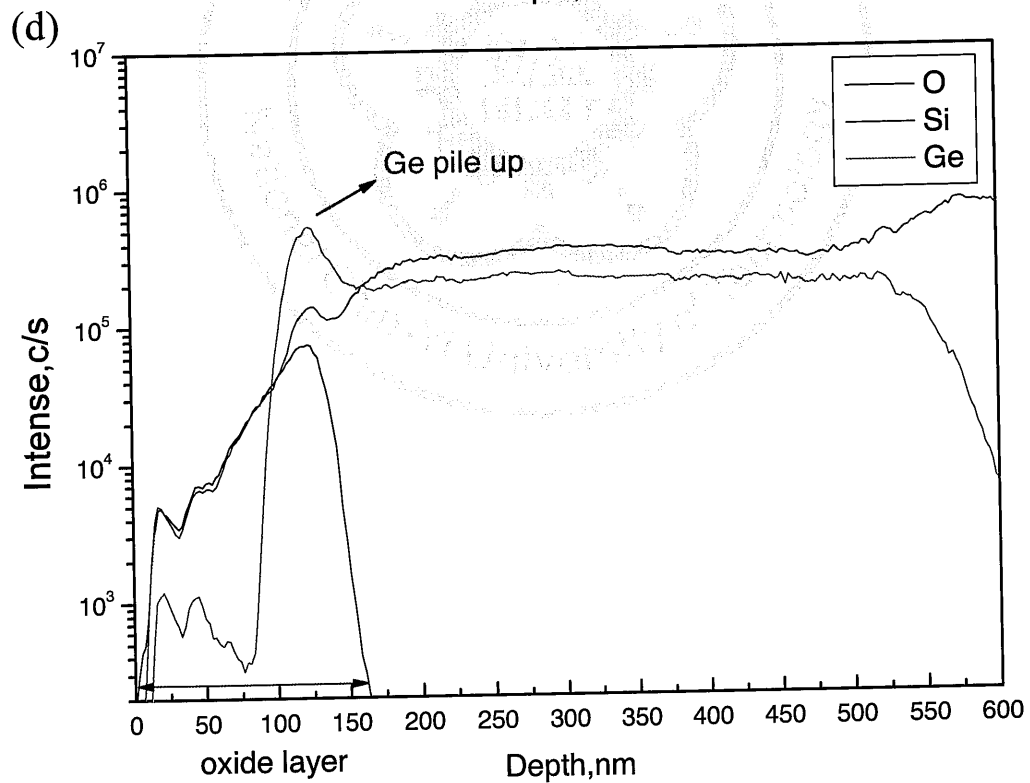
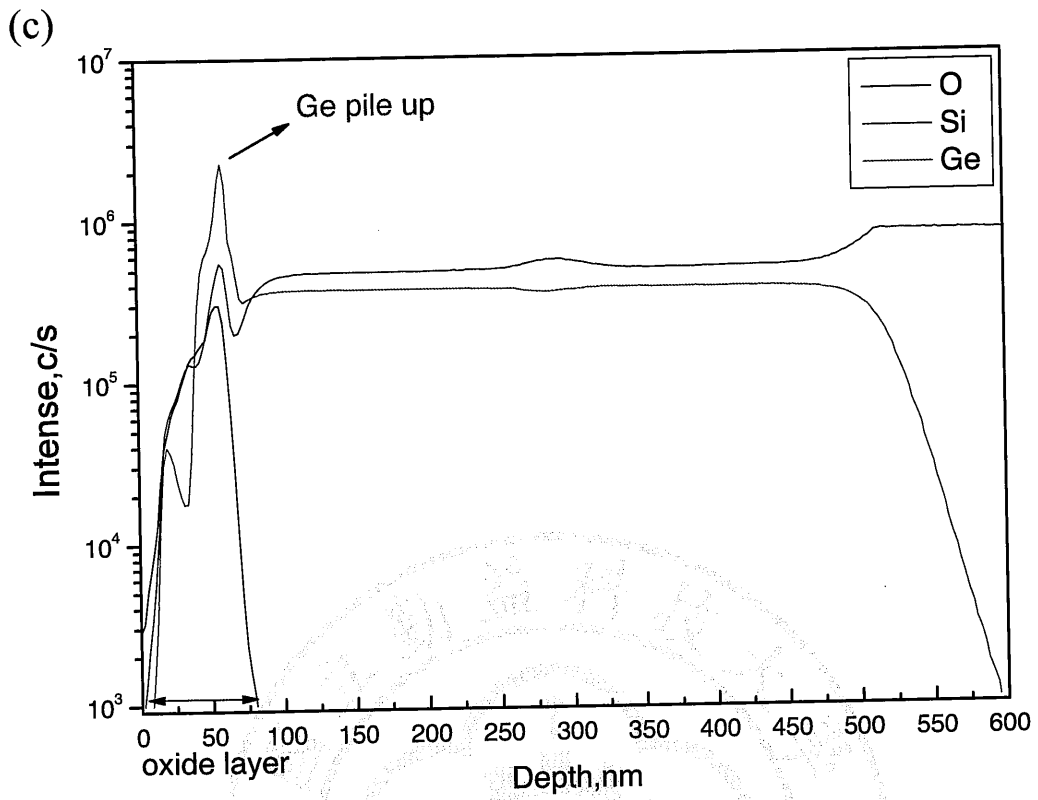
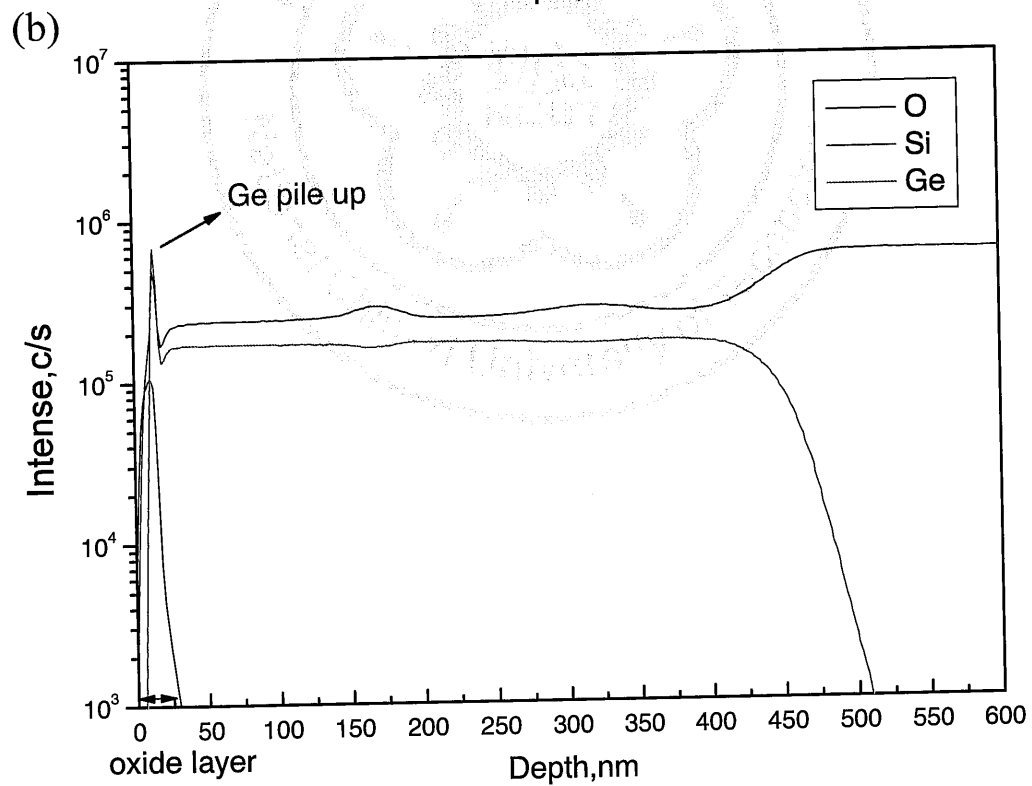
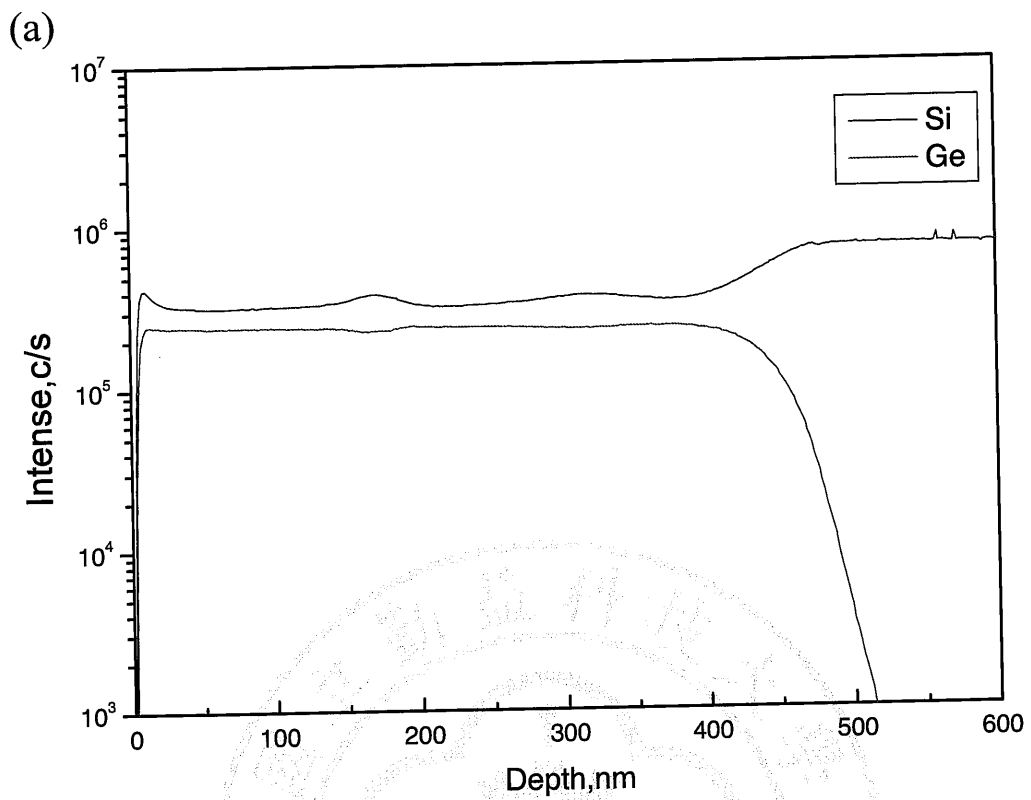


圖4-5(a)-(d) 三層矽/矽鍺多層結構各條件下矽、鍺、氧三原子縱深分析(a)氧化處理前及(b)800°C(c)900°C(d)1000°C。



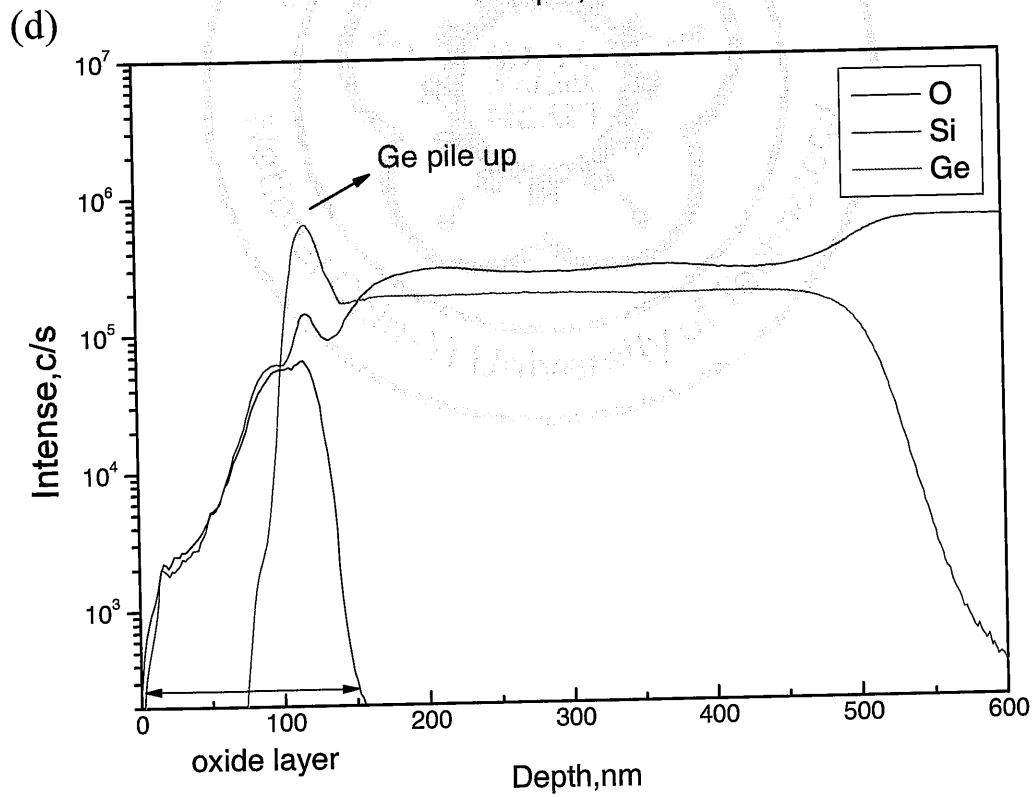
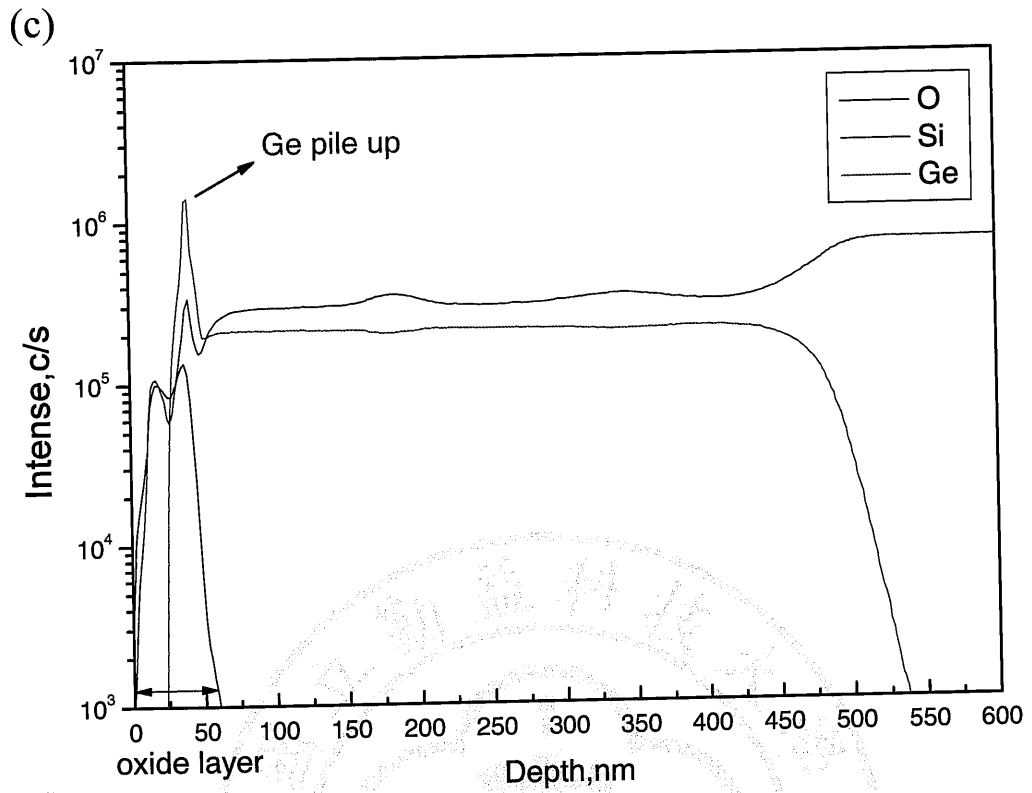


圖4-6(a)-(d) 六層矽/矽鍺多層結構各條件下矽、鍺、氧三原子縱深分析(a)氧化處理前及(b)800°C(c)900°C(d)1000°C。

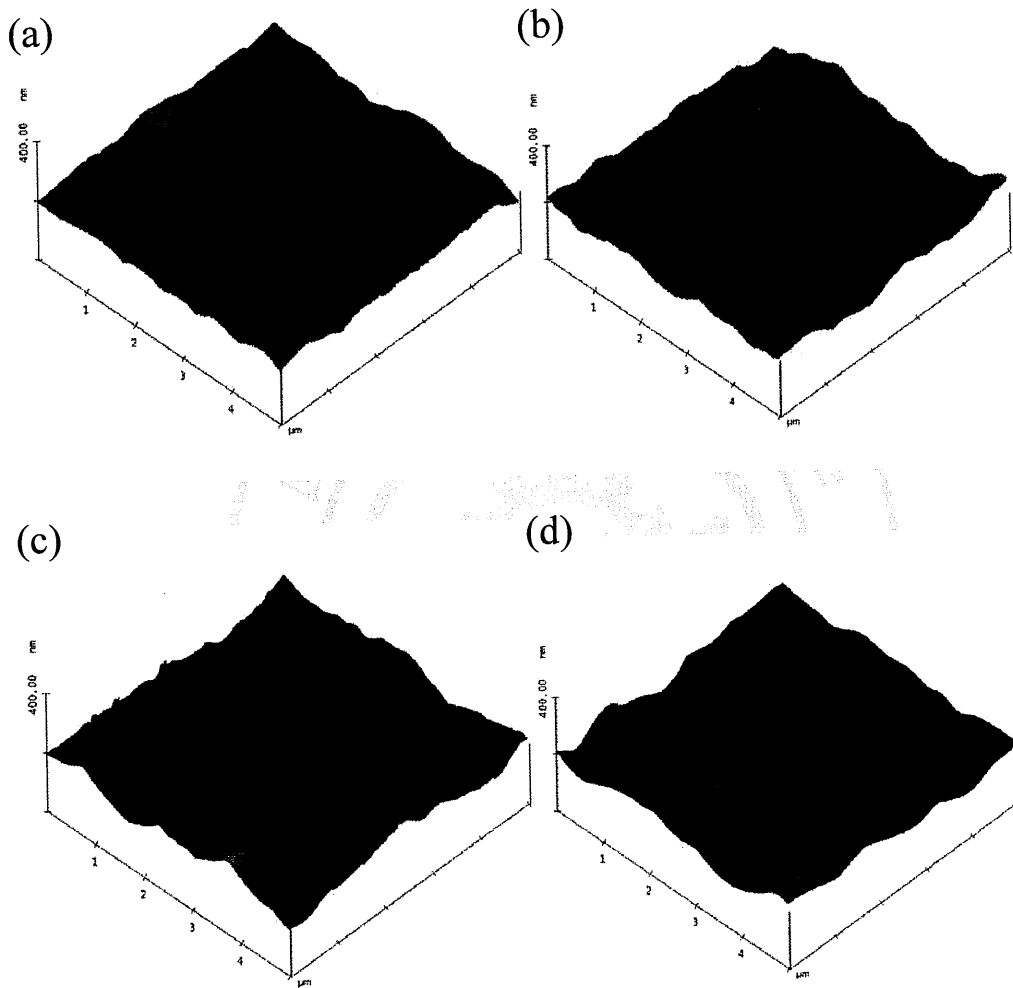


圖4-7(a)-(d) 三層矽/矽鍺多層結構各氧化條件下表面形貌圖(a)氧化處理前及
(b)800°C(c)900°C(d)1000°C。

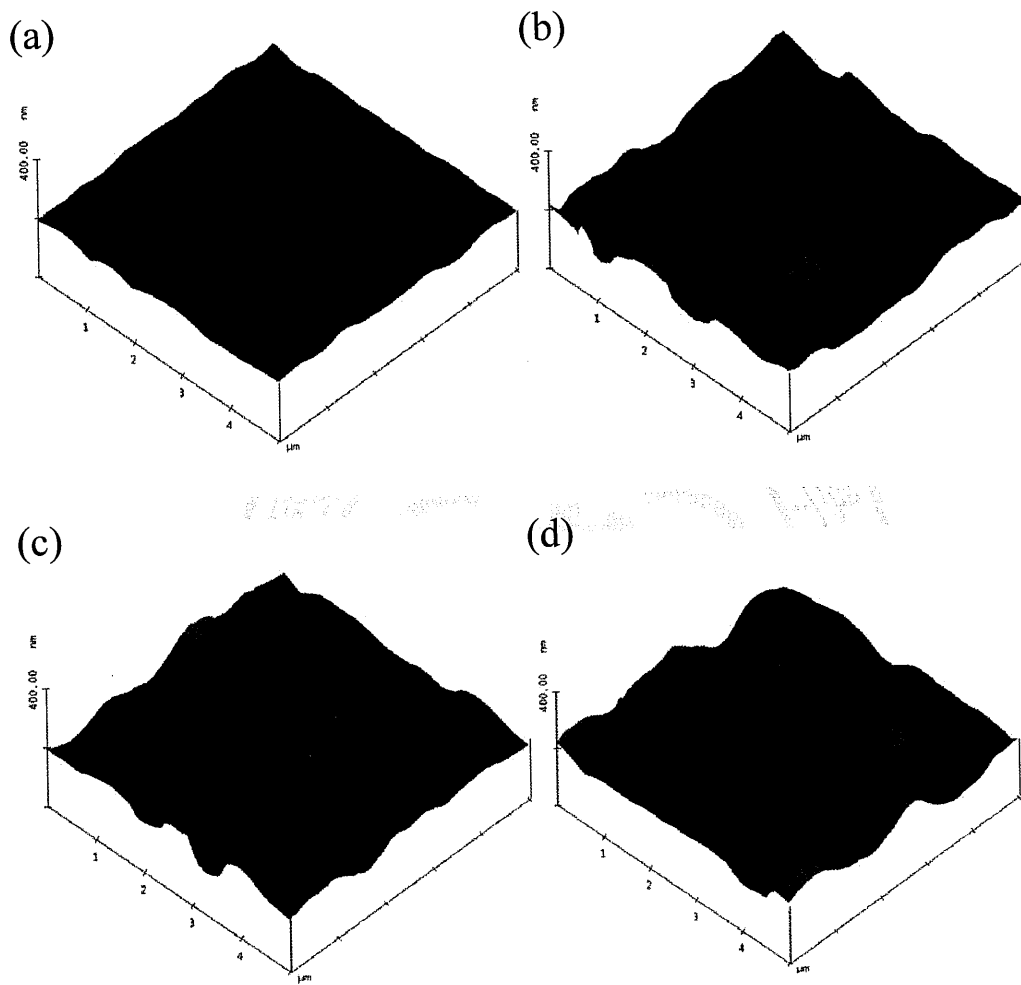


圖4-8(a)-(d) 六層矽/矽鍺多層結構各氧化條件下表面形貌圖(a)氧化處理前及
(b)800°C(c)900°C(d)1000°C。

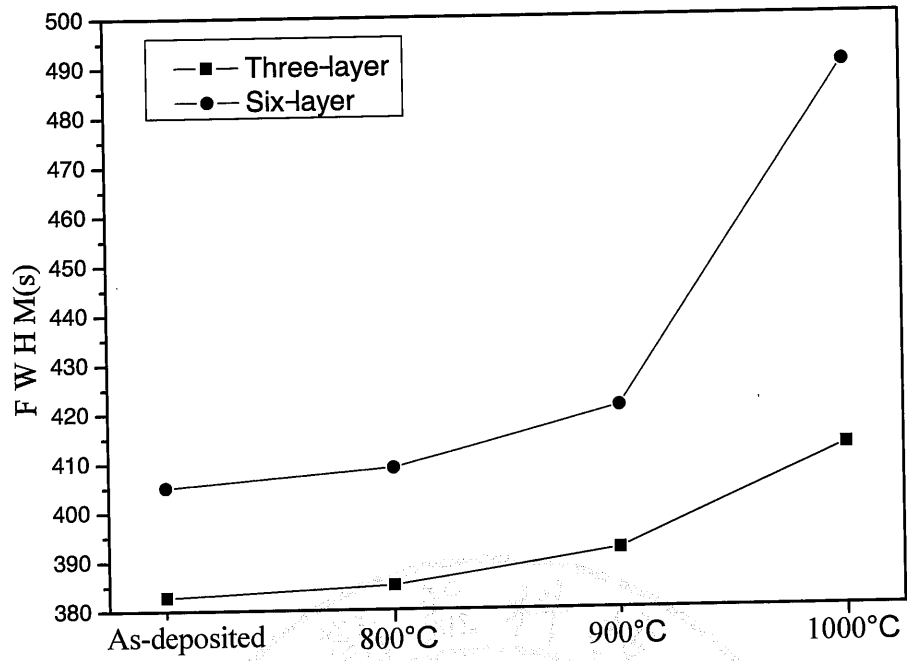


圖4-9 兩結構各條件下半高寬值曲線圖。

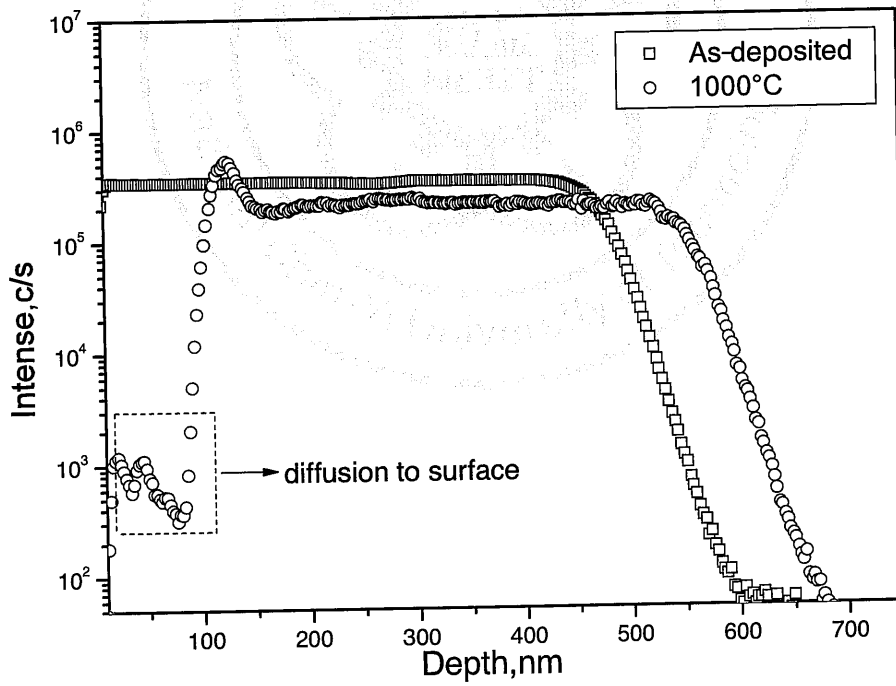


圖4-10 三層結構氧化前後鋅原子縱深分析比較圖。

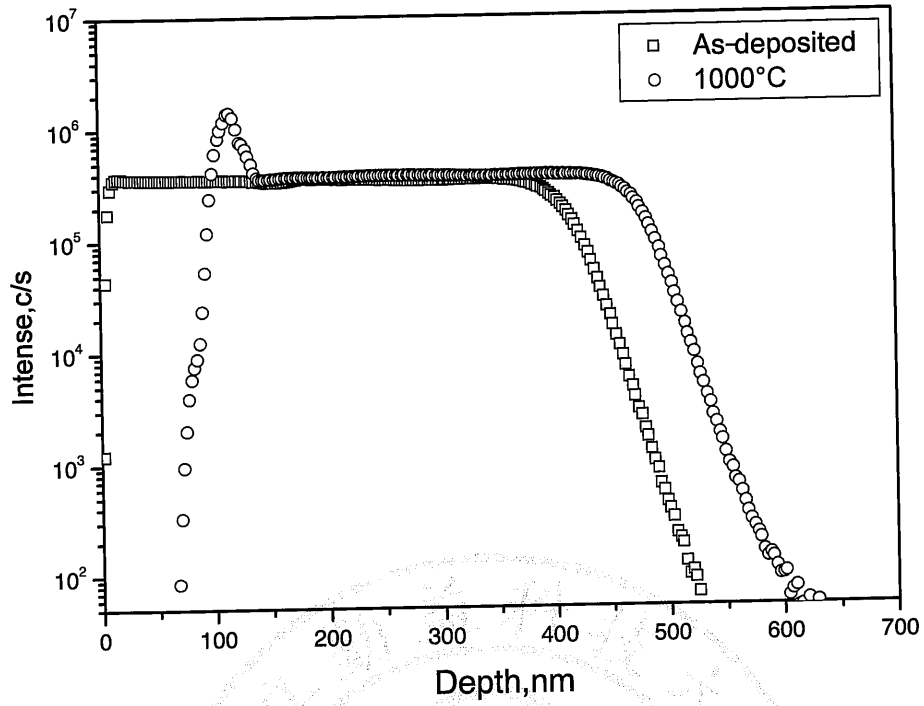


圖4-11 六層結構氧化前後鍍原子縱深分析比較圖。

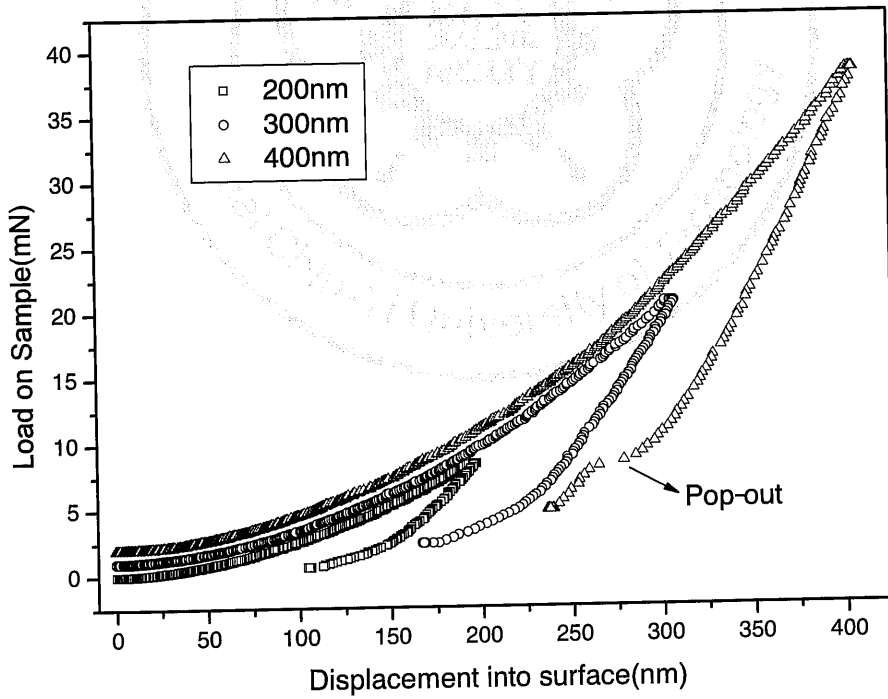


圖4-12 矽/矽鍍多層結構200 nm、300 nm、400 nm負載-位移曲線圖。

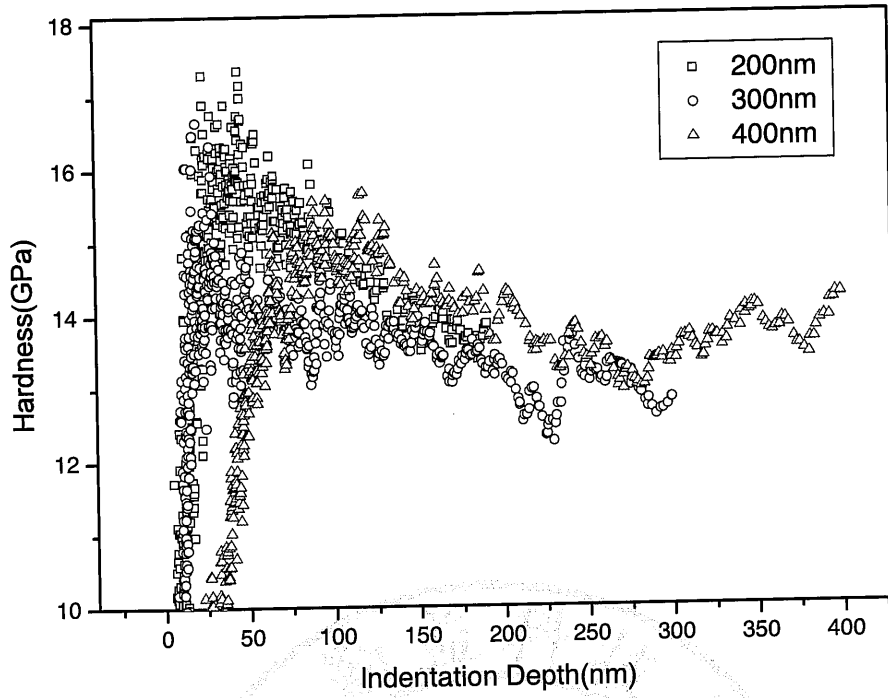


圖4-13 矽/矽鍺多層結構200 nm、300 nm、400 nm硬度-位移曲線圖。

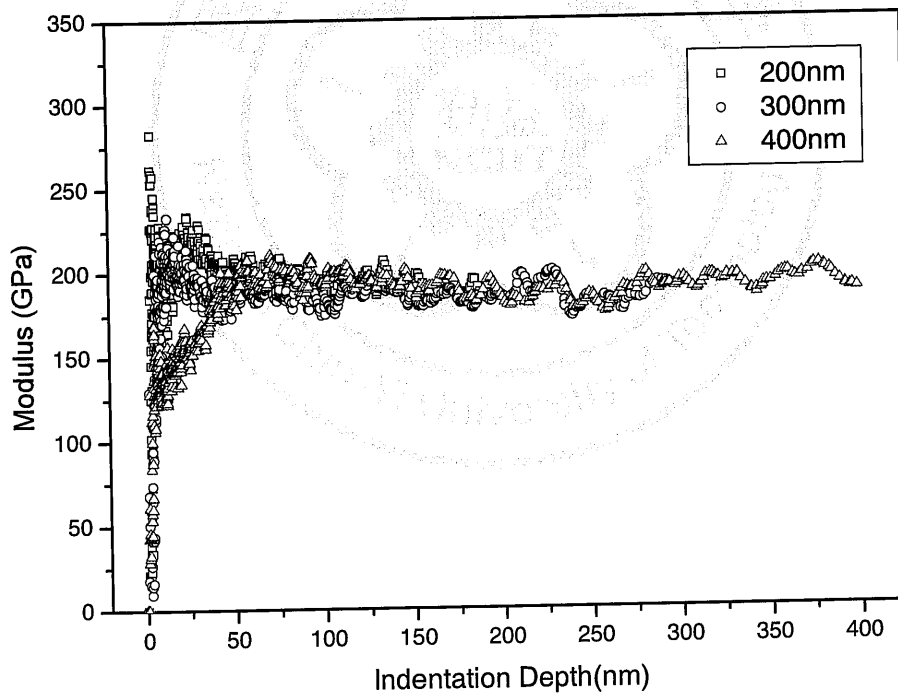


圖4-14 矽/矽鍺多層結構200 nm、300 nm、400 nm模數-位移曲線圖。

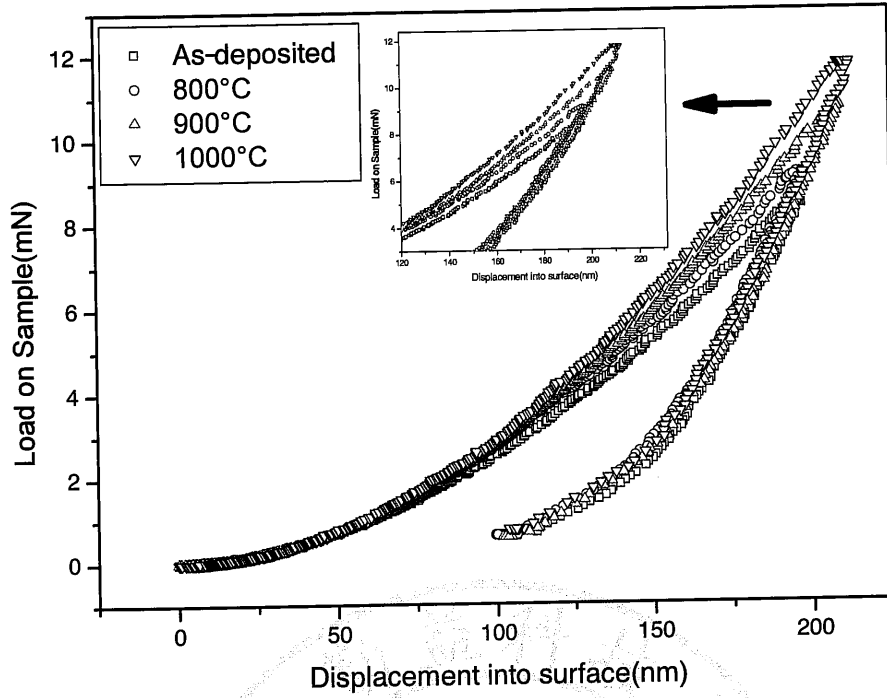


圖4-15 三層矽/矽鍺多層結構各氧化條件下負載-位移曲線圖。

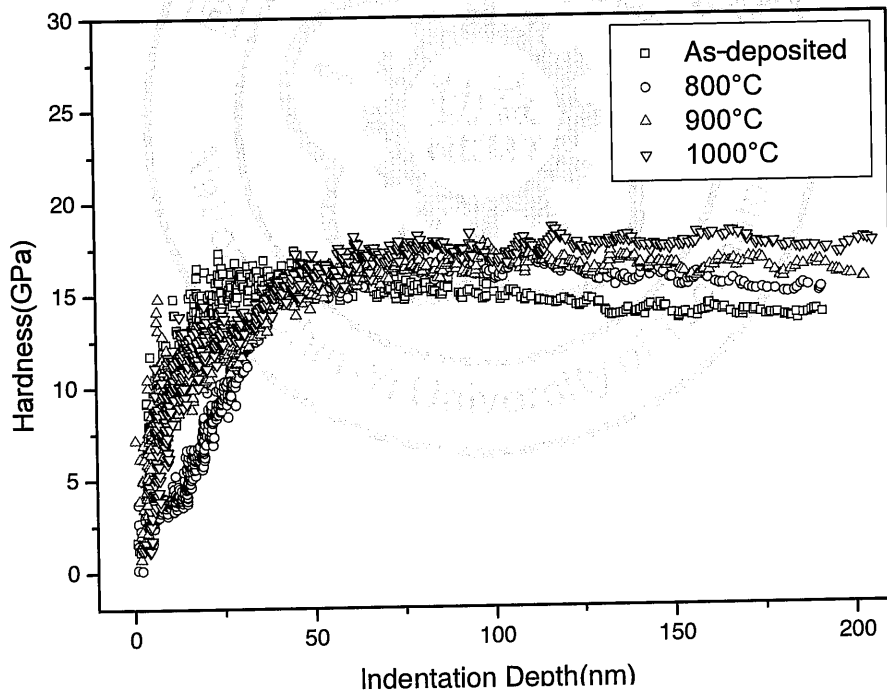


圖4-16 三層矽/矽鍺多層結構各氧化條件下硬度-位移曲線圖。

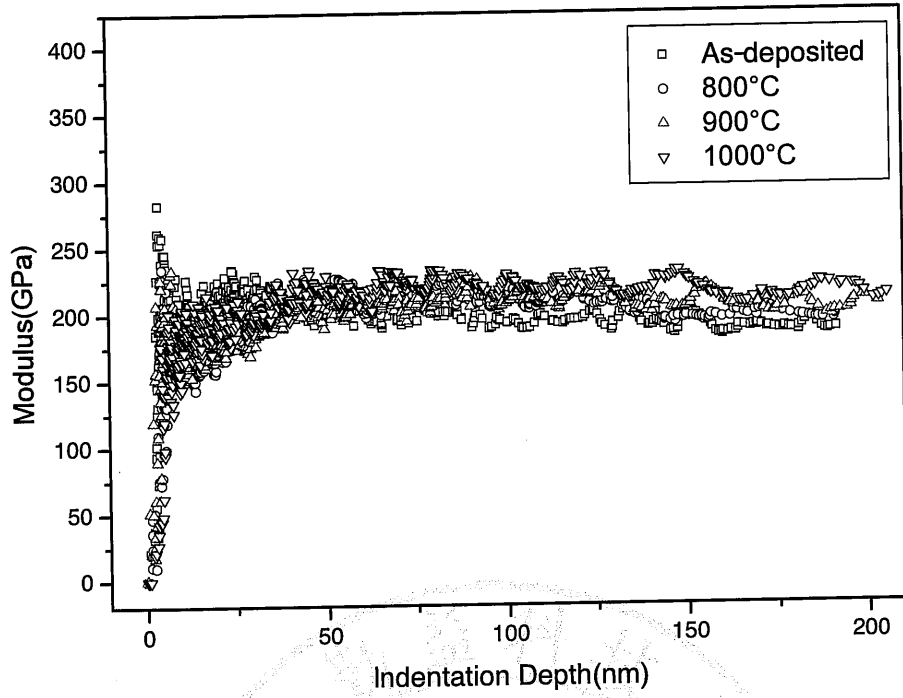


圖4-17 三層矽/矽氮多層結構各氧化條件下模數-位移曲線圖。

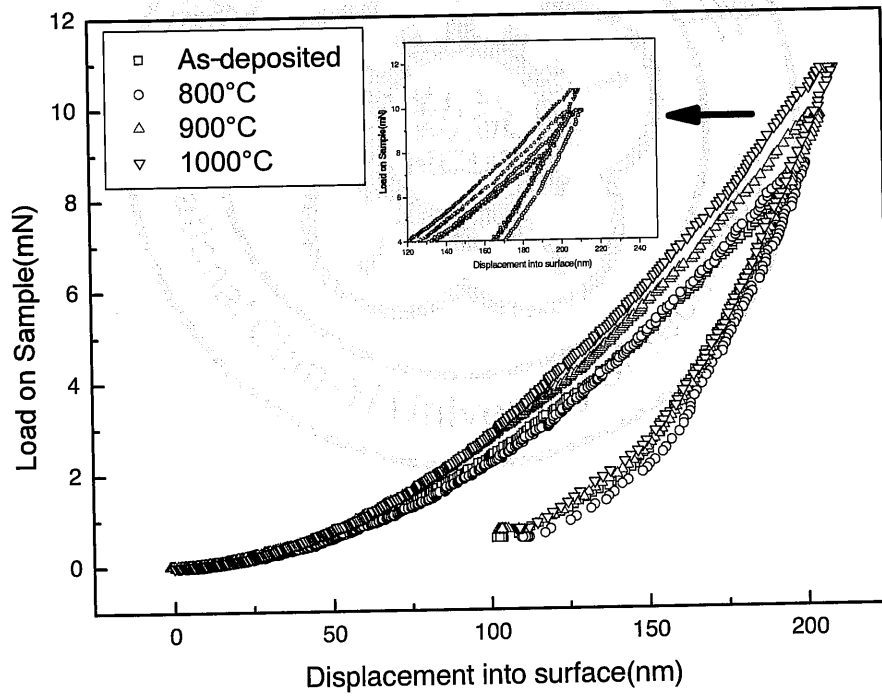


圖4-18 六層矽/矽氮多層結構各氧化條件下負載-位移曲線圖。

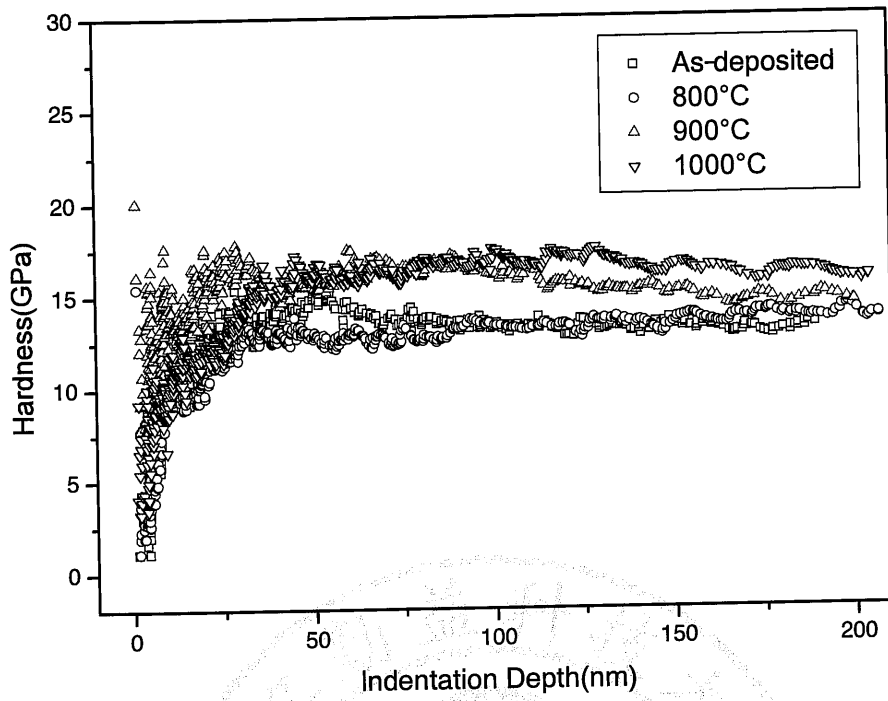


圖4-19 六層矽/矽鍺多層結構各氧化條件下硬度-位移曲線圖。

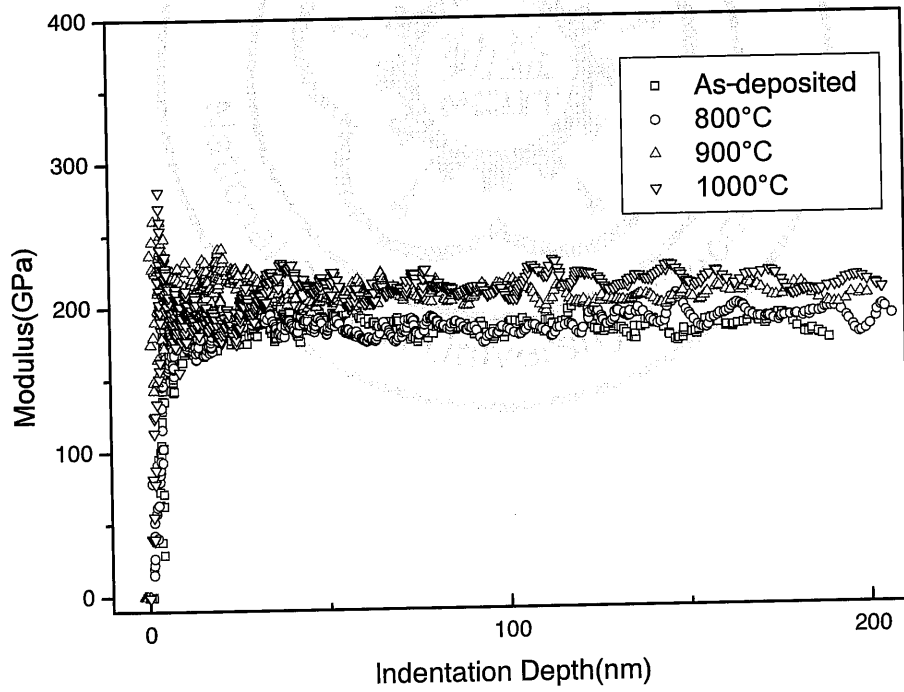


圖4-20 六層矽/矽鍺多層結構各氧化條件下模數-位移曲線圖。

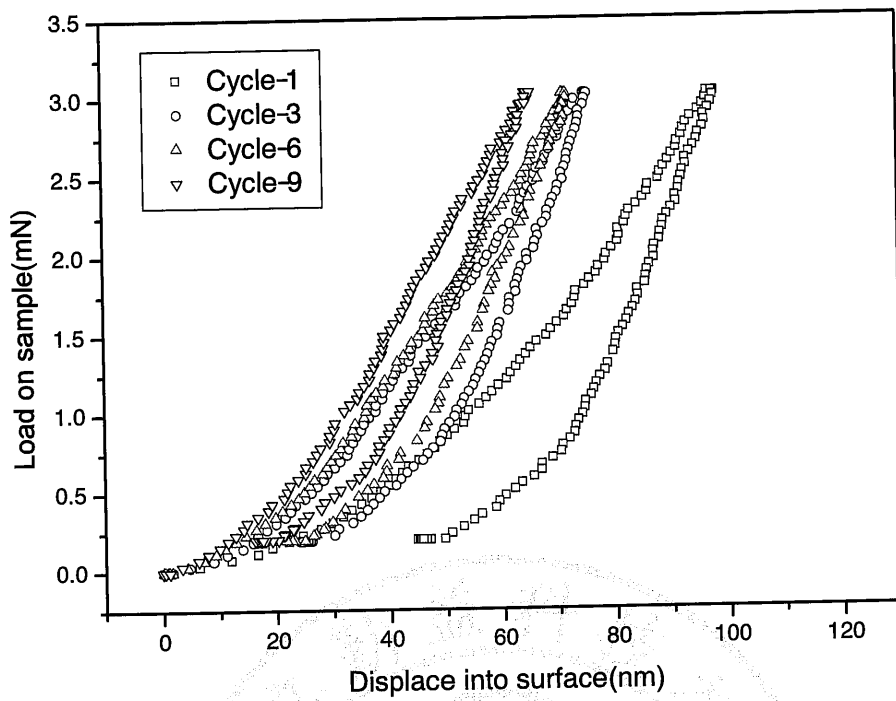


圖4-21 三層砂/矽鍍多層結構1、3、6、9次反覆負載之負載-卸負載曲線圖。

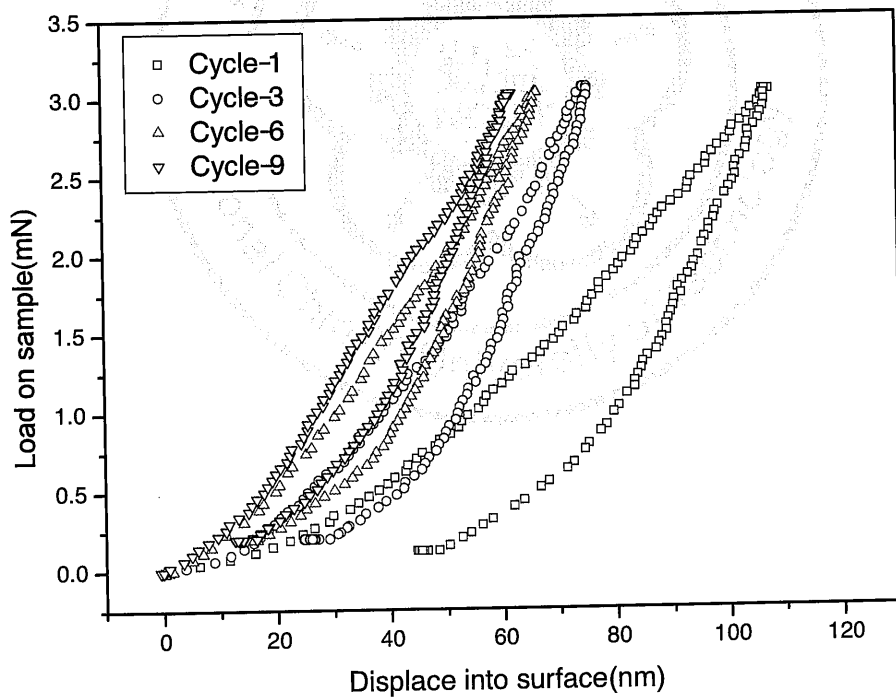


圖4-22 六層砂/矽鍍多層結構1、3、6、9次反覆負載之負載-位移曲線圖。

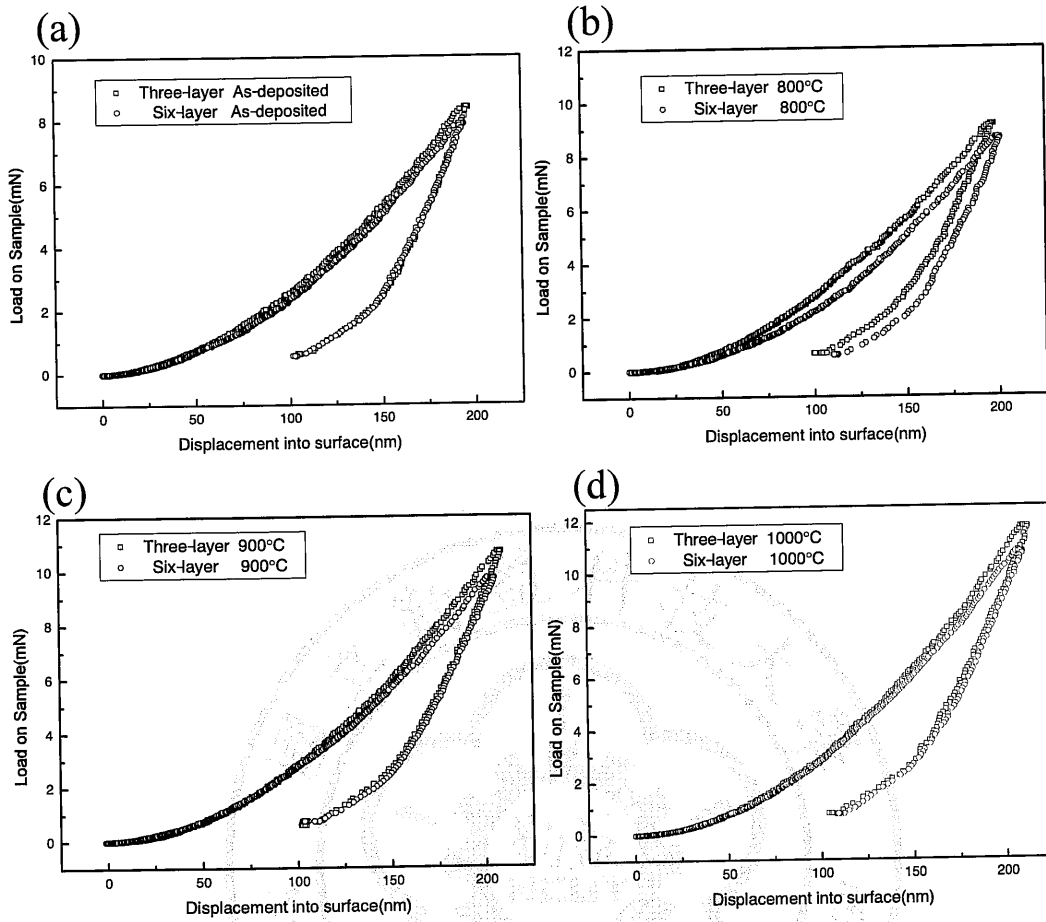


圖4-23 兩結構於不同氧化溫度下負載-位移曲線圖(a)氧化處理前及
(b)800°C(c)900°C(d)1000°C。

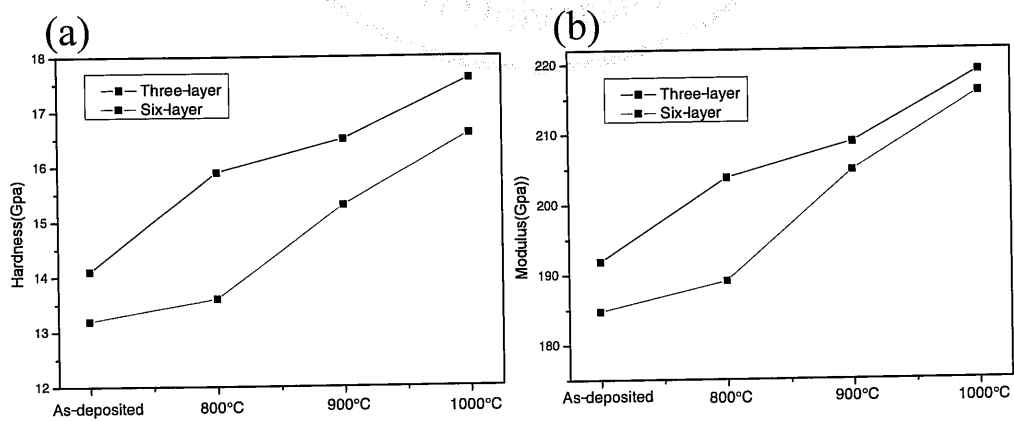


圖4-24 兩結構於不同氧化溫度下機械特性趨勢圖(a)硬度(b)楊氏模數。

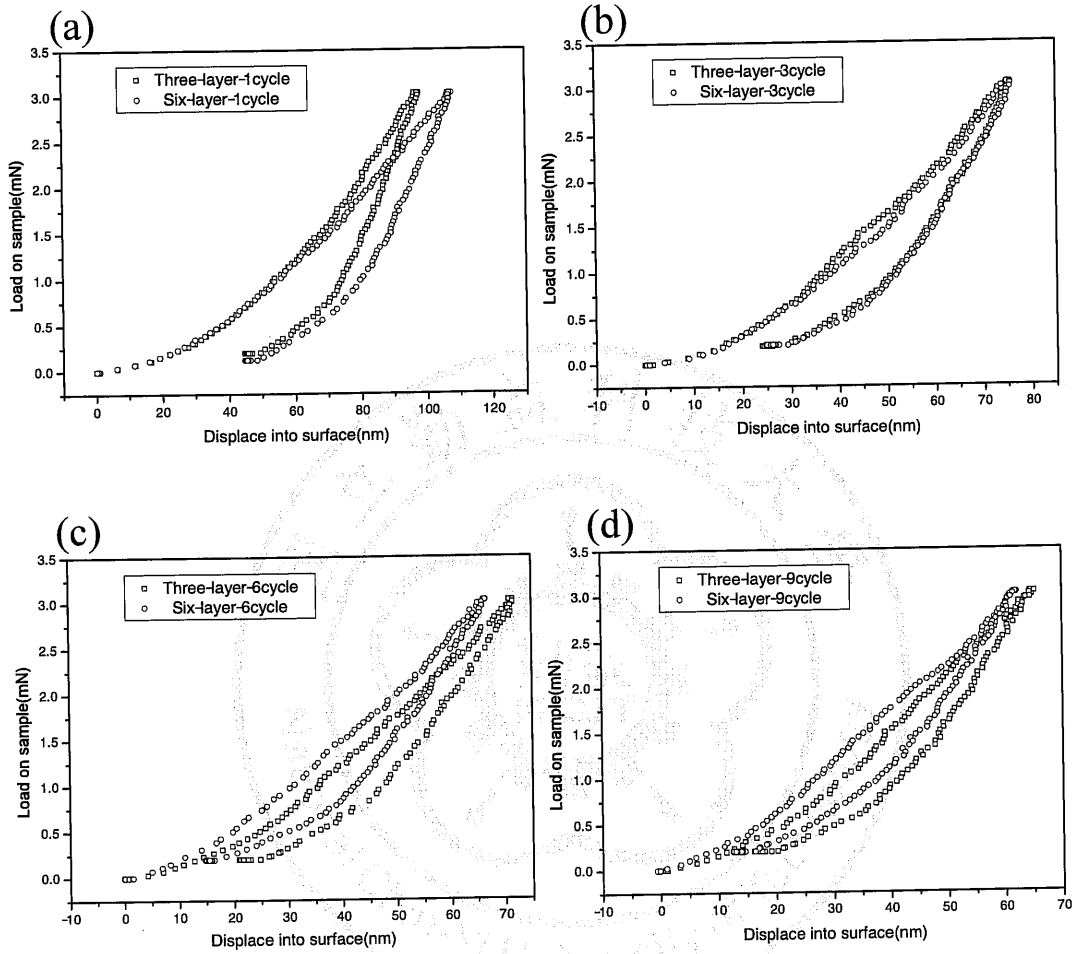


圖4-25 兩結構反覆負載之負載-位移曲線疊圖 (a)第1次(b)第3次(c)第6次(d)第9

次。

第五章 結論

本實驗主要探討矽/矽鍺多層結構經高溫氧化處理之材料與機械特性探討。首先於矽基板上成長厚度均為 500 nm 之兩種矽/矽鍺多層結構，後續將試片分別以 800°C、900°C、1000°C 進行三十分鐘高溫氧化，接著利用穿透式電子顯微鏡 (TEM)、X 光繞射儀 (XRD)、二次離子質譜儀 (SIMS) 及原子力顯微鏡 (AFM) 進行第一階段兩結構高溫氧化後材料分析，歸納的結論如下：

- (1) 於內部微結構方面，從穿透式電子顯微鏡可觀察出兩結構氧化處理前薄膜缺陷少品質佳，經高溫氧化處理後則產生許多缺陷，並於氧化溫度 900°C 時矽緩衝層逐漸消失，而溫度達 1000°C 時薄膜品質嚴重劣化，由此得知矽鍺薄膜氧化溫度極限為 1000°C。
- (2) 在晶格結構分析方面，由 X 光繞射儀分析得知，兩結構經高溫氧化處理後矽鍺波峰明顯向右偏移，且隨著氧化溫度增高而更明顯，此為鍺原子往矽基板擴散所產生現象。而兩結構矽鍺波峰強度明顯下降，半高寬值均隨氧化溫度增高而上升，此為薄膜品質劣化的趨勢，也印證了穿透式電子顯微鏡之結果。
- (3) 於原子分布情況可由二次離子質譜儀得知，兩結構經高溫氧化後鍺原子會往基材與表面做擴散，但由於矽原子氧化處理後與氧結合力較鍺原子強，因此會被二氧化矽 (SiO₂) 層排斥於表面與氧化層介面處，形成鍺原子堆積 (Pile-up)。
- (4) 在表面形貌變化方面可由原子力顯微鏡 3D 形貌觀察得知，兩結構隨著氧化溫度增加表面起伏更大，均方根粗糙值也伴隨升高，此為氧化後鍺原子往表面擴散以及應變鬆弛 (Strain relaxation) 所產生影響。

第二階段為兩結構氧化處理前後材料特性比較，歸納出兩結構相異處，結論如下：

- (1) 由穿透式電子顯微鏡及 X 光繞射儀觀察內部形貌與半高寬值得知，氧化處理前後三層結構品質均優於六層結構。
- (2) 由二次離子質譜儀鍍原子分布分析得知，氧化溫度達 1000°C 時三層結構鍍濃度大幅下降而六層結構卻不會，原因在於六層結構於結構上方多添加一層矽覆蓋層(Si cap)有關，使得氧化後二氧化矽(SiO₂)會先形成也抑制了鍍原子往表面的擴散。
- (3) 由原子力顯微鏡得知六層結構氧化處理前粗糙值優於三層結構，表面形貌也更加平緩，此部分原因也是矽覆蓋層(Si cap)能有效降低表面粗糙值。

第三階段利用奈米壓痕探討兩結構高溫氧化處理後機械性質之分析。利用奈米壓痕儀配合連續勁度控制方法(Continuous Stiffness Measurement, CSM)於相同破壞深度下得知兩結構各氧化溫度硬度(Hardness)於楊氏模數(Young's modulus)；並配合力量控制量測方法(Force Mode, FM)以極小力量反覆破壞得知結構彈塑性變形機制可得知以下結論：

- (1) 經連續勁度模式參數測試得知，壓痕深度超越 200 nm 時其負載-位移曲線則會有斷點出現，硬度與楊氏模數曲線圖起伏也較大，因此最佳量測深度為 200 nm。
- (2) 兩結構經高溫氧化後於連續勁度模式下，以穿透深度 200 nm 量測其機械特性，發現氧化溫度增高其硬度與楊氏模數都會隨著上升，原因為氧化後結構內部產生缺陷使探針更不易下壓致使機械特性升高。
- (3) 經力量控制模式反覆破壞得知，結構隨著負載次數的增加使差排密度也跟隨增加，所受的應力場範圍也會擴大，使薄膜產生加工硬化間接縮小了穿透深度。
- (4) 經力量控制模式反覆破壞得知，矽緩衝層能有效增強結構中間的介面強度，使得當磊晶層受到壓縮破壞時的抵抗力提升。

第六章 後續研究工作

經本研究得知矽/矽鍍多層結構材料與機械特性，因此在後續研究工作方面，可將結構與製程參數做進一步的改變，以利得到更好品質之矽鍍虛擬基板，相關研究工作如下：

- (1) 改變矽/矽鍍多層結構中鍍摻雜濃度，探討相對應之結構強度。此外在高溫氧化處理方面，將嘗試較低溫度處理，使不同鍍摻雜濃度之結構於適合之氧化參數下成長一穩定鍍原子漸變層。
- (2) 改變矽緩衝層與矽鍍層相對應厚度，觀察是否能將缺陷抑制於矽緩衝層中以獲得高應變鬆弛下低缺陷的結構特性，並探討此結構機械特性與本實驗兩種結構之差異性。
- (3) 矽鍍薄膜表面可利用化學機械研磨達到表面平坦化，而化學機械研磨時必須在研磨參數上做最佳化之處理，以維持多層結構強度。
- (4) 利用穿透式電子顯微鏡觀察結構壓痕破壞後微結構斷面圖，探討壓痕應力場範圍內微觀結構變化。

參考文獻

- [1] A.K. Bakkaloglu, et al., "Design of a tunable multi-band differential LC VCO using 0.35 μ m SiGe BiCMOS technology for multi-standard wireless communication systems", *Microelectronics Journal*, 40 pp.983 (2009).
- [2] A. Motayed, S.N. Mohammad, "Latchup resistant Ge_{1-x}Si_x/Si heterostructure CMOS design for VLSI application", *Solid-State Electronics*, 45 pp.287 (2001).
- [3] C. Maneuxa, et al., "Experimental procedure for the evaluation of GaAs-based HBT's reliability", *Microelectronics Journal*, 32 pp.357 (2001).
- [4] G.E. Moore, "Cramming more components onto integrated circuits", *Electronics*, 38 (1965).
- [5] T. Kudoh, T. Asano, "Si/SiGe heterojunction collector for low loss operation of Trench IGBT", *Applied Surface Science*, 224 pp.399 (2004).
- [6] Y.M. Chang, et al., "Effect of annealing temperature for Si_{0.8}Ge_{0.2} epitaxial thin films", *Applied Surface Science*, 254 pp.3105 (2008).
- [7] D.C. Houghton, "Strain relaxation kinetics in Si_{1-x}Ge_x/Si heterostructures", *Journal of Applied Physics*, 70 pp.2136 (1991).
- [8] S.W. Lee, et al., "Effects of low-temperature Si buffer layer thickness on the growth of SiGe by molecular beam epitaxy", *Journal of Applied Physics*, 92 pp.6880 (2002).
- [9] S.R. Sheng, et al., "Growth and characterization of ultrahigh vacuum/chemical vapor deposition SiGe epitaxial layers on bulk single-crystal SiGe and Si substrates", *Journal of Vacuum Science and Technology A*, 20 pp.1120 (2002).
- [10] S. Zheng, et al., "Interdiffusion at Si/SiGe interface analyzed by high-resolution X-ray diffraction", *Thin Solid Films*, 156 pp.508 (2006).
- [11] M. Glickman, "Magnetoresistance of germanium-silicon alloys", *Physical Review*, 100 pp.1146 (1955).
- [12] D.L. Hareme, B.S. Meyerson, "The early history of IBM's SiGe mixed signal technology", *IEEE transactions on electron devices*, 48 pp.2555 (2001).
- [13] H. Kroemer, "Theory of a Wide-Gap Emitter for Transistors", *Proceedings of the Ire*, 45 pp.1535 (1957).
- [14] D.Z. Peng, et al., "Polycrystalline silicon thin-film transistor with self-aligned SiGe raised source/drain", *Applied Physics Letters*, 81 pp.4763 (2002).
- [15] M. Mitsui, et al., "Influence of Ge atoms on mobility and junction properties of thin-film transistors fabricated on solid-phase crystallized poly-SiGe", *Applied Physics Letters*, 89 pp.192102 (2006).
- [16] V.D. Juncu, et al., "Behaviour of logic gates fabricated on Si/SiGe MODFET technology", *Electronics Letters*, 40 pp.772 (2004).

- [17] M.J. Rack, et al., "Strained Si/SiGe quantum well MODFETs for cryogenic circuit applications", *Solid-State Electronics*, 45 pp.1199 (2001).
- [18] J. Fu, K. Bach, "Characterization of neutral base recombination for SiGe HBTs", *IEEE transactions on electron devices*, 53 pp.844 (2006).
- [19] S.H. Olsen, et al., "Mobility-limiting mechanisms in single and dual channel strained Si/SiGe MOSFETs", *Materials Science and Engineering B*, 124 pp.107 (2005).
- [20] K. Washio, et al., "Self-aligned selective-epitaxial-growth SiGe HBTs: process, device, and ICs", *Thin Solid Films*, 369 pp.352 (2000).
- [21] M. Dion, et al., "Structural characterization of a UHV/CVD-grown SiGe HBT with graded base", *Thin Solid Films*, 321 pp.167 (1998).
- [22] K. Hirose, et al., "Photoelectron spectroscopy studies of SiO₂/Si interfaces", *Progress in Surface Science*, 82 pp.3 (2007).
- [23] R. People, "Indirect Band gap of coherently strained Ge_xSi_{1-x} bulk alloys on <001> silicon substrates", *Physical Review B*, 32 pp.1405 (1985).
- [24] C. G. Van de Walle and R. M. Martin, "Theoretical Calculations of heterojunction discontinuities in the Si/Ge system", *Physical Review B*, 34 pp.5621(1986).
- [25] R. People and J. C. Bean, "Band alignments of coherently strained Ge_xSi_{1-x} /Si heterostructures on <001> Ge_ySi_{1-y} substrates", *Applied Physics Letters*, 48 pp.538 (1986).
- [26] A. Levitas, "Electrical properties of germanium-silicon alloys", *Physical Review*, 99 pp.1810 (1955).
- [27] M. Glicksman, "Mobility of electrons in germanium-silicon alloys", *Physical Review*, 111 pp.125 (1958).
- [28] J.A. Moriarty, S. Krishnamurthy, "Theory of silicon superlattices : Electronic structure and enhanced mobility", *Journal of Applied Physics*, 54 pp.1892 (1983).
- [29] G.C. Osbourn, "Strained-layer superlattices : A brief review", *IEEE journal of quantum electronics*, 22 pp.1677 (1986).
- [30] D.L. Harnome, et al., "Si/SiGe epitaxial-base transistor-part I : materials, physics, and circuits", *IEEE transactions on electron devices*, 42 pp.455 (1995).
- [31] 陸新起, 矽鍺(SiGe)技術與應用, (2003).
- [32] J.M, et al., "Thin Films-Interdiffusion and Reactions", Wiley, New York pp.433 (1978).
- [33] L.Eckertova, T. Ruzicka, *Diagnostics and Applications of Thin Films*, Ch.1&2, Institute of Physics Publishing, (1993).

- [34] S.M. Gates, et al., "Decomposition of silane on Si(111)-(7×7) and Si(100)-(2×1) surfaces below 500 °C", *The Journal of chemical physics*, 92 pp.3144 (1990).
- [35] B. Cunningham, et al., "Heteroepitaxial growth of Ge on (100) Si by ultrahigh vacuum, chemical vapor deposition", *Applied Physics Letters*, 59 pp.3574 (1991).
- [36] 國家奈米元件實驗室網站 <http://www.ndl.org.tw>
- [37] L.P. Chen, et al., "Epitaxy of Si_{1-x}Ge_x by Ultrahigh-Vacuum Chemical Vapor Deposition Using Si₂H₆ and GeH₄", *Japanese Journal of Applied Physics*, 34 pp.869 (1995).
- [38] L. P. Chen, et al., "Boron incorporation in Si_{1-x}Ge_x films grown by ultrahigh vacuum chemical vapor deposition using Si₂H₆ and GeH₄", *Applied Physics Letters*, 67 pp.3001 (1995).
- [39] L. P. Chen, et al., "Phosphorus doping of Si and Si_{1-x}Ge_x grown by ultrahigh vacuum chemical vapor deposition using Si₂H₆ and GeH₄", *Applied Physics Letters*, 68 pp.1498 (1996).
- [40] G.W. Huang, et al., "Low temperature epitaxy of Si and Si_{1-x}Ge_x by ultrahigh vacuum-chemical molecular epitaxy", *Journal of Applied Physics*, 81 pp.205 (1997).
- [41] K.I. Aketagawa, et al., "Selective Epitaxial Growth of Si and Si_{1-x}Ge_x Films by Ultrahigh-Vacuum Chemical Vapor Deposition Using Si₂H₆ and GeH₄", *Japanese Journal of Applied Physics*, 31 pp.1432 (1992).
- [42] A.Y. Cho, J.R. Arthur, "Molecular beam epitaxy", *Progress in solid state chemistry*, 10 pp.157 (1975).
- [43] J. R. Arthur, "Molecular beam epitaxy", *Surface Science*, 500 pp.189 (2002).
- [44] Z. Ma, et al., "A high-power and high-gain X-band Si/SiGe/Si heterojunction bipolar transistor", *IEEE transactions on microwave theory and techniques*, 50 pp.1101 (2002).
- [45] K. Rim, et al., "Fabrication and mobility characteristics of ultra thin strained-Si directly on insulator (SSDOI) MOSFETs", in *IEDM Tech. Dig.*, San Francisco, CA, pp.3.1.1 (2003).
- [46] C.W. Leitz, et al., "Hole mobility enhancements and alloy scattering-limited mobility in tensile strained Si/SiGe surface channel metal-oxide-semiconductor field-effect transistors", *Journal of Applied Physics*, 92 pp.3745 (1993).
- [47] J. Jung, et al., "Hole mobility and device characteristics of SiGe dual channel structure", *Current Applied Physics*, 9 pp.47 (2009).
- [48] N. Usami, et al., "Suppression of structural imperfection in strained Si by utilizing SiGe bulk substrate", *Applied Physics Letters*, 88 pp.221912 (2006).

- [49] E. Kaspe, et al., "New virtual substrate concept for vertical MOS transistors", *Thin Solid Films*, 336 pp.319 (1998).
- [50] Y. H. Luo, et al., "Compliant effect of low-temperature Si buffer for SiGe growth", *Applied Physics Letters*, 78 pp.454 (2001).
- [51] K. K. Linder, et al., "Reduction of dislocation density in mismatched SiGe/Si using a low-temperature Si buffer layer", *Applied Physics Letters*, 70 pp.3224 (1997).
- [52] B.C. He, et al., "Effect of annealing treatment and nanomechanical properties for multilayer $\text{Si}_{0.8}\text{Ge}_{0.2}$ - Si films", *Microelectronics Reliability*, 50 pp.851 (2010).
- [53] L. Renrong, et al., "Fabrication of High Quality SiGe Virtual Substrates by Combining Misfit Strain and Point Defect Techniques", *Tsinghua Science and Technology* Issn,14 pp.62 (2009).
- [54] P.W. Li, et al., "SiGe pMOSFETs with gate oxide fabricated by microwave electron cyclotron resonance plasma", *IEEE Electr. DeviceL*, 45 pp.402 (1994).
- [55] T. Irisawa, et al., "Ultrahigh room-temperature hole Hall and effective mobility in $\text{Si}_{0.3}\text{Ge}_{0.7}/\text{Ge}/\text{Si}_{0.3}\text{Ge}_{0.7}$ heterostructures", *Applied Physics Letters*, 81 pp.847 (2002).
- [56] Y. Shiraki, and A. Sakai., "Fabrication technology of SiGe hetero-structures and their properties", *Surface Science Reports*, 59 pp.153 (2005).
- [57] S.Zheng, et al., "Interdiffusion at Si/SiGe interface analyzed by high-resolution X-ray diffraction", *Thin Solid Films*, 508 pp.156 (2006)
- [58] S.Zheng., "Investigation of the degradation of smooth SiGe epitaxial layer on Si substrate", *Microelectronics Journal*, 39 pp.53 (2008).
- [59] S.Zheng, et al., "The structural deformations in the Si/SiGe system induced by thermal annealing", *Journal of Materials Science*, 42 pp.5312 (2007).
- [60] M. Spadafora, et al., "Oxidation rate enhancement of SiGe epitaxial films oxidized in dry ambient", *Applied Physics Letters*, 83 pp.3713 (2003).
- [61] J. H. Jang, et al., "Fabrication of compositional graded $\text{Si}_{1-x}\text{Ge}_x$ layers by using thermal oxidation", *Applied Physics Letters*, 94 pp.202104 (2009).
- [62] P. E. Hellberg, et al., "Oxidation of silicon-germanium alloys. I. An experimental study", *Journal of Applied Physics*, 82 pp.5773 (1997).
- [63] D. A. Abdulmalik, et al., "The response of open-volume defects in $\text{Si}_{0.92}\text{Ge}_{0.08}$ to annealing in nitrogen or oxygen ambient", *Journal of Materials Science: Materials in Electronics*, 18 pp.753 (2007).
- [64] Y. S. Lim, et al., "Dry thermal oxidation of a graded SiGe layer", *Applied Physics Letters*, 79 pp.3606 (2001).
- [65] V. A. Coleman, et al., "Mechanical properties of ZnO epitaxial layers grown on a-and c-axis sapphire", *Applied Physics Letters*, 86 pp.203105 (2005).