

國立勤益科技大學

機械工程系
碩士論文

鉻緩衝層厚度在鈦酸鋇鉭薄膜之介電性質
及機械應力之研究

The studies of dielectric loss and mechanical stress of barium
strontium titanate thin films by adding chromium Layer

指導教授：林金雄 博士

共同指導教授：李顯億博士

研究生：黃瓊慧

中華民國一二年六月

國立勤益科技大學
研究所碩士班
論文口試委員會審定書

本校 100 秋精密機械產業 碩士班 黃瓊慧 君
所提論文 鉻緩衝層厚度在鈦酸鋇銀薄膜之介電性質
及機械應力之研究

合於碩士資格水準，業經本委員會評審認可。

口試委員：王天啟 _____
林余雄 _____
李顯倫 _____
指導教授：林余雄 李顯倫
系（所）主管：機械工程系主任 蔡明義

中華民國 一〇二 年 七 月

致 謝

研究所求學原非生涯規畫之一站，洽因時空與工作職場之因緣聚足，而得此進修機會，再次拿起書本踏進校園，順利完成碩士學歷，心中無限感恩。

首先，由衷感謝指導教授林金雄博士與李顯億博士，二位恩師於就學期間費心的指導與鞭策，春風化雨永銘於心。不論在研究方向的建立與寫作技巧上的傳授，使我在這兩年中獲益匪淺。老師們對學問的嚴謹更是學生的典範。在此獻上最深最誠摯的謝意與感激。論文口試時，承蒙王天政教授提供許多寶貴的建議及意見，使本論文益形充實完備，在此謹致上衷心的謝意。

修業期間，感謝所上諸位老師專業知識的傳授，特別是洪瑞斌教授、鄭文達教授、陳正和教授及企管系主任林水順教授，謝謝您們的教導與關懷。同時，感謝所有同學(陳建閔、魏光鴻、王雅立、盧信威、張耿誠、鄭伯其、侯祥鈿、林志華、羅文杰)及實驗室學長(迪喬、俊良、宜融)、學弟妹們(瑜偉、政德、仲倫、慈珉、禹衡、明杰)，有你們一起共度這兩年時光，使得研究生活更加美好充實與豐富。

再者，能於工作、課業上雙方兼顧順利完成，要十分感激公司長官(院長莊昇堂、副執行長林麗寶、管理部廖瑞民、莊雅婷、徐秀媛)及同事們(怡惠、伶芝、秀美)的支持與協助，在此亦同表謝忱。還要感謝佛堂的好友以及學弟妹們，在這兩年求學期間有你們的陪伴，使我的生活更加多彩多姿。另外，特別感謝我的乾爹楊世宗，給予最大的支持與鼓勵，讓我學會成長、更堅強更勇敢的去面對一切困境，謝謝您。

最後，我要感謝我的父母、家人以及我最敬愛的佛菩薩，有你們細心栽培與照顧，讓我專心的學習與完成學業，走過人生中重要的里程碑，所以我的成就也是你們的驕傲。謹以此篇論文獻給我的師長、家人、同學以及所有關愛我的朋友，謝謝你們。

黃瓊慧 謹識

2013 年七月

摘 要

本研究以射頻磁控濺鍍法在 p 型(100)矽基板上沉積鈦酸鋇鎂 ($\text{Ba}_{0.5}\text{Sr}_{0.5}\text{TiO}_3$, BST) 薄膜，其實驗樣品結構為 $\text{Al}/(\text{Ba}_{0.5}\text{Sr}_{0.5})\text{TiO}_3/\text{Cr}/\text{Pt}/\text{Ti}/\text{SiO}_2/\text{Si}$ ，並探討不同厚度之 Cr 緩衝層中 BST 薄膜之特性分析。由於未加 Cr 緩衝層之 BST 薄膜有較大的表面粗糙度、較差之漏電流、介電損失與熱穩定係數。在 BST 薄膜基板結構中加入 $\text{Cr} = 2 \text{ nm}$ 緩衝層其介電損失、漏電流、熱穩定度、揚氏係數、殘留應力比 BST 薄膜未加入 Cr 緩衝層分別改善約 59%, 1 個數量級在 $+62.5 \text{ kV/cm}$ ($+1 \text{ V}$), 35 %, 41 %, 和 28 %。

關鍵字：射頻磁控濺鍍、緩衝層、Cr

Abstract

The effects of the thickness of the Cr seeding layer of $\text{Ba}_{0.5}\text{Sr}_{0.5}\text{TiO}_3$ (BST) thin films grown on Pt/TiN/SiO₂/Si substrates on crystallographic structure, surface morphology, dielectric loss, leakage current, and mechanical stress were investigated. Adding a Cr seeding layer to the interface between BST/Pt structures has a strong influence on BST film properties including dielectric loss, leakage current, the temperature coefficient of capacitance (TCC), and mechanical properties, as well as films grain sizes. BST films with a 2 nm Cr seeding layer showed grains that were denser, smoother, and smaller in size than those in specimens with the Cr seeding layer thickness = 0, 1, and 3 nm. The dielectric loss, leakage current density, thermal stability (TCC), Young's modulus, and residual stress of BST films with a 2 nm Cr seeding layer are improved by about 59%, 1 order of magnitude at +62.5 kV/cm (at +1 V), 35 %, 41 %, and 28 %, respectively, compared with BST films without a Cr seeding layer. The mechanical stress of BST films had a significant effect on both microstructure and dielectric properties. It was observed that the residual stress of the BST/Pt interface was effectively reduced by adding a Cr seeding layer. The correlations of material properties with dielectric loss, leakage current, thermal stability, and residual stress properties suggest that adding a 2 nm Cr seeding layer to BST films is the optimal choice for

metal-insulator-metal (MIM) device applications.

KEYWORDS: chromium (Cr), seeding layer, temperature coefficient of capacitance (TCC), residual stress



目錄

頁次

摘要.....	IV
Abstract.....	V
目錄.....	VIII
圖目錄.....	X
第一章序論.....	12
1-1 前言.....	12
1-2 研究背景與目的.....	16
第二章文獻回顧.....	17
2-1 DRAM 的發展現況.....	17
2-2 記憶元件的介紹.....	18
2-3 製程技術的改善.....	19
2-4 高介電材料之開發.....	23
2-5 薄膜成核成長理論.....	26

2-6 鈦酸鋇鋇薄膜性質.....	28
2-7 電漿處理(plasma treatment)之研究.....	29
2-8 介電材料極化機制.....	30
2-9 鐵電材料相變化機制.....	35
2-10 鈦酸鋇鋇鐵電材料相變化機制.....	35
2-11 薄膜應用於微波通訊中.....	39
第三章實驗方法與步驟.....	40
3-1 MIM 電容結構製作簡介.....	40
3-2 實驗流程.....	41
3-3 化學清洗.....	42
3-4 高溫成長二氧化矽層.....	42
3-5 附著層電極及下電極的成長.....	43
3-6 成長薄膜前的化學清洗.....	43
3-7 成長高介電薄膜.....	43
3-8 熱退火處理.....	44

3-9 成長上電極.....	44
3-10 實驗設備.....	45
3-11 電性量測.....	51
3-11-1 I-V 量測 (Leakage Current V.S. Voltage).....	51
3-11-2 C-V 量測 (Capacitance V.S. Voltage).....	51
第四章實驗結果與討論.....	53
4-1 XRD 分析.....	53
4-2 AFM 分析.....	54
4-3 I-V 特性.....	55
4-4 C-V 特性.....	55
4-5 熱穩定度特性.....	56
4-6 機械應力特性.....	58
4-7 楊氏系數特性.....	59
第五章結論.....	60
參考文獻.....	61

圖目錄

	頁次
圖 2-1 2010~2015 全球 DRAM 市場預估.....	18
圖 2-2 DRAM 記憶體電路.....	18
圖 2-3 深溝式(Trench)電容.....	21
圖 2-4 堆疊式(stack)電容.....	21
圖 2-5 帶有粗糙顆粒面的堆疊式電容.....	21
圖 2-6 薄膜沈積步驟.....	27
圖 2-7 典型的鈣態礦鐵電陶瓷 BaTiO ₃ 晶體結構.....	28
圖 2-8 介電係數與頻率關係圖.....	30
圖 2-9 鈦酸鋇相轉變之結晶構造與溫度關係圖.....	36
圖 2-10 等價置換對鈦酸鋇鋇中相轉變溫度之影響.....	38
圖 2-11 鈦酸鋇鋇鐵電相變溫度介電係數與成份關係圖.....	38
圖 3-1 MIM 電容元件架構.....	40
圖 3-2 實驗流程圖.....	41
圖 3-3 射頻磁控濺鍍系統圖.....	45

圖 3-4 濺鍍機.....	46
圖 3-5 濺鍍機操作體圖(1).....	46
圖 3-6 濺鍍機操作體圖(2).....	46
圖 3-7 場發射式電子顯微鏡.....	47
圖 3-8 X-光繞射儀 (XRD).....	49
圖 3-9 布拉格方程式之幾何關係.....	49
圖 3-10 掃描式探針顯微術示意圖.....	50
圖 3-11 電性量測基板結構示意圖.....	51
圖 3-12 電性量測機台示意圖.....	52
圖 4-1 不同 Cr 緩衝層厚度對 BST/Cr/Pt/TiN/SiO ₂ /Si 結構之 XRD 圖 形.....	53
圖 4-2 不同緩衝層 Cr 厚度對 BST 薄膜表面粗糙度之影響.....	54
圖 4-3 漏電電性對不同Cr厚度變化量測圖形.....	55
圖 4-4 介電常數與介電損失對不同Cr厚度變化量測圖形.....	56
圖 4-5 電容值對溫度及不同Cr厚度變化量測圖形.....	57
圖 4-6 機械應力量測圖形.....	58
圖 4-7 楊氏係數與殘留應力對不同Cr厚度變化量測圖形.....	59

第一章 序論

1-1 前言

近幾年來，隨著科技不斷的進步，人類在生活上的許多事物，皆要依賴電腦的幫助與處理，方可快速且有效率完成。而面對現今電腦中硬體與軟體不斷的蓬勃快速發展，微處理器(CPU)的速度不斷翻新，系統所需要進行的軟體程式與運算也就越來越龐大，諸如 3D 繪圖技術的日新月異、多媒體影音效果的炫目功能、和資訊網路的即時互動等等的因素，使得記憶體之需求量相對迫切增加。其中在電腦的記憶體裏，又屬動態隨機存取記憶體最被大量廣泛的使用。因此動態隨機存取記憶體的發展技術，一直成為半導體工業中，特別受到矚目的焦點。然而在半導體工業不斷的推行下，動態隨機存取記憶體的尺寸日益縮小，擁有較低的操作電壓，消耗功率以及較高集成密度，勢必將更能符合未來輕薄短小的趨勢。也因如此，為了製造容量較大且便宜的記憶體已滿足這種趨勢的需求，新一代的動態隨機存取記憶體研發設計成為目前首要的課題。

理想的記憶體該具備何種特性除了反應速度快之外，尚須具備三項基本條件：高容量擴充性、可無限次讀寫以及非揮發性(Non-Volatile)。快閃記憶體(Flash Memory)不但融合三項優異特性，加上低廉的製造成本，受到講求「隨開即用」的消費性電子產品所青睞，且應用到諸如數位相機(DC)、MP3 隨身聽、筆記型電腦、USB flash 隨身碟、智慧型 IC 卡等裝置，於市場上快速普及，更掀起一波隨身儲存新革命。

因此，隨著快閃記憶體的需求與日俱增，提升快閃記憶體的集積度、

操作速度、可靠性等等性能就成為熱門的研究主題。

而動態隨機存取記憶體(Dynamic Random Access Memory 簡稱 DRAM)的概念，則是始於 1968 年由 IBM 工程師 Dennard 首先提出，隨後由吳泗堯博士 (S. Y. Wu) 於 1970 年代中期，發表了第一個強介電場效記憶元件他用 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜做出 MFST(Metal Ferroelectric Semiconductor Transistor) 之記憶元件。由 Intel 公司於 1970 年率先將其量產問世。其記憶元(memory cell)的電路。記憶元是由一個電晶體及一個電容器所組成(1M-1C)，電容器是用來儲存資料(0 或 1)，而電晶體則是做為資料讀寫時的開關。至此之後，鐵電材料應用於記憶體的研究開始蓬勃且快速的發展[1]，而在最近幾年半導體工業受到重視發展下，更將記憶體的發展帶至顛峰。在半導體工業不斷推衍下，動態隨機存取記憶體的尺寸日益縮小，集積密度高及擁有較低的操作電壓、消耗功率已經是目前朝向元件更輕薄短小所需必然趨勢，而當電容器的可用面積縮小，勢必要提高單位面積之電容量，以維持適當的儲存電荷。從 1970 年 DRAM 發展至今，其密度幾乎是以每三年一個新世代，即每一個世代以四倍的速率往更高的密度推進。隨著積體電路製作技術的革新，記憶元件的越作越小，當 DRAM 的集積度到達 1 G bit 時，每個記憶元可使用的面積只有 0.25 μm 。同時為達到低功率消耗的要求，其操作電壓將由 4M bit 時的 5 V 下降至 1 G bit 時之 1.5 V 左右。面積的縮小與操作電壓下降，將使記憶元中的儲存電荷下降，為了正確判讀所儲存的資料，必須提高記憶元中的電容值，以保持適當的儲存電荷。

由記憶體電容的計算公式 $C = \epsilon_r A/d$ 中，我們可以發現欲增加電容值有三個方法，分別是：

- (1) 降低介電層厚度 (d)
- (2) 增加電容器表面積 (A)
- (3) 增加介電層的介電場數 ()

在降低介電層厚度方面，文獻上研究發現，當厚度低於一定值時，會產生電子的穿隧效應 (Tunneling effect)，因而產生極大的漏電流，甚至造成介電崩潰現象 (dielectric breakdown) 的產生。在增加電容器面積方面，目前最常使用的方法為深溝 (Trench) 及堆疊 (Stacked) 兩種方式。深溝式的記憶體電容，必須在極小的電容面積上，挖出溝槽，製程上有一定的難度；而堆疊則易使結構表面出現不平坦化的現象。在降低介電層厚度方面，早期的記憶元電容中，介電層大多是使用二氧化矽 (SiO_2) 材料，但文獻上的研究發現，當介電層厚度低於 5 nm 以下時，會因電子的穿隧效應，產生很大的漏電流，甚至造成介電崩潰現象的產生。而在增加電容面積方面，目前最常使用的方法大致可分為深溝 (trench) 式和堆疊 (stack) 式兩種所備製出的記憶元電容。然而，深溝式的記憶元電容，必須在極小的面積上，向下挖出極深的溝槽，相對提高了製程上的困難度；另一方面，使用堆疊式的記憶元電容，為求達到足夠大的電容，堆疊勢必將愈做愈高，使得結構平面出現不平坦化的現象，甚至在曝光時造成不準確。所以降低介電層厚度與增加電容表面積這兩種方法雖可提高電容值，但相對也造成了製程步驟上的複雜性及提高不少成本，因此目前的研究方向大多是以介電層材料

的研發為主。

在 DRAM 記憶體中，其介電層材料選擇須符合以下要求：1.溫度穩定性高，2.低漏電流，3.高的介電崩潰強度，4.高信賴度，即具有良好之依時介電崩潰(TDDB)特性等。目前，被研究用於 DRAM 的材料大略可分為：1.高介電常數材料，如 Ta_2O_5 [2-4]， TiO_2 [5-6]， Y_2O_3 ， ZrO_2 ；2.鐵電材料，如鈦酸鋯酸鉛(PZT)[7-9]，鈦酸鋇鋇(BST)系列[10-13]；3.弛緩性鐵電材料，如 PMN，鈮酸鋰($LiNbO_3$)[14-15]...等三大類。目前，最為廣泛研究者，屬鐵電系列材料。鐵電性(ferroelectric)是指材料在一定溫度範圍內，具有自發極化的現象，在外加電場作用下，自發極化能隨外加電場取向。此類材料的共通點在於它們的晶格結構皆為鈣鈦礦(perovskite)結構，即為 ABO_3 結構，A 為兩價金屬離子，B 為四價金屬離子。在塊材(bulk)時，其所測得的介電常數可達數千以上(SiO_2 為 3.9)，但製成薄膜後即降至數百甚至更低。

同時，薄膜的備製方式、電極所使用的材料、薄膜厚度及操作溫度，均對其介電常數及漏電流大小有很大的影響。在弛緩性(relaxor)材料方面，與一般鐵電材料不同之處為：1.在居禮溫度 T_c 附近，介電常數會隨著頻率有很大的變化；2.常介電到強介電之相變化溫度很寬而平緩，自發極化在 T_c 附近緩慢變化為 0[16]。

另外由於鍍膜技術日漸成熟及對材料特性的瞭解，鐵電性薄膜也愈來愈受到重視，更因為薄膜元件有體積小、重量輕、可與半導體製程整合等優點使其應用的範圍也愈來愈廣泛，可應用之範圍包括動態隨機存取記憶

體 (dynamic random access memory, DRAM) 、 非 揮 發 性 記 憶 體 (nonvolatile memories)、熱敏電阻(thermally sensitive resistor)、紅外線感測器(Infrared sensors)等等。

鈦酸鋇鋇($Ba_xSr_{1-x}TiO_3$, BST)為一鐵電材料，由於其同時具有好的壓電、介電以及焦電性質，不管在學術研究或者是商業應用上皆相當廣泛在薄膜製程方面其薄膜製程相容性相當好，因此近年來被應用在半導體的 DRAM(Dynamic random access memory)製程中。鈦酸鋇鋇薄膜除了有極高的介電係數以外，其介電常數會隨著外加電壓改變而改變，此介電常數隨電場的改變率，稱之為可調能力(tunability)，近幾年的研究顯示鈦酸鋇鋇薄膜具有良好的可調性可被應用在可調的微波元件上，例如濾波器(filter)、共振器(resonator)、相移器(phase shifter)、天線等。

1-2 研究背景與目的

當前製程技術即將推進至奈米階(Gbit 級的 DRAMs)，勢必將以高介電薄膜作為閘極氧化層及 MIM 電容的介電層。本研究主要是對 $Ba_{0.5}Sr_{0.5}TiO_3$ 的多層與不同處理的 MIM 結構加以研究，獲致高品質的高介電薄膜，因此本研究即以最佳的薄膜製程技術為基礎，以研製 BST 為介電層的 MIM 電容元件。本研究採用具有加溫與 re-sputtering 功能的射頻磁控濺鍍系統及低壓高溫成長系統來成長高介電薄膜，並研究探討 BST 薄膜的特性。

第二章 文獻回顧

2-1 DRAM 的發展現況

2002 年 DRAM 的主流架構漸漸從 SDRAM 移轉到 DDR，市場規模達 154.8 億美元，較 2001 年成長 33%，雖然整體市場規模成長三成以上，但是 2002 年獲利的廠商只有三星和南亞。預估 2003 年在供給有效控制以及需求緩慢回溫的大環境下，市場規模可望達 172 億美元，較 2002 年成長 11%。在 12 吋晶圓廠的部分，目前有茂德與力晶二座 12 吋晶圓廠於 2002 年下半年陸續量產。茂德是國內最快興建 12 吋晶圓廠的業者，2002 年底時產能為每月 9 千片，2003 年底將產能提升到 1.35 萬片。茂德的 0.11 微米製程在 2002 年第三季就導入，但量產時間預估落在 2004 年的第一季。力晶 2002 年底時產能為每月 6 千片，2003 年中產能可達 1.2 萬片，目前 0.13 微米製程試投的良率，可達 80% 左右，因此五月起將每月投片 4,500 片，預估第三季會全數轉為 0.13 微米製程。2003 年底 12 吋總產能，將提升到 1.5 萬片以上。力晶的 0.11 微米製程在 2002 年第四季導入，量產時間預估落在 2004 年的第三季。南亞則與英飛凌合資成立華亞的 12 吋晶圓廠，2002 年第二季動土興建，預計 2004 年上半年可開始進入量產。南亞的 0.11 微米製程在 2003 年第一季導入，量產時間預估落在 2003 年的第四季。由 DRAM 的產業動態[17]可知。全球 DRAM 產品市場發展現況與預測，從 DRAM 產品容量來看，2011 上半年 1 Gb 的出貨量仍高於 2 Gb，2011 下半年 2Gb 的出貨量才超過 1 Gb，預估 2011 年~2013

年的主流容量為 2Gb。預估 2014 年~2015 年的主流容量將倍增為 4Gb。

	2010年	2011年	2012年	2013年	2014年	2015年	CAGR 2010-2015
4Mb	10	10	8	0	0	0	-100.0%
16Mb	274	238	221	201	172	140	-12.6%
64Mb	489	416	347	292	238	195	-16.8%
128Mb	512	432	358	308	281	262	-12.6%
256Mb	1,033	845	816	672	608	544	-12.0%
512Mb	1,691	1,239	951	793	728	664	-17.1%
1Gb	11,567	6,535	4,827	4,123	3,968	3,808	-19.9%
2Gb	1,264	7,225	12,536	16,475	12,130	7,182	41.5%
4Gb	0	8	365	3,374	12,762	22,042	1197.2%
8Gb	0	0	0	0.6	41	1,493	-
16Gb	0	0	0	0	0	2.3	-
Total	16,841	16,947	20,428	26,238	30,928	36,331	16.6%
Growth	20.3%	0.6%	20.5%	28.4%	17.9%	17.5%	

資料來源：Gartner；工研院 IEK(2011/09)

圖 2-1 2010 ~ 2015 全球 DRAM 市場預估(百萬顆)

2-2 記憶元件的介紹

DRAM 的概念，是在 1968 年由 IBM 工程師 Dennard 首先提出[1]，其記憶元(memory cell)的電路如圖 2-2 所示。記憶元是由一個電晶體(M1)和一個電容器(C1)所組成，電容器是用來儲存資料(0 或 1)，而電晶體則是做為資料讀寫時的開關。

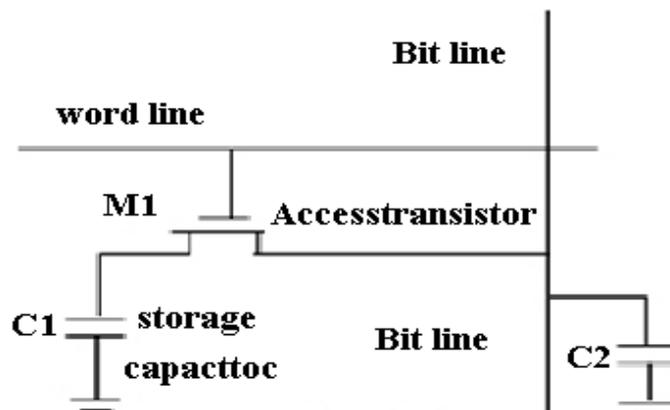


圖 2-2 DRAM 記憶元電路

2-3 製程技術的改善

130 nm 以後的 Giga bit DRAM 世代同時追求製程的簡單化與高性能化。進入 Giga bit DRAM 世代細微的特徵不再像以往只要求微影技術的提昇做更細的線路而已，而是更兼顧到在微細化的同時如何確保元件的特性，因此要導入一些電容及配線的新材料。其中新材料有：

- (1) High-k 閘極絕緣膜
- (2) 金屬閘極電極
- (3) 電容蓄積(SN)電極
- (4) High-k 電容絕緣膜
- (5) plate(PL)電極
- (6) Low-k 層間絕緣膜
- (7) 低阻抗的配線材料

由於十年來 DRAM 設計參數變化趨勢，隨著積體電路製作技術的革新，記憶元件愈做愈小可知：集積度 (Bit Size, Mb)約呈現每三年增加四倍的狀況，由 1987 年之 16 M bit 發展至目前的 4 G bit，當集積度增加的同時，晶片大小 (ChipSize)亦約呈現 1.5 倍的增大，而重寫次數 (Refresh Times,1/ms)則會呈現增加兩倍，設計線寬 (Design Rule, μm)則約呈 0.7 倍及記憶胞面積 (Cell Size, μm^2)約以 0.4 倍倍率減小，工作電壓 (Power Supply , V)以 0.8 倍地降低。

當邁入廿一世紀 4 Gb-DRAM 的問世，其線寬約僅有 0.13 μm 、記憶胞

面積更縮小至 $0.1\mu\text{m}^2$ 、重寫次數每秒 1024 次、工作電壓僅需 1.2 V 且晶片大小可增大至約 650mm^2 。為提高集積度並維持單位面積之電容值，由簡單的電容計算公式 $C = A/d$ ，可知增大記憶元電容的方式可利用下列幾種方式來解決：

(1) 增加電容的面積(A)：

為增加電容面積，則需改善其設計結構。為了保有一定程度的電荷以利信號處理，所以當 DRAM 的集積度大於 256 k bit 時，便發展出深溝 (trench) 和堆疊 (stack) 式結構的記憶元電容，目的是在有限的平面區域裡增加電容的有效面積。深溝式電容儲存電荷的方式是將電荷儲存於深溝電容的內部，如圖 2-3 所示。由圖中可看出利用深溝電容的方式所製作的電容，一方面可藉由向下挖溝的方式來增加電容的面積，使記憶元中的電容維持一個足夠大的電容值。另一方面又可以減少記憶元的使用面積，提高 DRAM 的集積度。在記憶元中以堆疊的方式製作電容，其著眼點也是在增加記憶元中的電容的面積，和減少記憶元所需使用的面積，如圖 2-4 所示。為了保有足夠大的電容，記憶元電容除了採用冠狀堆疊的方式，並且在堆疊體上刻意造成一些粗糙的顆粒面，以增大電容的面積，如圖 2-5 所示。

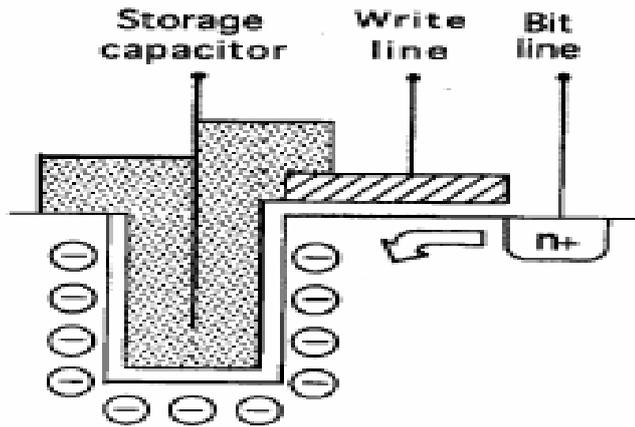


圖 2-3 深溝式(Trench)電容[18]



圖 2-4 堆疊式(stack)電容[19]

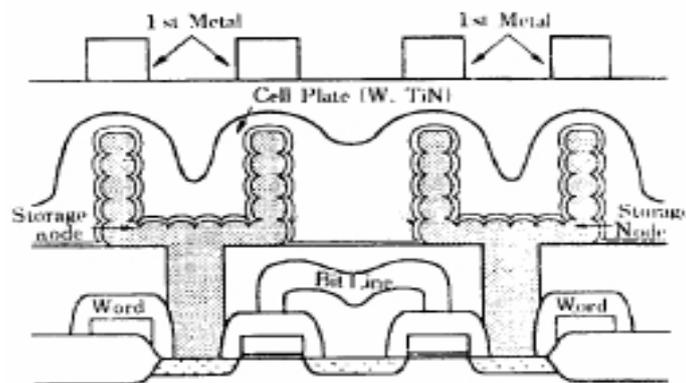


圖 2-5 帶有粗糙顆粒面的堆疊式電容[20]

但由於複雜的結構卻往往會造成製程上難度的提高，因而降低了其良率。如果採用堆疊的方式，以達到高集積度的介電層，則其堆疊高度將相當的高，其結構平面會因而發生高低落差的現象，甚至於在曝光之時也會造成不準確，因而導致增加製程上的困難度。

(2) 降低介電層的厚度(d)：

由於介電薄膜之厚度並不能無限制的降低，因為介電層中的電場在一定值以上時，電子將會自電容電極的費米能階 (fermi energy level) 產生穿隧效應 (tunneling effect) 而進入介電質中的傳導帶，另外又由於介電質的缺陷 (defect) 捕捉 (trap) 的電子也會產生電離 (field-ionization) 現象而進入傳導帶，這些現象均會導致產生大量的漏電流，以致於會更進一步的造成介電質崩潰 (dielectric breakdown)。

(3) 增加介電質的介電常數(ϵ)：

選用高介電常數材料，將可有效的增加電容的平面區域儲存的電荷數。如要將其使用在 Gbit DRAM 上，可望不須作成非常複雜之立體結構電容，而只要將其製成表面平坦的薄膜即可，這種製程將可簡化並達到平坦化 (planar) 的效果，且在曝光技術上也可解決解像度的問題，可提高良率且符合經濟效益。

大致上來說 DRAM 的集積度高於 1M bit 以上，記憶元中電容的部份

都是採用堆疊式電容或深溝式電容，不論使用何種方式，其目的都是希望在愈來愈小的面積上，利用增加電容面積的方式，來備製所需的電容。

以 SiO_2 ($\epsilon = 3.9$) 為設計材料而言，製作 256 Mb-DRAM 即已需要形狀極為複雜之多重圓筒型且厚度已近電子穿隧臨界值，這對於製程上之良率來說已構成極大之威脅，更不用說對 Gb 級以上 DRAM 之設計。

2-4 高介電材料之開發

以傳統之介電材料 SiO_2 、 Si_3N_4 (介電常數分別為 3.9、7.5) 以堆疊或深溝方式所備製的電容，若以高介電膜取代，就不需要採立體的方式來增加電容的面積，只要形成一個表面極平坦的結構，就可得到相同的電容量，使製程簡化並達到平坦化的目地。所以，採用高介電常數的介電膜，來備製 DRAM 記憶元的電容器，便可解決曝光技術上解像度的問題，並且由於平坦結構較簡單，故可以提高良率，符合經濟效益。130 nm 以後的世代將會進入 High-k (高介電薄膜)。特別是 MISFETs 及 DRAM 的電容上將應用到 Ta_2O_5 、BST 等高介電薄膜，此外還有 Ru、Pt 等新的金屬電極材料也將應用到 DRAM 的製程中。本研究將針對 Giga bit DRAM 世代即將導入的 High-k 電容絕緣膜的新材料做進一步的探討。

目前被研究於 DRAM 的材料可分為[21-25]：

1. 高介電常數材料，如 Ta_2O_5 ， TiO_2 ， Y_2O_3 ， ZrO_2 。
2. 鐵電材料，如鈦酸鋯酸鉛(PZT)，鈦酸鋇鋇(BST) 系列。

3. 弛緩性鐵電材料，如 PMN，鈮酸鋰(LiNbO₃)等三大類。

Ta₂O₅($\epsilon = 22\sim 26$)，Y₂O₃($\epsilon = 10\sim 15$)等材料由於受限於其低崩潰電場，且電荷儲存密度不大，無法達到 G bit 的需求。而可達 G bit 級的介電材料又有無揮發性元素多元氧化物順電性鐵電材料者，其中以 BST 研究最多，其介電常數在較高溫的製程溫度及膜厚之狀態下可達到 500 以上。另一類為具有最高之介電常數的強介電材料，如 PZT，但因為元素會揮發，在成份製程上不易控制，且容易造成設備上之污染，也會使漏電流時常偏高而不符元件之需求。

Giga bit DRAM 世代所選用的電容絕緣膜材料並非只是在氧化膜的換算膜厚上做改變，而是(高度及結構本身)也做了大幅度改變。用堆疊式(stack)，配線時的接觸深度變淺，所以如何降低蓄積電極的高度成為重要課題，因此正在檢討如何導入 Ta₂O₅($k: 30\sim 40$)或 BST($k: 200\sim 300$)等高介電常數的材料。

High-k 電容候選的新材料，預測 0.15 μm 以後將會採用 Ta₂O₅ 膜。0.15 μm 以後則是 STO/BST 登場的時候[26]，要抑制蓄積電極的高度正檢討 MIM(金屬-絕緣層-金屬)Cylinder 的構造。用 $t_{\text{eq}}=0.30\text{nm}$ 的 BST 膜在 Giga bit DRAM 世代的蓄積電極的高度仍可保持在 0.3 μm 左右的立體結構，因此 Ta₂O₅/STO/BST 膜的形成必須使用覆蓋性優良的 CVD 方法來製作。用這些新材料製作電極的方法同時也要開發(CMP 法或蝕刻法)，並且也要注意這些新材料中的金屬離子對生產線所產生的污染問題。還有一

點要注意的是一些具有還原性的氣體，例如氫氣會造成 Ta₂O₅/STO/BST 電容特性的劣化的問題。製程上除了要開發 BST 膜的 CVD 技術及蝕刻技術之外與其他製程的整合也是一項重大問題。由細微化的角度來看 High-k 絕緣膜其需求整理如下：

- (1) 降低漏電流，為了確保 DRAM 資料保持的時間。
- (2) 介電層實際膜厚的薄膜化，為了要實現 3D 立體結構所以需要在蓄積電極側面形成均勻的薄膜。
- (3) PL 電極的覆蓋性。

另外對介電材料除了要確保其介電常數外也要求介電常數愈高愈好，均勻的薄膜對於細微化時特別需要。STO/BST High-k 電容絕緣膜有下列幾點要注意：

- (1) 結晶性的控制。立體結構的側壁上也必須要有均勻的結晶(Grain size 均勻)。
- (2) 組成上的控制。立體構造的側壁和電極界面上的化學組成(Ba+Sr)/Ti，Ba/Sr 等都要均勻。
- (3) 氧氣的缺陷補償。氧氣中的鍛燒是必要的，但是如何防止電極/阻絕層金屬被氧化，因此在製程的控制上，必須完成對溫度、氣體環境等參數的最佳化工作。

此外，高介電絕緣層須具備以下幾點要求：

- (1) 高介電係數，

- (2) 溫度穩定性，
- (3) 低漏電流，
- (4) 高介電破壞強度，
- (5) 高信賴性(包括老化(aging))，
- (6) 高依時介電崩潰(Time-dependent dielectric breakdown)。

一般強介電材料在居里溫度附近，其介電常數對溫度的變化很大。所以，必須選擇材料的居里溫度在 DRAM 正常操作的溫度(0~70 周圍溫度，0~100 晶片溫度)之外。如此，則電容對溫度之變化係數將不致過大。漏電流牽涉到在儲存電容器上的電荷，在一段時間後會消失的問題。在 DRAM 的設計上，隔一定時間須將電容器上的電荷恢復(Refresh)，因此，漏電流須低於此恢復的間隔時間。由於現今之電容器厚度越來越薄以增加電容量;但直接的影響，除了漏電流以外，就是介電破壞的問題。一般為了可靠起見，操作時之電場強度需低於破壞強度的 1/3。因此，需提高介電質介電的破壞強度，才能使用足夠薄的厚度，以達到足夠大的儲存電荷密度[27]。

2-5 薄膜成核成長理論

進行濺鍍製程時，受氣體離子撞擊而濺射出的靶材原子，將移至基板表面沉積，圖 2-6 所示為薄膜沈積的機構圖，其發生步驟順序如下[45]:

- (1) 成核：通過邊界層到達基板表面的氣體粒子，在表面失去部分的動能

之後，物理性地被基板表面所吸附。

- (2) 晶粒成長：當薄膜的沈積進入個別晶粒成長後，可以直接將從氣相中傳來的粒子，經由碰撞之後，而成為晶粒的一部份。
- (3) 晶粒聚結：當原本個別獨立的晶粒，因晶粒的成長而增加半徑，使得晶粒大到開始與附近的其他晶粒相接觸。
- (4) 縫道填補：晶粒與晶粒之間所形成的縫道，經所吸附的原不斷的沈積下而將此縫道填滿。
- (5) 沈積膜成長：當更大的晶粒成長且聚結在一起時，將在基板上形成孔洞即縫道(channel)。此階段薄膜結構將由非連續之島狀結構形成網狀結構，後續藉由孔洞及縫道填補，而生成連續且完整的薄膜。

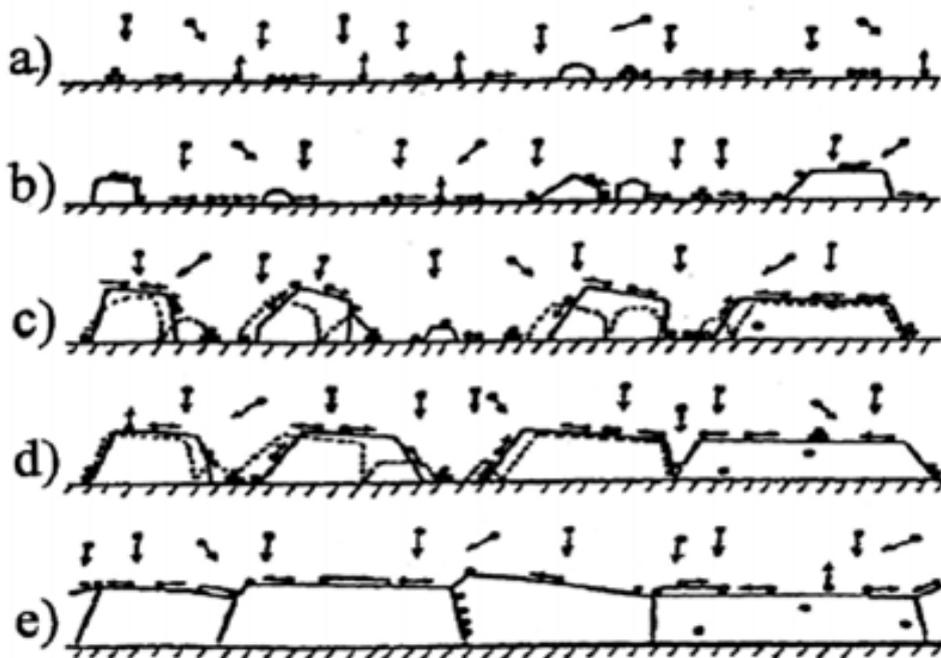


圖 2-6 薄膜沈積步驟，(a)成核、(b)晶粒成長、(c)晶粒聚結、(d)縫道填補、
(e)薄膜的沈積[28]

2-6 鈦酸鋇薄膜性質

鈦酸鋇是屬於鐵電性材料的一種，鐵電性材料具有自發極化現象 (Spontaneous Polarization)，大部分的鐵電材料是以 ABO_3 的鈣鈦礦 (Perovskite) 結構出現，在正方晶的鈣鈦礦中，A離子佔據立方晶的八個角落，B離子佔據晶體體心的位置，氧離子則佔據六個面心的位置。鐵電材料的自發電偶極矩來源可以典型的鈣鈦礦結構鐵電材料 $BaTiO_3$ 來說明。在室溫的鐵電立長晶 (tetragonal) 結構中 (圖2-7(B)與圖2-7(C))，Ti與Ba陽離子相對於O陰離子產生偏移，造成單位體積的自發電偶極密度約 26 C/cm^2 [29]。此偏移不同於立方晶的對稱結構，且具有六個對稱的穩定偏移方向，分別沿正與負的x, y, z軸方向極化。材料中域壁 (domain wall) 將不同極化方向的電域 (domain) 區隔，當施以外加場時電域中極化方向轉至六個對稱方向中順著外加電場的穩定位置上，因此移開外加電場後仍能保持在受電場極化的方向。

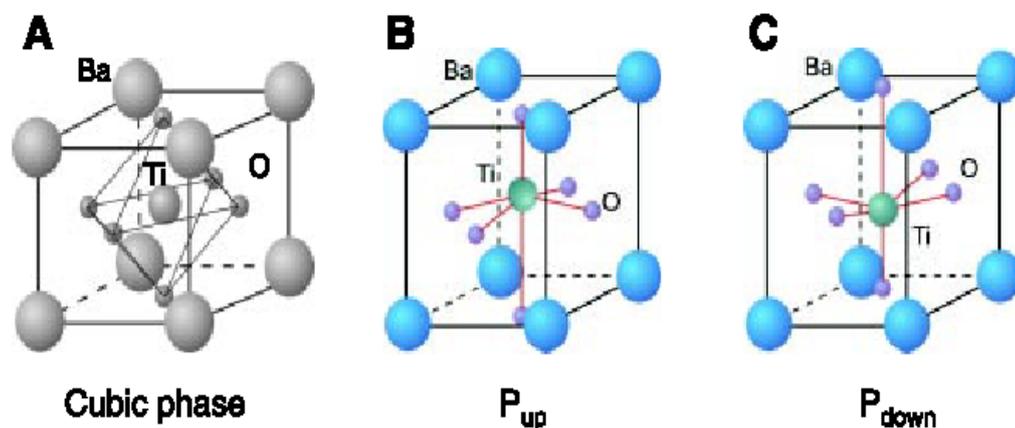


圖2-7典型的鈣鈦礦鐵電陶瓷 $BaTiO_3$ 晶體結構。(A)為 $BaTiO_3$ 之高溫順電立方晶相；(B)(C)分別為 $BaTiO_3$ 極化方向向上與向下之室溫鐵電長方晶相 [30]。

2-7 電漿處理(plasma treatment)之研究

本研究之濺鍍設備具有 Re-sputtering 功能，擬以 in-situ 方式對高介電薄膜進行事後電漿處理的研究，將備製完的試片，施以表面電漿處理，即是利用電漿中氧離子來修補薄膜結構內的氧缺位、減少缺陷密度，以期降低漏電流，進而改善薄膜的品質與良好的電特性，因此本研究主要採用 O₂-plasma 和 N₂O plasma 對高介電薄膜進行氧離子植入，以期獲致最佳之電漿處理製程。使用兩段式 O₂ plasma 處理高介電薄膜，希望經由兩階段處理來改善介電薄膜與金屬電極介面處所產生的漏電流效應。首先先成長一層薄的 BST 薄膜，接著對薄膜作 O₂ plasma 處理，目的是意改善 BST 薄膜與 Pt 下電極的介面，以抑制正偏壓的電流，後來再繼續成長主要的 BST 薄膜層，成長完後也是對薄膜作 O₂ plasma 處理，目的是改善 BST 薄膜與 A₁ 上電極的介面，以抑制負偏壓的電流。本研究利用不同的氧電漿處理時間，來探討對元件特性的影響。熱退火(annealing)之研究將備製完的試片，施以熱退火處理，藉由回火步驟使薄膜再結晶，以修補薄膜在成長中，所造成的氧空缺及缺陷，進而改善薄膜的品質與良好的電特性。退火機制是利用修補薄膜結構內的氧缺位、降低缺陷密度及碳、氫雜質，以提高薄膜結晶性並降低漏電流。此外，介面氧化層的形成，與擴散到表面的矽原子及絕緣層中殘留金屬之氧化，也有助於改善漏電流現象，及提高介電係數。研究中，退火方法將擬用不同方式的熱處理，並分別測試不同溫度、時間下熱處理後，對元件的結構及電性之影響為何。

2-8 介電材料極化機制

介電材料一般來講意指絕緣體，阻斷電路中的電流和可以儲存電荷。而當介電材料置於電場其中時，介電材料內的電荷移位可以使得電極板上多了感應電荷(induced charge) Q_1 ，如圖2-8，在電極板上的總電荷量為 (Q_0+Q_1) 因此可以得到加入介電材料後的總電容為：

$$C = Q/V$$

典型的介電係數和頻率函數的關係由下圖2 8表示。移動電荷造成頻率和施加電壓和電荷位移之間形成一個函數關係。

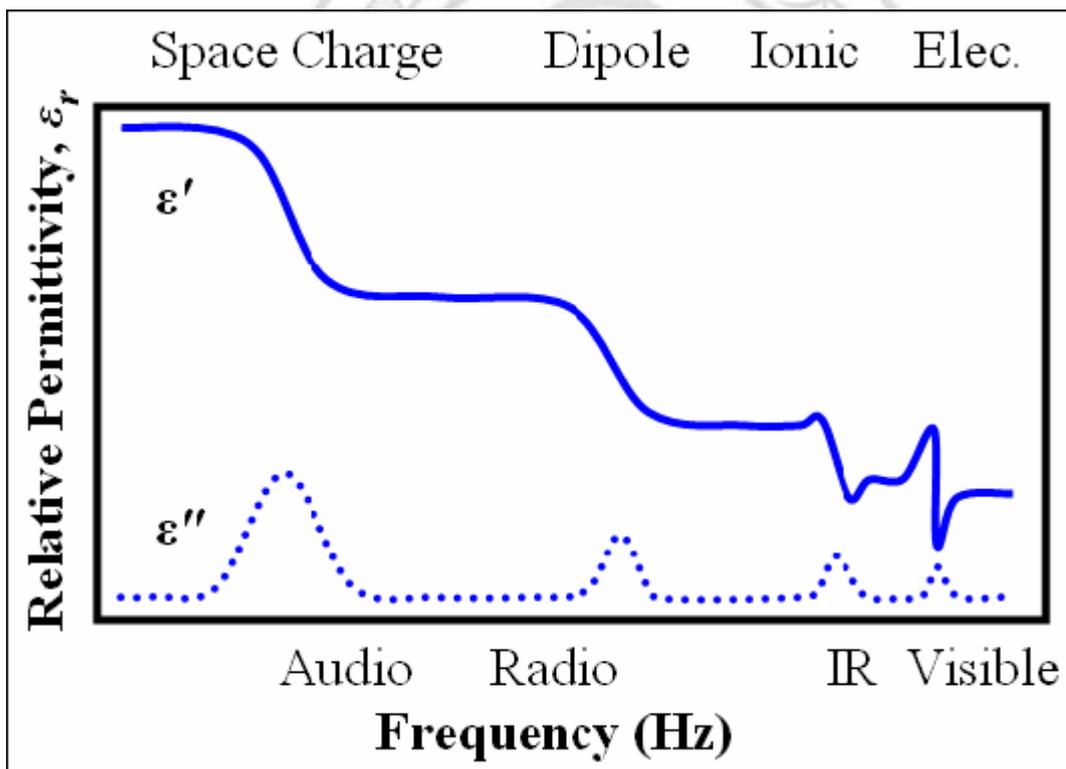


圖2-8介電係數與頻率關係圖[31]。

材料的介電係數跟物理現象中的介電材料極化有關，發生極化的物理機制主要有四種，有空間電荷極化(Space charge polarization)、電偶極極化(Dipole polarization)、離子極化(Ionic polarization)及原子極化(Atomic

polarization) ，以下將對四個極化機制做簡單的介紹：

在大多數的情況下，介質都是等向性(isotropic)，電極化強度 P 因而與電場 E 平行而且成正比，因此 P 可以寫為：

$$P = \epsilon_0 \epsilon E$$

其中， ϵ 稱為電極化率(electric susceptibility)。

由於電位移 D 定義為

$$\begin{aligned} D &= \epsilon_0 E + P = \epsilon_0 E + \epsilon_0 \epsilon E \\ &= (1 + \epsilon) \epsilon_0 E = \epsilon_r \epsilon_0 E = \epsilon E \end{aligned}$$

其中， ϵ 是電容率。定義相對電容率 ϵ_r 為電容率與電常數的比例：

$$\epsilon_r = \epsilon / \epsilon_0 = (1 + \epsilon) / \epsilon_0$$

ϵ_0 是真空中介電常數， ϵ_r 稱為相對介電常數。同時，介電常數 ϵ 實際上並不是常數，在變動的電場中是電場頻率的函數。其產生的極化機制會有如下所述之四種(如圖 2-7)：

(a) 電子極化 (electron polarization)

所有的材料皆會發生原子極化，其發生的原因為在電場的施加下，原子核和電子雲發生相對位移產生極化。電子極化產生的偶極矩極小，由於少數的電荷圍繞在原子旁，並且原子在電子雲間位移較小，因此介電係數的增加較小，電子係環繞著原子核而運動，在外加電場的作用下，將使電子運動的中心點(也就是原來原子核的中心點)，由原子核的中心處產生了偏移，而使電子與帶正電的原子核間，有了一相對位移而變成為電偶極，

這種電子變位所產生的極化稱為電子極化(electronic polarization)。產生極化頻率為 $10^{14} \sim 10^{16}$ Hz [32, 33]。

(b) 離子極化或原子極化 (ion polarization or atomic polarization)

若不同離子構成分子時，其電子位於靠近結合力強的離子一方，在外加電場下正負離子之平衡位置產生相對位移，而造成極化現象，稱為離子極化(ionic polarization)。代表性離子結晶均呈離子極化特性，但離子極化小於電子極化。離子極化與電子極化幾乎都不受溫度變化的影響，而僅與外加之電場強度有關。

(c) 雙極極化或排向極化 (dipole polarization or orientation polarization)

有些材料在無外加電場下，也有永久電偶極存在，這類分子稱為極性分子(polar molecule)；當沒有外加電場時，這些電偶極任意排列，因而沒有極化現象(淨極化為零)。在外加電場下，電偶極即隨電場方向排列而使材料產生極化，稱為排向極化(orientational polarization)。排向極化只有在極性物質發生。當溫度有所變化時，將使其排列呈現紊亂的現象，與溫度的關連甚大。

(d) 空間電荷極化 (space charges polarization)

在均質介質體只有上述三種極化機制，但在非均質介質體中，因電荷粒子受電場作用力，在介質體內移動後受其非均質性之影響，滯留於特定空間或界面，產生空間電荷而呈極化效應，稱為空間電荷極化(space charge polarization)或界面極化(interfacial polarization)。此類極化雖

也是電荷移動產生的移位極化之一種，但移動距離為巨觀的，與上述之移位極化不同[34]。

如果現在所加的電場是一個交流電場，則這四種不同極化機制反應的速率都不同。電子極化的反應最快，一直可以跟隨交流電場的頻率到約 10^{16} 赫。離子極化的反應速率次之，可以達到原子的振動頻率約 10^{13} 赫。永久電偶極的排向極化再次之，約在 10^{13} 至 10^{12} 赫的範圍。空間電荷極化速率最慢，在 10^{-3} 到 10^3 赫的範圍[35]。

(4) 介電損失：

構成絕緣體的分子如帶有雙極力矩時，受交流電場的作用，分子即隨電場的變化方向而旋轉。此分子之旋轉受熱的干擾而混亂，且由於分子間的摩擦而生成電阻，產生能量的損失。容量為 C 之電容器上加交流電壓 V 時，電壓與電容器電流 I_0 相位差為 90° 。但實際的電容器並非完全的絕緣體，因而產生漏電流及吸收電流，即與電壓同相的電流 I_r ，因而消耗功率。介質損失 W 可表示為[36, 37]：

$$\begin{aligned} W &= V I \cos \theta = V I_r \\ &= V I_0 \tan \delta = V C \tan \delta \quad (\delta = 2 \pi f) \end{aligned}$$

絕緣體之介電常數為 ϵ_r ，電容器之幾何容量(電容器之絕緣體為真空時)為 C_0 時， $C = \epsilon_r C_0$ ，上式可表示成

$$W = V_0 C_0 \epsilon_r \tan \delta$$

因此，電壓、頻率及電容器形狀相同時，介質損失由介電質之 ϵ_r 與 $\tan \delta$

之積決定。 $\tan \delta$ 稱為介質正切(dielectric loss tangent)， δ 稱為介質損失角(dielectric loss angle)， $\epsilon_r \tan \delta$ 稱為介質損失因素(dielectric loss factor)[38]。

$\tan \delta$ 可表示如下：

$$\tan \delta = 1/(\omega R C)$$

Loss Tangent 是衡量電容元件特性的重要參數之一，Loss Tangent 不僅和 High-K 材料的電容量有關(即介電常數)，另外導電率也和漏電流有關，因此可用來判斷高介電材料的整體表現。

(5) 漏電流：

介電薄膜之所以會有各式各樣的 I-V 特性就是受到不一樣的漏電流傳導機制所影響。其機制主要可分為兩種：

(a) 能障限制(barrier limited)：漏電流機制發生在導體和介電質介面之間，

一旦載子注入絕緣體後，要通過絕緣體就沒有困難了。蕭特基發射

(Schottky emission) 或熱發射(thermion emission)和穿隧效應

(tunneling) 都屬於此機制。(b) 本體限制(bulk limited)：當載子由介面

進入介電質後，其傳導受到絕緣體內部之影響。空間電荷限制傳導

(spacecharge limited conduction)、離子傳導、本質傳導

(intrinsic conduction) 和普爾-夫倫克爾放射(Poole-Frenkel

emission) 都屬於此機制。

2-9 鐵電材料相變化機制

鐵電性分類的標準是來自於相變化(phase transition)的存在，相變化以居里溫度(Curie temperature)來作為分界，在居里溫度以下是以低對稱鐵電相存在，而高於居里溫度則為非極化順電相。溫度由高溫遞減到居里溫度，介電係數越來越大，符合居里定律。下式為居里定律(Curie Weiss)，其中C為居里常數， T_0 為居里溫度鐵電材料在靠近居里溫度或在居里溫度時，材料的不規則性可在介電，彈性，光，和熱性質上被觀察。相變化可以是一階相變化或二階相變化，這些相變分類是建構在一階的不連續或二階呈現緩慢的變化。此模型是在1954年由Devonshir所提出，此現象的理論是來自於鐵電系統的熱力學函數，這些計算的結果顯示出在居里溫度以下極化有一最小值($P \neq 0$)，滿足自發極化的現象。計算結果得到二階變化最小值緩慢地崩潰到 $P = 0$ 。一階鐵電變化和極化、潛熱的不連續改變有關。大部份的鈣鈦礦鐵電性均表現出一階變化的行式[39-41]。

2-10 鈦酸鋇鈦鐵電材料相變化機制

鈦酸鋇中用一些等價離子以取代鋇(Ba^{+2})或鈦(Ti^{+4})離子，進而改變其物理特性，即是目前最被廣泛討論的材料系統之一。我們圖2-8鈦酸鋇相轉變之結晶構造與溫度關係圖[42, 43]。可以將鈦酸鋇看成是鈦酸鋇($SrTiO_3$)與鈦酸鋇($BaTiO_3$)混合而成的固溶體(solid solution)，在實際的應用上，我們也多用此方式來配製濺鍍所使用的靶材。由於鋇離子的半徑為1.44

Å，較鋇離子1.61 Å 來的小，因此添加鋇離子會造成晶格上延C 軸的長度變短，當添加更多的鋇離子時，晶體結構會由原先的正方晶體(tetragonal)逐漸轉成擬立方晶結構(pseudo cubic)，如圖2-9所示[44]。鈦酸鋇的居里溫度為105K，由於鋇置換鋇離子可以使居里溫度以線性的方式下降，每置換一莫耳鈦酸鋇居里溫度約下降3.7 °。因此添加鋇離子會導致鐵電相的鈦酸鋇轉變成順電相，當Sr 離子的添加量越多，居里溫度越往下降，同時亦會使得介電常數在操作溫度時可得到最大之值，文獻上Smolenskii 提出鈦酸鋇鋇靶材在添加不同的鋇離子成份時的介電係數與居里溫度關係圖[46]。

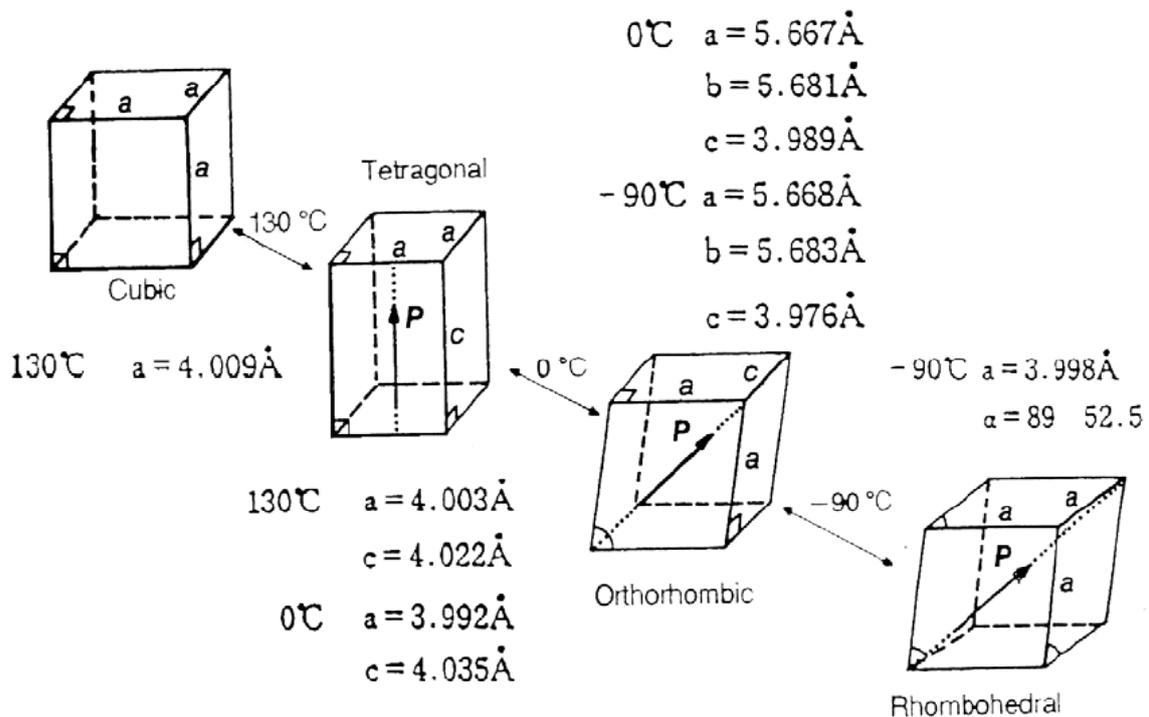


圖 2-9 鈦酸鋇相轉變之結晶構造與溫度關係圖。[47]

在130 °C 以上，鈦酸鋇是屬於立方結構，其晶格常數約為4 Å，此時結構具對稱性，沒有自發性極化；從130°C到0 °C，則為正方晶(Tetragonal)結構，

由於鈦離子和氧離子的反相位移，鈦離子會稍微偏離體心位置，沿 $\langle 100 \rangle$ 方向產生自發性極化；到了 0°C 以下，又轉變為單斜晶(Monoclinic)或斜方晶(Orthorhombic)；最後溫度低於 -90°C 時，則呈現菱形晶(Rhombohedral)結構。鈦酸鋇於不同溫度的相轉移使原本位於八面體中心的 Ti^{4+} 離子有分別朝 $\langle 100 \rangle$ 向， $\langle 110 \rangle$ 方向及 $\langle 111 \rangle$ 方向偏移的可能，於是乎每一個單位晶胞產生一電偶極(Electric dipole)[48-50]。圖2-10顯示了正方晶結構於 $\langle 100 \rangle$ 方向極化時，鈦及鋇離子相對於氧離子的相對位移量。這些電偶極能因相互作用而沿相同的方向排列，使得材料中某一區域有電偶矩(Dipole moment)，此現象稱為自發極化(Spontaneous polarization)。自發極化所產生的極矩由於產生各極矩的晶域(Domain)方向不一而相互抵銷，因此試片之總和淨極矩為零。鈦酸鋇在 130°C 以下，有自發性極化產生，具有可逆之典型電場-極化遲滯曲線，固為鐵電材料。而劃分此一界線的溫度 130°C 也就稱為鈦酸鋇的居禮溫度(Curie temperature, T_c)。在 T_c 以下的兩個相變化結構也都具有鐵電性。再晶體結構發生變化時，介電率特別大。這個現象可以從圖2-11中介電常數隨溫度的變化明顯觀察到，尤其在 T_c 附近介電常數可高達10,000以上，就是這個特性，使得鈦酸鋇成為高介電率電容器中不可或缺的材料。

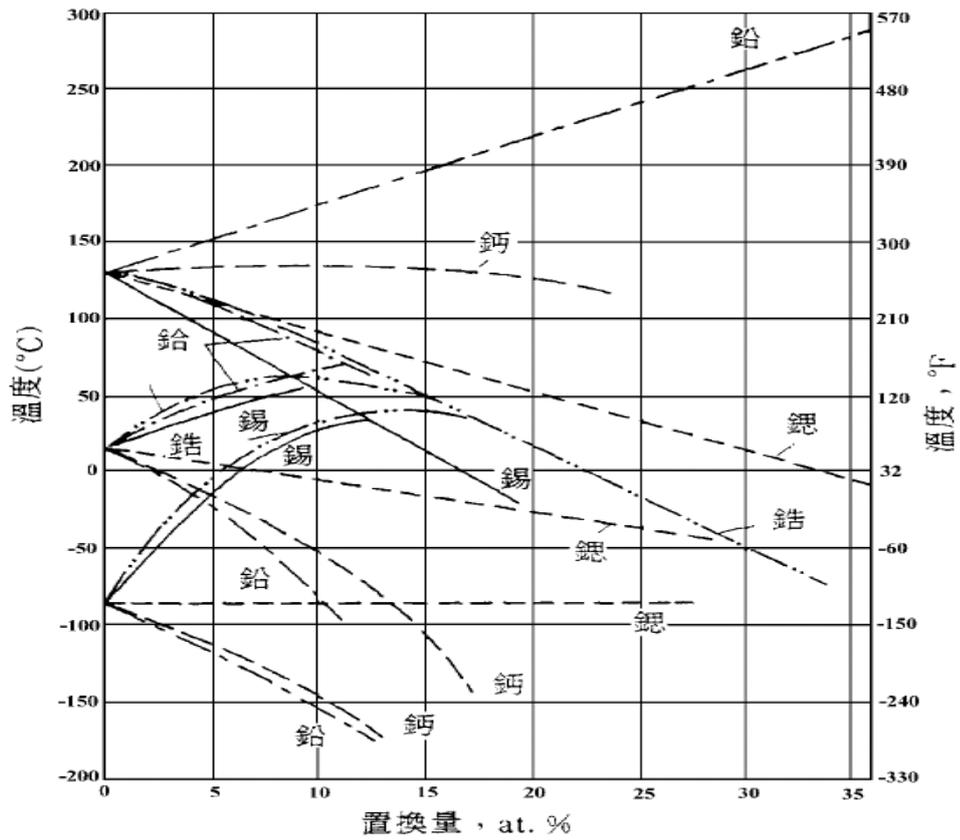


圖 2-10 等價置換對鈦酸鋇鋇中相轉變溫度之影響[51]。

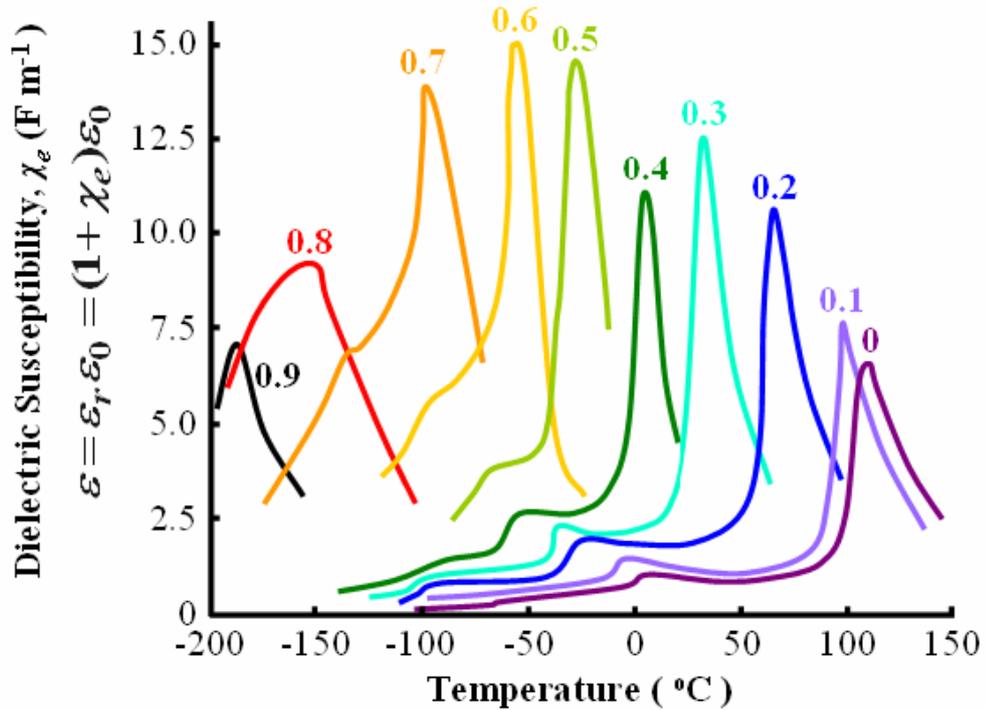


圖 2-11 鈦酸鋇鋇鐵電相變溫度介電係數與成份關係圖[52]。

2-11 薄膜應用於微波通訊中

近年來研究發現，BST 薄膜因為其介電常數在施加電場時會改變，利用此特性故使 BST 薄膜也可應用在可調的微波元件上，例如相移器(phase shifter)、濾波器(filter)、共振器(resonator)、天線等。除此之外 BST 薄膜更具有質量輕、低功率、製作容易等優點，為了達到好的電路特性，必須成長高可調性(high tunability)且低損耗(low loss)的薄膜，這些特性一樣也會受製程、基板及摻雜物的影響[53]。BST 的特性也會因為 Ba 及 Sr 的比例成分不同而導致不同特性，研究中發現當 Ba 含量為 0.6 時有最大的可調能力[54]，不過其損耗也較大，但當加入微量的摻雜物如 Mg 或 Mn，便可降低其損耗[55]，但是其可調能力也因此變小。JEON[56]研究添加鎳(Ni)對 BST 薄膜的可調性及介電性質之影響。研究發現添加 Ni 對可調性及介電常數有很強的影響，當 Ni 的添加量為 3 mol% 時，BST 薄膜的顯微結構較為密集、平坦，而且晶粒也比添加 6 mol % 及 12 mol % 的晶粒小，添加量為 3 mol % 時，其介電常數約 980、介電損失為 0.3%，其可調性也達到最大值約 39 %。

第三章 實驗步驟

本研究是自製 BST 靶材，首先將碳酸鋇、碳酸鋇及二氧化鈦按比例不同均勻混合，經由球磨、過篩、烘烤、燒結等步驟，所製成之靶材經由 RF 三槍磁控式濺鍍機來成長 BST 薄膜，然而最後在 700°C 的熱處理 1 小時並接以 O₂ 電漿處理 3 分鐘，完成 BST 薄膜製作。

3-1 MIM 電容結構製作簡介

本研究的 MIM 電容元件架構為 Al/(Ba_{0.5}Sr_{0.5})TiO₃/Cr/Pt/Ti/SiO₂/Si。主要的高介電薄膜 (Ba_{0.5}Sr_{0.5})TiO₃ 及鉻緩衝層 (Cr) 是以射頻磁控濺鍍系統 (Radio-Frequency Magnetron Sputtering) 備製完成。所有的製程介紹、量測原理及相關實驗細節與儀器將在本章逐一介紹。

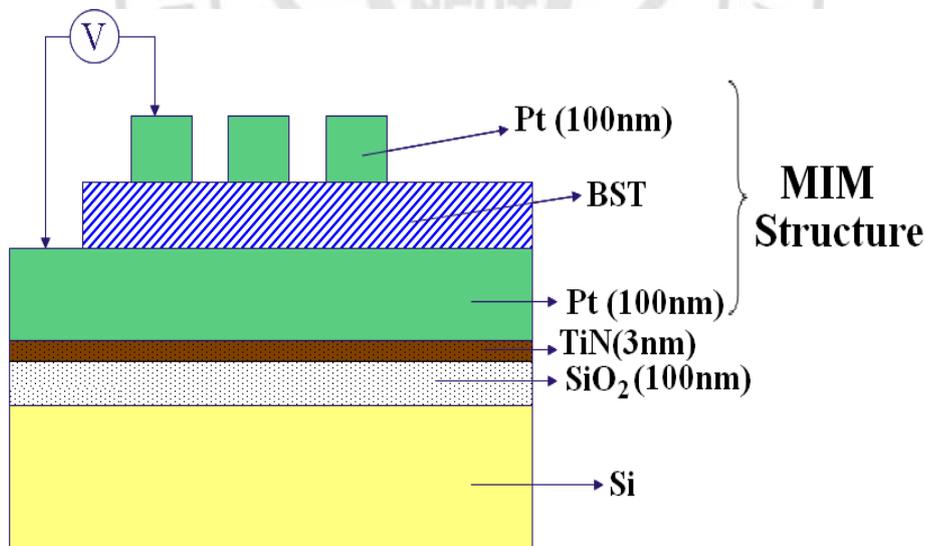


圖3-1MIM 電容元件架構

3-2 實驗流程

本研究的實驗流程為，首先將試片清洗，接著沉積參數設定、射頻功率、直流偏壓，再做沉積薄膜，然後做薄膜特性分析、SEM X-ray，最後再做電性測量。

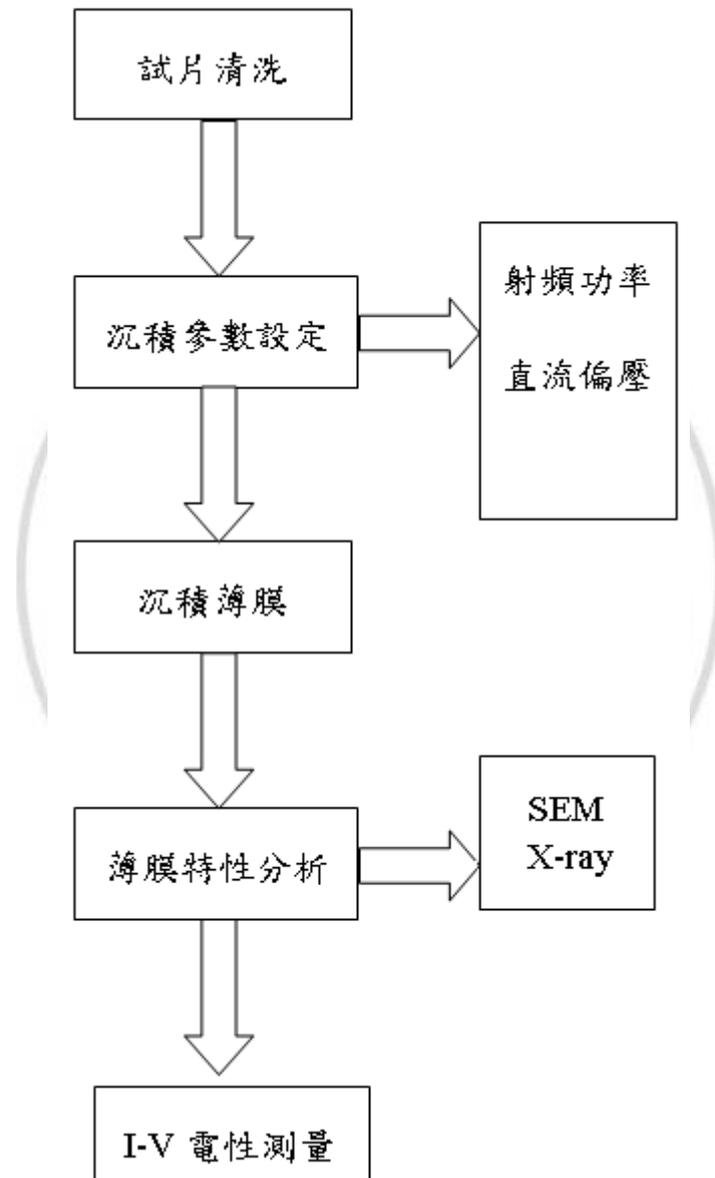


圖3-2 實驗流程圖

3-3 RCA 化學清洗

由於缺乏相關的製程儀器及一貫無塵的實驗環境，因此本文中的阻擋層電極及下電極的製作均是委託交大半導體中心代為製作。將四吋的矽晶圓經由標準的RCA 程序清潔，以清除晶圓表面的微粒(Particle)、金屬離子(Metal Ions)、油污(Oil Contamination)、有機物(Organic)及原生氧化層(Native oxide)等，讓晶圓的表面達到非常高的潔淨度，以使得實驗製程所完成的元件能有較佳的電氣特性。

試片清洗步驟為：

- (1)將試片至於丙酮中，超音波振盪 10 分鐘，去除有機物。
- (2)將試片至於異丙醇中，超音波振盪 10 分鐘，去除油脂。
- (3)以去離子水沖洗 10 分鐘。
- (4) $\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2$ 為 3:1 容易煮沸 6 分鐘，去除鹼金屬離子。
- (5)去離子水沖洗 10 分鐘。
- (6) $\text{HF} : \text{H}_2\text{O}$ 為 10:1 的溶液浸泡 20 秒。
- (7)去離子水沖洗 10 分鐘。
- (8)用氮氣吹乾，迅速送入反應腔。
- (9)設定實驗參數來進行濺鍍前處理。

3-4 高溫成長二氧化矽層

以乾式熱氧化法(Dry Oxidation)成長一層厚度為100 nm 的 SiO_2 ，以避免Pt 和Si 產生金屬矽化物(silicide)如 Pt_xSi 等。

3-5 附著層電極及下電極的成長

為了增加 Pt 和 SiO₂ 之間的附著力以避免 Pt 產生剝落(peeling)的現象，在 Pt 和 SiO₂ 之間，以濺鍍的方式成長一層厚度為 100 nm 的附著層 Ti。再以電子束蒸鍍(Dual E-Gun Evaporation)的技術成長厚度為 100 nm 的下電極 Pt。

3-6 成長薄膜前的化學清洗

利用鑽石筆，將成長完下電極的四吋晶圓(此時的基板架構為 Pt/Ti/SiO₂/Si)切割為面積不超過 1cm² 的小面積試片(Sample)。由於切割過程中難免會污染晶片表面，因此在成長高介電薄膜前需再作一次簡易的化學清洗。將 Sample 依序浸泡在異丙醇(2-Propanol)、丙酮(Acetone)以及乙醇溶液中以超音波震盪清洗晶片表面各五分鐘，去除晶片表面的雜質(Impurity)，接著再將 Sample 浸泡在純水中(電阻值約為 16 Ω-cm)以超音波震盪晶片表面五分鐘，去除殘留在晶片表面的化學藥水。最後再使用氮氣槍(N₂)將晶片吹乾。

3-7 成長高介電薄膜

本研究中的高介電薄膜以本實驗室自備的射頻(RF)磁控濺鍍系統備製完成，如圖 3-2 所示。本系統具有 re-sputtering 的功能，置放晶片的 holder 亦可切換為 RF 電極，不僅可從事薄膜成長前清潔基板的工作，同時亦可

在薄膜成長後或成長期間，以 in-situ 方式從事 N_2O 、 O_2 或 N_2 -plasma treatment 的功能，可將氧離子植入介電薄膜中，以減少氧空缺的密度，改善介電薄膜的品質。將清洗及吹乾後的晶片，以真空耐熱膠帶黏著於濺鍍系統腔室中 (Chamber) 的銅基板上，一個實驗流程 (Run) 約可製作 6~8 片 Samples，等距地貼在圓形銅基板的外圍，以便得到均勻性 (Uniformity) 較佳的薄膜。將晶片置放在具備加溫設備的基板上後，接著待 Chamber 中的真空度到達 8×10^{-6} torr 後，便通入濺鍍氣體 (Ar 、 O_2) 開始進行濺鍍。

3-8 熱退火處理

利用高溫爐管退火系統 (Furnace Annealing) 使成長好的薄膜能再結晶，並在石英爐管 (直徑為 1 英吋) 中通入氧氣 (O_2)，以修補濺鍍時所造成的缺陷 (Defects)。將濺鍍完成的 Sample 或需要進行熱退火的晶片放在一石英舟 (Boat) 內，利用石英勾棒將 Boat 拖至爐管系統的正中心，便開始計時，退火的溫度訂為 600~700 不等。

3-9 成長上電極

本研究中，成長上電極鋁 (Aluminum) 的方式使用熱蒸鍍法 (Thermal Evaporation)，上電極圖案 (Pattern) 以蒸鍍罩 (Shadow Metal Mask) 形成，製作出直徑大小為 $250 \mu m$ 的圓形圖案。完成 MIM (Metal-Insulator- Metal) 電容結構後，便可做後續的 I-V 與 C-V 的電性量測。

3-10 實驗設備

(1) 射頻磁控濺鍍系統

圖 3-3 所示為本實驗所使用之射頻磁控濺鍍系統(RF magnetron sputter system)，此濺鍍系統(如圖 3-4，3-5，3-6)包含真空腔(vacuum chamber)、機械幫浦(mechanical pump)、渦輪分子幫浦(turbo pump),並以對流式(convection)真空計及熱陰極式(hot cathode)離子真空計來測量真空度，儀器裡配有流量計(mass flow controller)來控制氣體流量。基板上方裝有鹵素燈管直接加熱，以接觸式熱電偶測量基板實際溫度，基板為可旋轉式底座可調整轉速。濺鍍鎗為 2 吋靶材，靶材以套環固定於濺鍍鎗磁盤上，內裝有強力磁鐵，濺鍍時須使用冷卻水，以免濺鍍時產生的高溫始濺鍍鎗損壞。

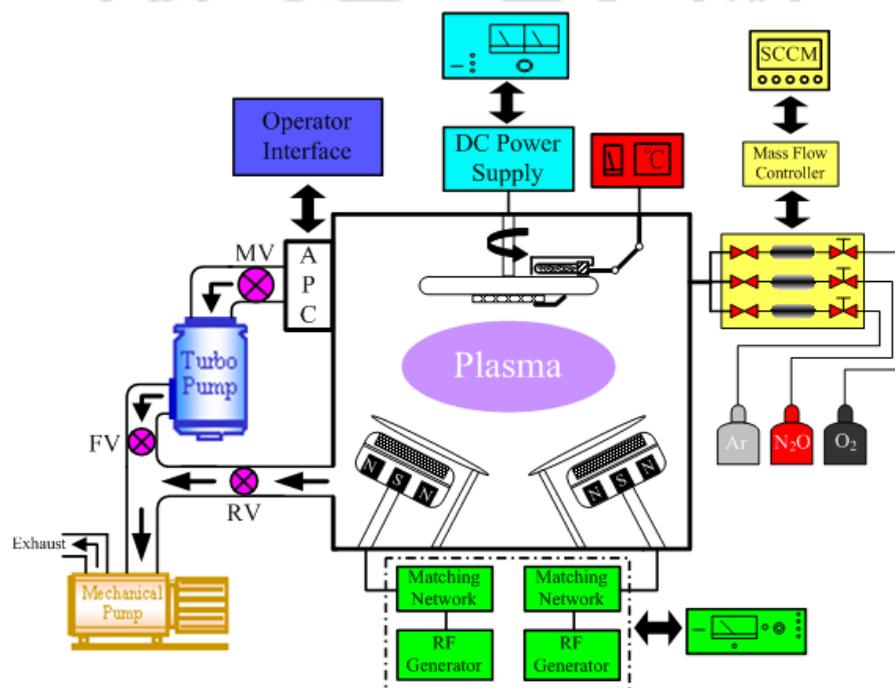


圖 3-3 射頻磁控濺鍍系統圖



圖 3-4 濺鍍機



圖 3-5 濺鍍機操作體圖(1)



圖 3-6 濺鍍機操作體圖(2)

(2)掃描式電子顯微鏡(SEM)

本實驗所使用之 SEM 為 Hitachi Field-Emission S-4800 如圖 3-7 所示，其目的主要觀察是片表面形貌與利用截面觀察分層結構。掃描式電子顯微鏡工作原理為電子槍外加 0.5~30KV 的加速電壓使電子槍產生電子束，經過電磁透鏡所組成的電子光學系統，使電子束焦距成一點後照射在試片上。電子束與試片表面作用後會產生各種訊號，如穿透電子、二次電子、歐傑電子等。一般掃描式電子顯微鏡所偵測到的訊號為二次電子與背向散射電子，因此只有在距離試片表面 50~500Å 範圍內的二次電子才有機會逃出表面而被偵測到，所以二次電子的數量會受到材料表面起伏的影響，這些電子經偵測後會放大訊號來處理，然後經由螢幕影像輸出，即可觀察到試片表面的形貌。



圖 3-7 場發射式電子顯微鏡

(3) X 光繞射儀(XRD)

實驗利用 X 光繞射分析儀(X-ray diffractometer)來鑑定薄膜結晶相結構，本實驗採用多晶薄膜低掠角 X 光繞射儀(Rigaku SCD/ MAX2200 HR (XRD)型繞射儀，如圖 3-8 所示。操作條件如下：

- 1 X-ray source：銅靶(CuK α ， $\lambda=1.54056\text{\AA}$)
- 2 操作電壓 30kv，操作電流 20mA
- 3 入射角度：3°
- 4 掃瞄角度(2 θ)：20°~40°
- 5 掃描速度：4°/min

一般 XRD 所使用之 X 光源可分兩種:(1)帶有高能量之電子撞擊靶材，能量產生轉移所放出來的 X 光;(2)電子加速所產生的光子。前者所產生的 X 光又可分成特徵 X 光及連續 X 光。特徵 X 光來源為高能量電子撞擊靶材，入射電子將靶材原子的內層軌域激發，外層軌域電子填入內層，能量以 X 光的形式釋放出，不同軌域所釋放出的能量皆不同，故稱特徵 X 光。連續 X 光為電子進入靶材後，電子速度快速降低所釋放出的能量，因不涉及能階轉換,X 光為連續光譜。X 光繞射儀其原理如圖 3-9 所示，是使用特定波長 X 光照射試片，試片某些晶體的結晶面與入射光夾 θ 角(Bragg's angle)，此角度符合布拉格繞射條件， $2d \sin \theta = n\lambda$ 時，入射光會被此結晶面所繞射。當試片沿著中心旋轉時，X 光的強度會以 2θ 的函數記錄起來，將 2θ 值帶入布拉格繞射公式及可求出晶面的間距，最後藉由國際繞射資

料中心 (International Center for Diffraction Data, 簡稱 ICDD), 亦即原
 粉末繞射標準聯合委員會 (Joint Committee on Powder Diffraction Standard,
 JCPDS) 所出版的粉末繞射資料檔 (Powder Diffraction File, PDF) 比對做晶相
 鑑定。



圖 3-8 X-光繞射儀 (XRD)

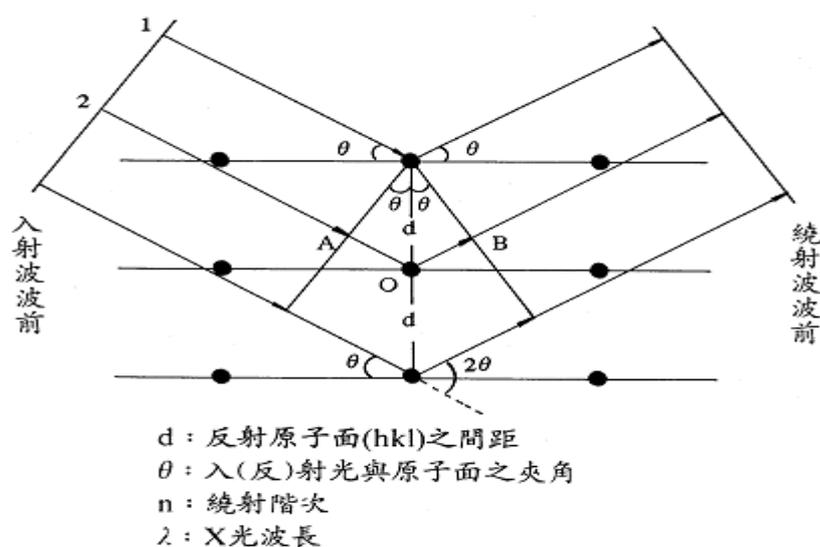


圖 3-9 布拉格方程式之幾何關係

(4)原子力顯微鏡AFM

原子力顯微鏡(Atomic Force Microscope，簡稱AFM)，是屬於掃描探針顯微鏡方法之一，如圖3-10所示。並藉由量測一微小的探針尖端與樣品表面間的交互作用力來量測表面特性，因此探針扮演著關鍵性的角色。依據探針與材料表面之間的交互作用力場為何而分為接觸式與非接觸式。此交互作用力場可為短距離原子之間的穿隧電流或凡得瓦力，較長距離的靜電力、電容與磁力，或者是接觸時的LJ 斥力、摩擦力及化學官能基之極微的電子交互作用力[23]。利用XY 壓電平台，使極細微的探針在樣品表面來回偵測掃描，並由回饋電路控制探針在Z 方向上的位置，將其交互作用力轉換為電子影像，如此便可得到樣品的表面結構(Topography)及相關參數[34]。

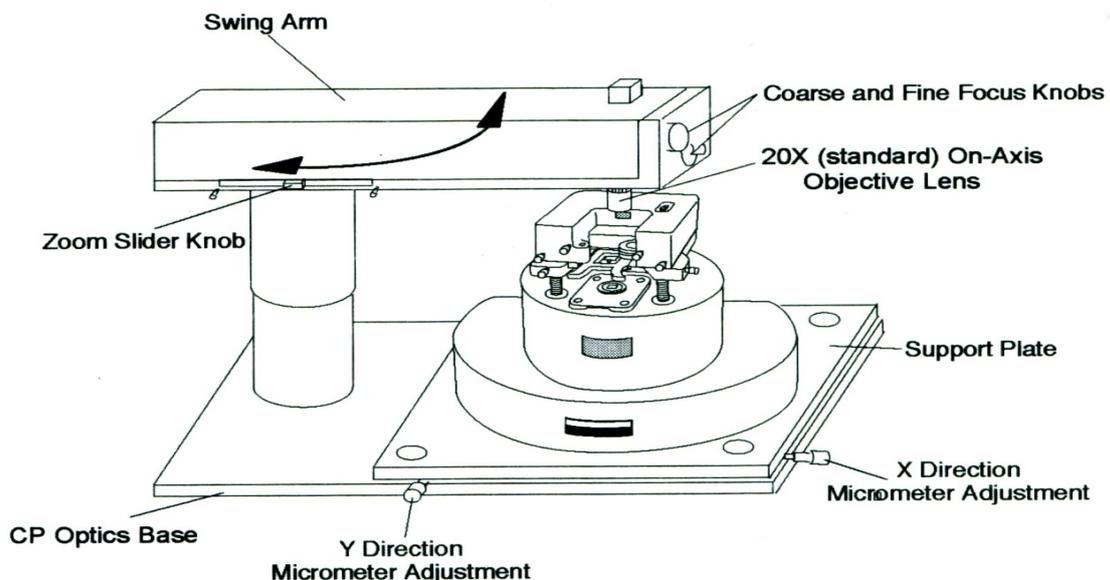


圖3-10掃描式探針顯微術示意圖

3-11 電性量測

3-11-1 I-V 量測(Leakage Current V.S. Voltage)

本研究中的I-V 量測主要是針對高介電薄膜的漏電流，如圖3-11所示。因為對一完美的金屬-絕緣體-金屬(Metal-Insulator-Metal)MIM 電容而言，當兩側加上偏壓時是不會有電流通過的，所以將I-V 儀器所量測到的電流稱之為漏電流。除此之外還可以加固定偏壓，紀錄發生崩潰所需的時間(Time to Breakdown)，來推算薄膜在正常操作偏壓下的崩潰時間，即依時介電崩潰特性(Time Dependent Dielectric Breakdown)的分析。

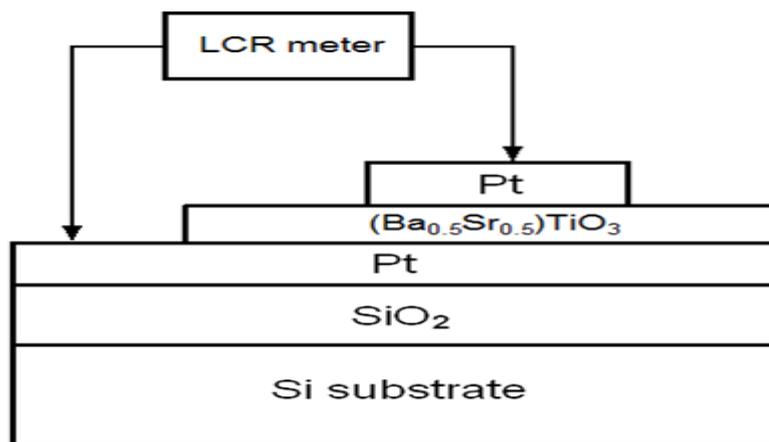


圖3-11電性量測基板結構示意圖

3-11-2 C-V 量測(Capacitance V.S. Voltage)

對於半導體C-V 量測而言，如圖3-12所示。簡單的說，便是在MOS 的 Gate 和Substrate 之間或電容元件的上下電極加上一電壓(Voltage)而去觀察電容結構中所儲存的電容量(Capacitance)之變化情形。除此之外，C-V 量測還可用來分析半導體元件內的參雜濃度曲線(Doping Profile Curve)、氧

化層與半導體介面之間的缺陷密度(Interfacial Trap Density) 、VFB(Flat band Voltage) 、Vth(Threshold Voltage)、介電損失(Dielectric Loss)等參數。



圖 3-12 電性量測機台示意圖



第四章結果與討論

本實驗以射頻磁控濺鍍法(Radio Frequency Magnetron Sputtering, RF-Sputtering)分別在室溫及低溫下成長100nm的 $(\text{Ba}_{0.5}\text{Sr}_{0.5})\text{TiO}_3$ 高介電薄膜於Cr/Pt/Ti/SiO₂/Si的基板上。並探討白金(Pt)基板上加入不同Cr緩衝層厚度Cr = 1~5 nm後，BST薄膜機械應力、微結構及介電特性之特性探討。

4-1 XRD 分析

鈦酸鋇鋇薄膜於濺鍍功率100W 控制濺鍍時間用來達到不同緩衝層Cr厚度之BST薄膜所得X-ray繞射圖並顯示於圖4-1。藉由JCPDS (Joint Committee on Powder Diffraction Standards)標準卡可知BST薄膜相圖呈現(100)、(110)、(200)、(210)以及(211)的多晶結構。觀察鈦酸鋇鋇(110)的峰值約為32.14°。由圖4-1 X-ray 繞射圖可知本實驗中所製作的BST薄膜皆為cubic 相結晶。

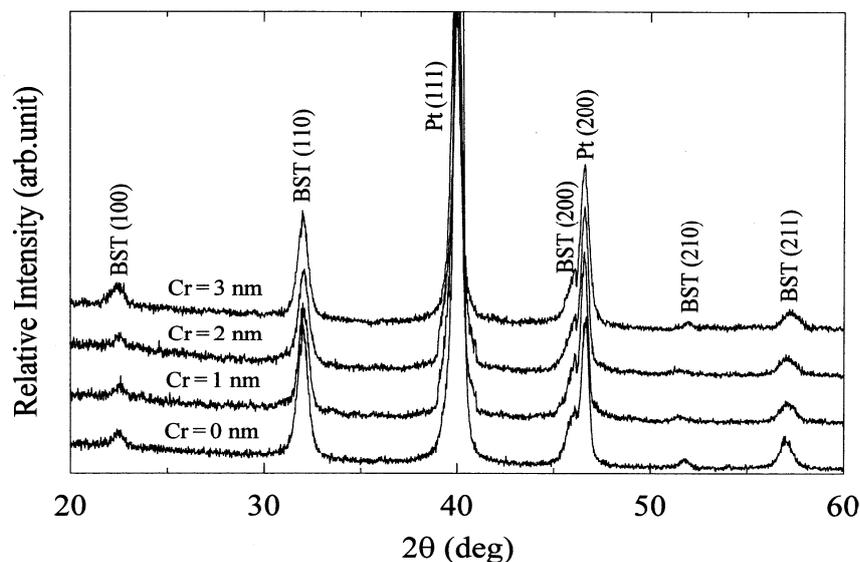


圖4-1 不同Cr 緩衝層厚度對BST/Cr/Pt/TiN/SiO₂/Si 結構之XRD圖形

4-2 AFM 分析

接著利用電子顯微鏡觀察薄膜在不同鋇濃度鈦酸鋇鋇的表面形態，使如圖 4-2 所示。原子力顯微鏡(AFM)觀察，緩衝層 Cr 厚度為 2nm 時有較平整之 BST 薄膜表面。但當其它緩衝層 Cr 厚度時有較大的表面粗糙度。整體而言，方均根粗糙度(RMS roughness)大約在數奈米至數百奈米的範圍內。由 AFM 量測可知 BST 薄膜表面粗糙度之均方根值為 $R_{\text{rms}} = 4.486$ (Cr = 0 nm), 3.899(Cr = 1 nm), 3.287(Cr = 2 nm), and 3.834(Cr = 3 nm)。

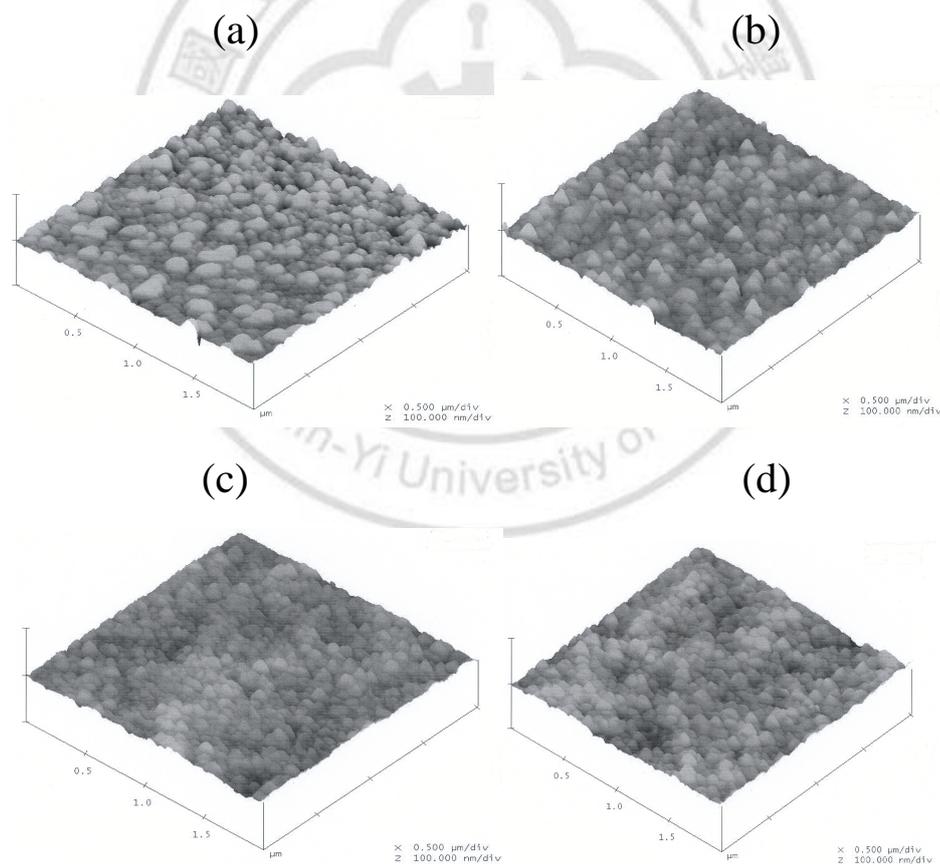


圖 4-2 不同緩衝層 Cr 厚度對 BST 薄膜表面粗糙度之影響

(a) 0, (b) 1, (c) 2, and (d) 3 nm.

4-3 I-V 特性

成長中的O₂:Ar 氣體比例為4:9，工作壓力為10 mTorr，選擇基板溫度為400°C，並在700°C下熱處理1小時，再以O₂電漿做第二次表面處理。首先在I-V量測方面，BST薄膜成長厚度為100nm，其I-V 帶入電極面積公式換算後，其漏電流密度的曲線圖為圖4-3所示。在圖4-3可看出(Ba_{0.5}Sr_{0.5})TiO₃薄膜不同緩衝層Cr厚度的薄膜下的漏電流變化情形，明顯的比BST薄膜在Cr = 2 nm 厚度的漏電流還要來得優異。BST薄膜在Cr = 2 nm 厚度的漏電流密度在外加電場為300kV/cm時分別為 8×10^{-8} A/cm²，而未加緩衝層Cr厚度的純BST薄膜，在偏壓300kV/cm 時的漏電流密度卻也增加了兩個order (1×10^{-6} A/cm²)。

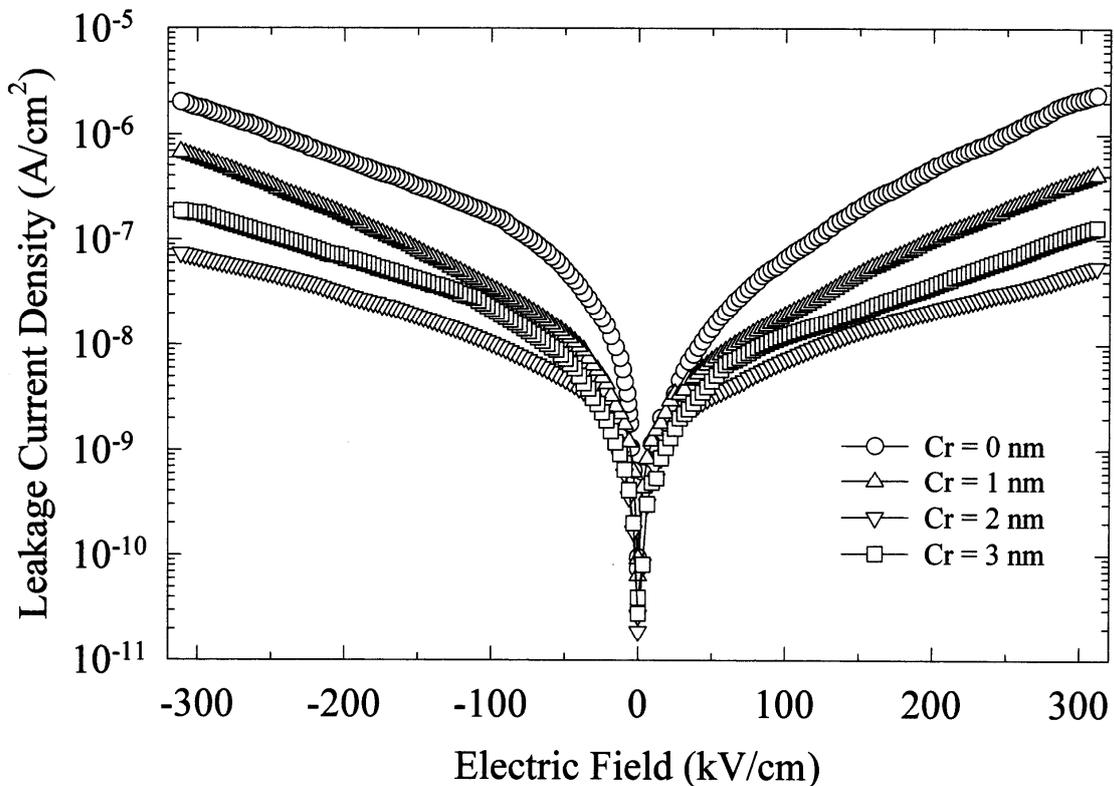


圖4-3 漏電電性對不同Cr厚度變化量測圖形

4-4 C-V 特性

在 C-V 量測方面，可看出BST薄膜在不同緩衝層Cr厚度Cr = 0 ~ 3 nm的薄膜下的介電常數與介電損失的變化情形。未加緩衝層Cr的BST薄膜，雖然有較高之介電常數，但其介電損失亦是最大，且漏電流增大。另一方面，加緩衝層Cr的BST薄膜漏電流明顯的減少外，其介電損失也變小，薄膜表面亦較平整。從量測數據中發現，介電常數從435(Cr = 0 nm) 減少至325 (Cr = 2 nm)，但介電損失從0.03 (Cr = 0 nm) 減少至0.01 (Cr = 2 nm)。

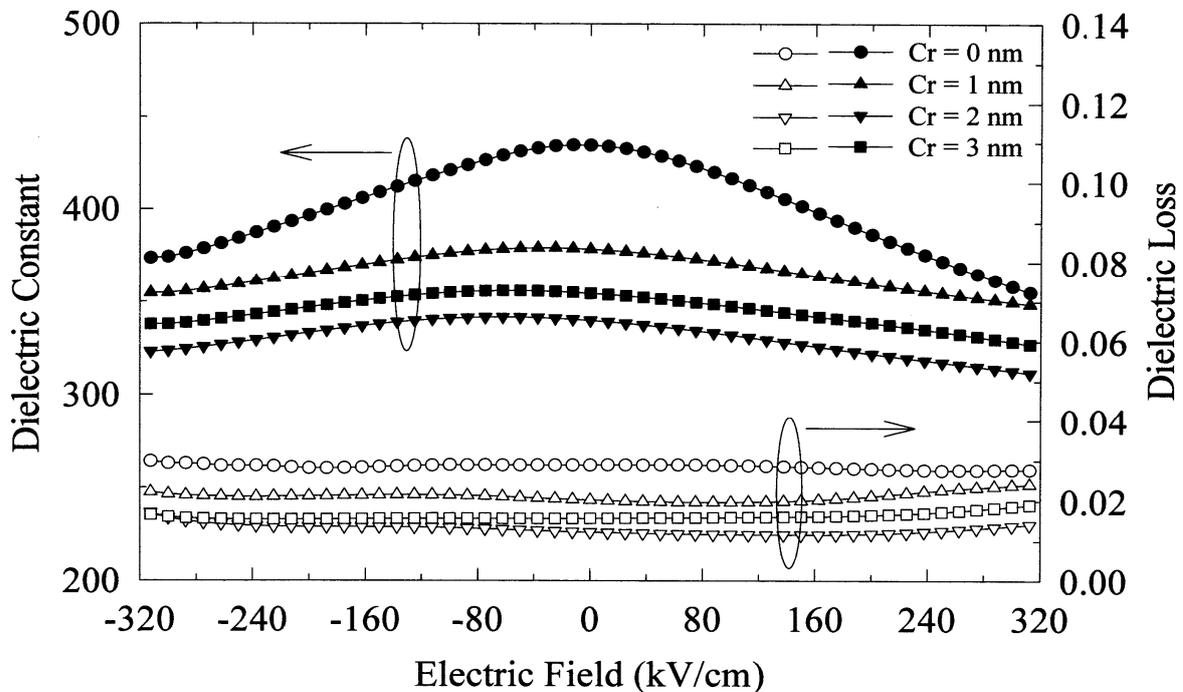


圖4-4 介電常數與介電損失對不同Cr厚度變化量測圖形

4-5 熱穩定度特性

在圖4-5熱穩定性量測方面，可看出BST薄膜在不同緩衝層Cr厚度Cr = 0 ~ 3 nm的薄膜下的熱穩定性的變化情形。未加緩衝層Cr的BST薄膜，熱

穩定性較差。另一方面，加緩衝層Cr的BST薄膜熱穩定性明顯改善。從量測數據中發現，熱穩定性 $TCC = -1500$ (Cr = 0 nm) 減少至 -1000 (Cr = 2 nm)，BST薄膜加了緩衝層Cr後熱穩定性改善了35 %。

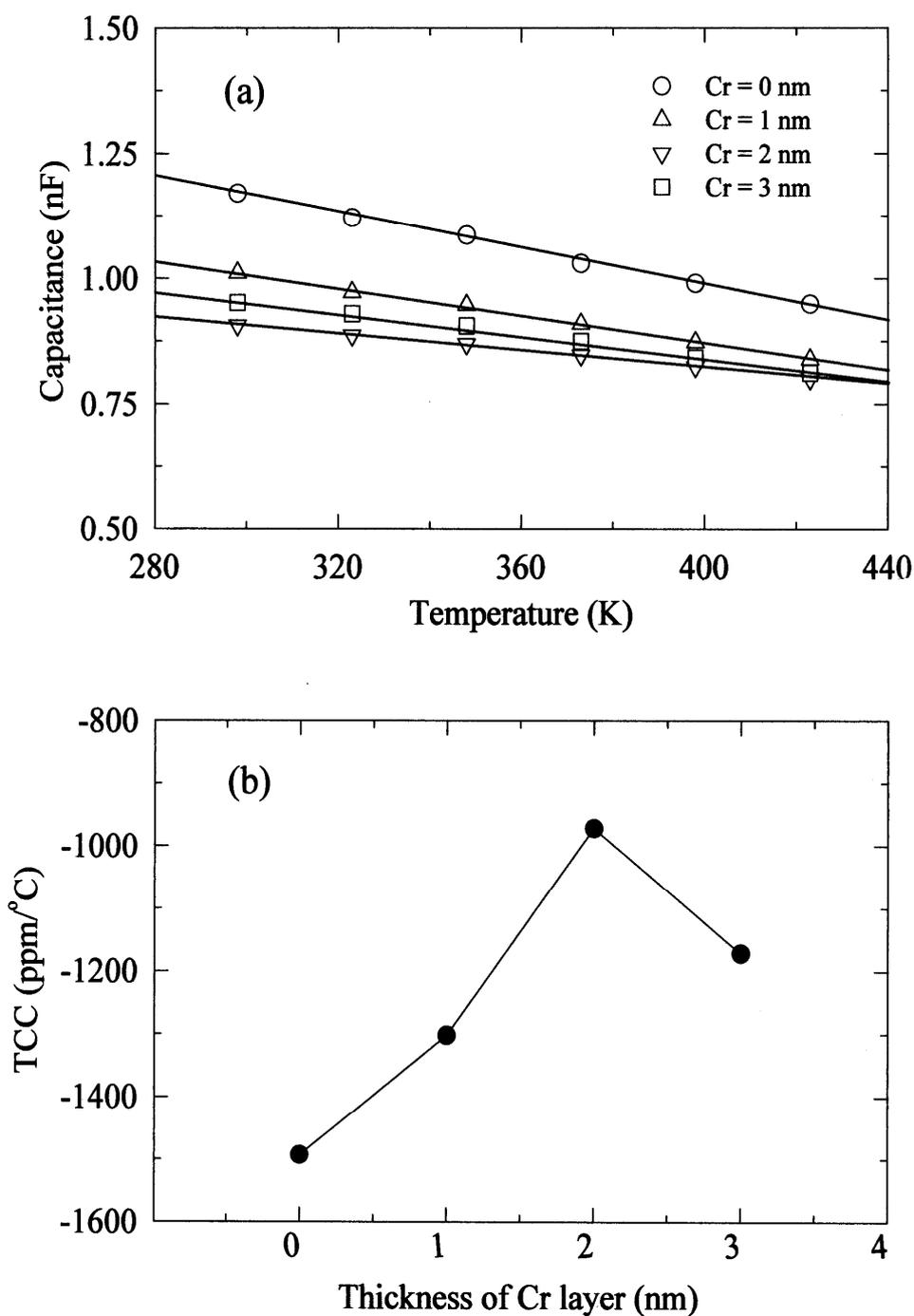


圖4-5 電容值對溫度及不同Cr厚度變化量測圖形

4-6機械應力特性

在圖4-6機械應力量測方面，可看出BST薄膜在不同緩衝層Cr厚度Cr = 0 ~ 3 nm的薄膜下的機械應力的變化情形。未加緩衝層Cr的BST薄膜，熱穩定性較差。另一方面，加緩衝層Cr的BST薄膜熱穩定性明顯改善。其實驗結果滿足應力公式，如下式所示：

$$\frac{d_{\alpha\psi} - d_0}{d_0} = \frac{1+\nu}{E} \sigma \cos^2 \alpha \sin^2 \psi + \frac{1+\nu}{E} \sin^2 \alpha - \frac{2\nu}{E} \sigma$$

從量測數據中發現，BST薄膜加了緩衝層Cr後機械應力改善了28%。

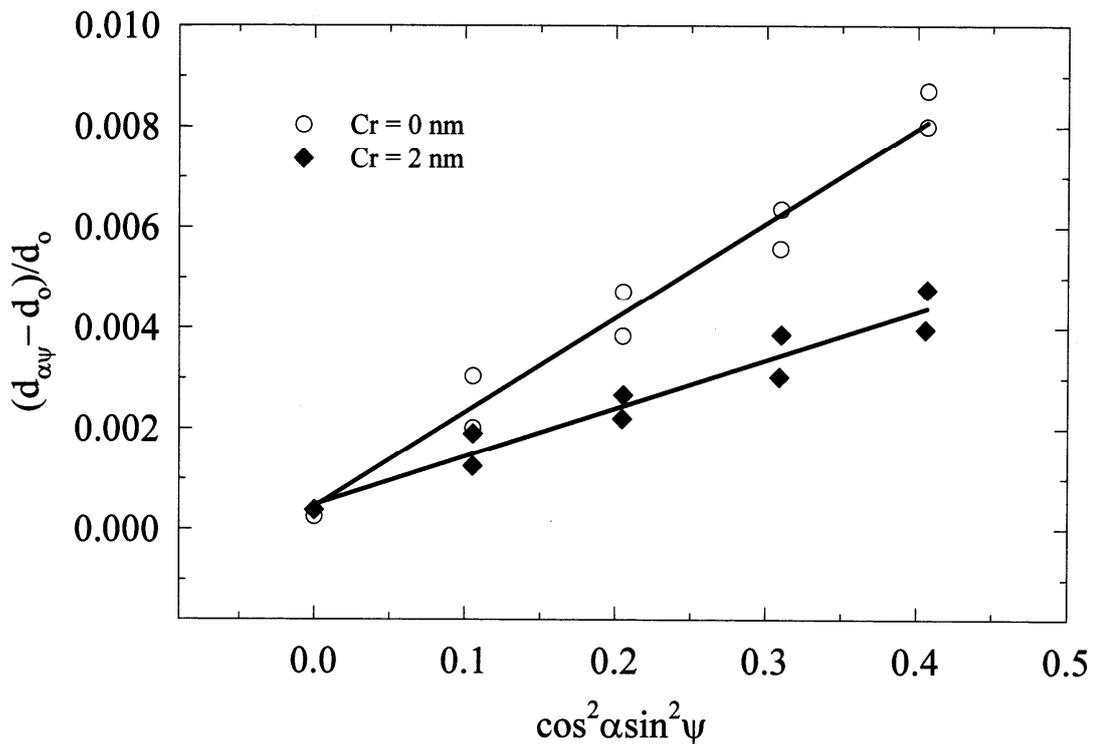


圖4-6 機械應力量測圖形

4-7 楊氏係數特性

在圖4-7楊氏係數量測方面，可看出BST薄膜在不同緩衝層Cr厚度Cr = 0 ~ 3 nm的薄膜下的楊氏係數性的變化情形。未加緩衝層Cr的BST薄膜，楊氏係數較差。另一方面，加緩衝層Cr的BST薄膜楊氏係數明顯增加。從量測數據中發現，楊氏係數 $Y = 125$ (Cr = 0 nm) 增加至180 (Cr = 2 nm)，BST薄膜加了緩衝層Cr後楊氏係數改善了41 %。

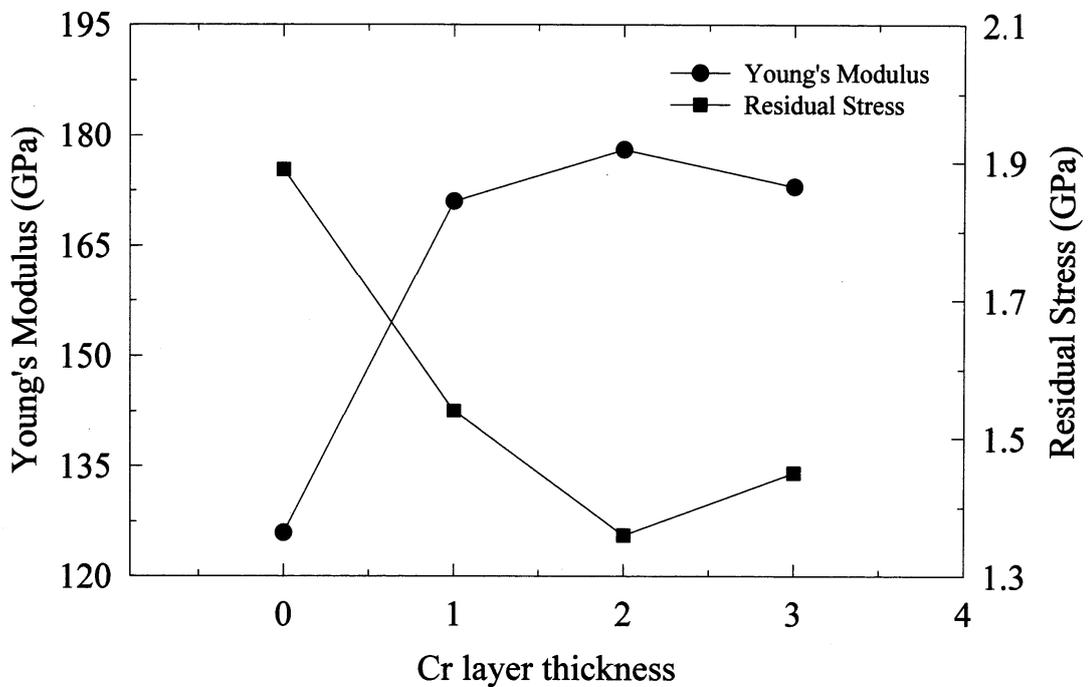


圖 4-7 楊氏係數與殘留應力對不同 Cr 厚度變化量測圖形

第五章結論

本實驗以射頻磁控濺鍍法在 p 型(100)矽基板上沉積鈦酸鋇鋇 ($\text{Ba}_{0.5}\text{Sr}_{0.5}\text{TiO}_3$, BST)薄膜，在不同厚度之 Cr 緩衝層中，作 BST 薄膜之特性分析，其分析結果如下：

1. 未加 Cr 緩衝層之 BST 薄膜有較大的表面粗糙度、較差之漏電流、介電損失與熱穩定係數。
2. 在 BST 薄膜基板結構中加入 Cr = 2 nm 緩衝層，得知其介電損失、漏電流、熱穩定度比 BST 薄膜未加入 Cr 緩衝層，分別改善了約 59%，1 個數量級在 +62.5 kV/cm (+1 V), 35 %, 41 %。
3. BST 薄膜依不同 Cr 緩衝層之厚度，由 0 ~ 3 nm 的不同薄膜下，來探討機械應力的變化情形，發現未加 Cr 緩衝層的 BST 薄膜 Cr = 0 nm，其熱穩定性較差。另一方面，加 Cr 緩衝層的 BST 薄膜熱穩定性明顯改善。從量測數據中發現，BST 薄膜加了 Cr = 2 nm 緩衝層後，機械應力改善了 28%，其實驗結果符合應力公式。
4. 在楊氏係數量測方面，BST 薄膜依不同 Cr 緩衝層之厚度，由 Cr = 0 ~ 3 nm 的薄膜下，從量測數據中發現 楊氏係數 $Y = 125$ (Cr = 0 nm) 增加至 180 (Cr = 2 nm)，BST 薄膜加了 Cr 緩衝層之後，楊氏係數改善了 41 %。而殘留應力從 $R = 1.89$ GPa (Cr = 0 nm) 降至 $R = 1.36$ GPa (Cr = 2 nm) 改善了 28 %。
5. 本研究中，主要探討鈦酸鋇鋇薄膜加入 Cr 緩衝層後的相關研究，由研究結果得知未來亦可將此結構與產業生產線相結合，以期能有效改善 DRAM 之性質。

參考文獻

- [1] Hong Xiao 著。羅正忠、張鼎張譯。《半導體製造技術導論》。2004 年 5 月二版。台灣培生教育出版股份有限公司。
- [2] S. Srivastav, C. V. Vasant and A. Mansingh, *J.Phys. D :Appl. Phys.*,22(1989) 1768.
- [3] B.H.Lee,J.G.Kim,S.W.Cho and S.H.Lee,*Thin Solid Films*,302(1997)25.
- [4] C.C.Wu,C.I.Wu,J.C.Sturm and A.Kahn,*Appl.Phys.Lett.*,70(1997)1348.
- [5]S.A.Van Slyke,C.H.Chen and S.W.Tang,*Appl.Phys.Lett.*,69(1996)2160.
- [6]R.Scheer,T.Walter,H.W.Schock,M.L.Fearheiley and H.L.Lewerenz,*Appl.Phys.Lett.*,63(1993)3294.
- [7] K.Ellmer,*J.Phys.D.Appl.Phys.*34(2001)3097.
- [8]H. S. Kim, S. J. Pearton, D. P. Norton, and F. Ren, *J. Appl. Phys.* 102 (2007) 104904.
- [9]H. F. Liu, S. J. Chu, G. X. Hu, H. Gong and N. Xiang, *J. Appl. Phys.* 102 (2007) 063507.
- [10]T.Minami,H.Sato,H.Nanto,and S.Takata,*Jpn.J.Appl.Phys.*, 24 (1985) 781.
- [11] 李玉華"透明導電膜與應用",*科儀新知*,第十二卷第一期,(1990) 94.
- [12] Jun Koike,Kazunobu Shimoe and Hideharu Ieki,*Jpn.J.Appl.Phys.*,Vol32(1993) 2337.
- [13] D.H.Zhang and D.E.Brodie,*Thin Solid Films*,vol238, (1994) 95.
- [14] K. Ogata, K. Sakurai, Sz. Fujita, Sg. Fujita, K. Matsushige, *Journal of Crystal Growth*, Volumes 214-215, (2000) 312.
- [15] Y. Kashiwaba, K. Sugawara, K. Haga, H. Watanabe, B. P. Zhang,Y.

Segawa, Thin Solid Films 411, (2002) 87.

- [16] X.Q. Wei, Z. Zhang, Y.X. Yu, B.Y. Man, Optics & Laser Technology, Volume 41, Issue 5, (2009)530.
- [17]<http://www.itri.org.tw/chi/market/detail.asp?RootNodeId=00E&NodeId=00E&NewsID=597>
- [18] S.M. Rozati, Sh. Akesteh, Materials Characterization, Volume 58, Issue 4, (2007) 391.
- [19] V. Vaithianathan, B. T. Lee, S. S. Kim, J. Appl. Phys. 98 (2005) 043519.
- [20] R.D. Bland, G.J. Kominiak, D.M. Mattox, J.Vac. Sci. Technol. 11 (1974) 671.
- [21] A. Banerjee, D. Wolf, S. Guha, J. Appl. Phys. 70(1991)1692.
- [22] Quan-Bao Ma, Zhi-Zhen Ye, Hai-Ping He, Jing-Rui Wang, Li-Ping Zhu, Bing-Hui Zhao, Volume 82, Issue 1, (2007)9.
- [23] Y. Zhang, G. T. Du, D. Liu, X. Q. Wang, Y. Ma, J. Z. Wang, J. G. Yin, X. Yang, X. Hou, S. Yang, J.Cryst. Growth.243, (2002) 439.
- [24] K. B. Sundaram, A. Khan, Thin Solid Films.,295(1997) 87.
- [25] G.A.Hirata, J. Mckittrik, T. Cheeks, J.M. Siqueiros, J.A. Diaz, O. Contreras, O.A. Lopez, Thin Solid Film 288(1996)29.
- [26] T.Minami, H.Sato, H.Nanto, and S. Takata, Jpn. J. Appl. Phys. 1125 (1986) L776.
- [27] B.H. Choi and H.B. Im, Thin Solid Films.193-194, (1990) 712.
- [28] 林素霞”氧化鋅薄膜的特性良及應用之研究”,國立成功大學材料工程

研究所博士班論文,(2003) 632.

[29] T.S Moss,Phys.Soc.London Sect.B,67(1954)775.

[30] E.Burstein,Phys.Rev.Vol.73, (1954) 432.

[31] Y.Igaski and H.Saito,Thin Solid Films 199(1991)223.

[32] J.Wang,G.Du,Y.Zhang,B.Zhao,X.Yang and D.Liu,Crystal Growth,vol.263,
(2004) 269.

[33] S.H. Bas,S.Y.Lee,H.Y.Kim and S.Im,Applied Surface Science,vol.168,
(2000) 332.

[34] K. Vanheusden,W.L.Warren,C.H.Seager,D.R.Tallant and J.A.Voigt,
Journal of Applied Physics,vol.79, (1996) 7983.

[35] E.G.Bylander,Journal of Applied Physics,vol.49, (1978) 1188.

[36] Y.Igasaki and H.Saito,"Thin Solid Films,vol.199, (1991) 223.

[37] Pearson's Handbook of Crystallographic Data,4795.

[38] E.S.Kim,R.S.Muller,IEEE Trans.Electron Devices 29 (1982)27.

[37] D. G. Baik and S. M. Cho, Thin Solid films, vol. 354, (1999) 227-231.

[39] P. Nunes, D. Costa, E. Fortunato and R. Martins, Physica B, vol.308-310,
(2001) 1197.

[40] 周仕旻,國立成功大學材料科學及工程學系博士論文”射頻磁控濺鍍
具摻雜之氧化鋅透明導電膜成長特性與其 p-n 同異質界面之製
作”,(2009).

[41] 趙化橋,”等離子體化學與工藝”,中國科技技術大學出版社,合肥 1993,
p.112.

- [42] D.M.Mattox,J.Vac.Sci.Technol.A,7(1989)1105.
- [43] S. M Rossnagel, J. J. Cuomo, W. D. Westwood, published by Noyes publication (1990) 167.
- [44] D. S. Rickerby and A. Matthews, “Advanced Surface Coatings: a handbook of surface engineering”, published by Chapman and Hall, New York, 1991, p.103.
- [45] J.Venables,”Nucleation and growth of thin films”,Rep.Prog.Phys.,47(1984)399.
- [46] K. K. Ng, Complete Guide to Semiconductor Devices, McGraw-Hill, New York,(1995).
- [47] C.T.Sah,R.N.Noyce,and W.Shockley,Proc. IRE, Vol.45(1957) 1228.
- [48] 楊哲昀碩士論文,氮化碳化矽正負界面及氮化碳化矽/矽晶異質界面高溫紫外線接收器之研製,2005 年.
- [49] 張勁燕著,"半導體製程設備",五南圖書出版股份有限公司.
- [50] 吳泰伯,許樹恩,"X 光繞射原理與材料結構分析",中國材料科學學會,民國 95 年 9 月.
- [51] B. Streetman, “Solid State Electronic Device”, Prentice-Hall, Inc,1995 p.439.
- [52] S.Ishizuka,S.kato,S.Okamoto,Y.Akimoto,K.2002. Journal of Crystal Growth, Vol.237-239 (2002) 616.
- [53]J.Chen,Y.Zhang,B.J.Skromme,K.Akimoto,S.J.Pachuta,Applied Physics,vol 78 (1995) 5109.

[54] F.M.D Huserle and J.M.E Harper, Thin Solid Films,81(1989)171.

[55] B.Meyerson and S.W.Smith,J.Cryst.Solids,Vol.435, (1980) 35.

[56] D.I.Jones and A.D.Stewart,Phil.Mag.B,Vol.46, (2006) 43234.

