

國立勤益科技大學  
電子工程系研究所

碩士論文

基於雙軌編碼之完全自我檢查進位選擇加法器設計  
**Totally Self-Checking Carry-Select Adder Design  
Based on Two-Rail Code**

指導教授：謝韶徽 博士

研究生：李明恩

中華民國 九十九 年 七 月

基於雙軌編碼之完全自我檢查進位選擇加法器設計

**Totally Self-Checking Carry-Select Adder Design Based on Two-Rail Code**

指導教授：謝韶徽 博士

研究生：李明恩

國立勤益科技大學

電子工程系研究所

碩士論文

Submitted in partial fulfillment of the requirements  
For the degree of  
Master of Engineering  
In  
Institute of Electronic Engineering  
from the National Chin-Yi University of Technology

July 2010

Taiping, Taichung, Taiwan, Republic of China

中華民國 九十九 年 七 月

# 國家圖書館 博碩士論文電子檔案上網授權書

本授權書所授權之論文為授權人在國立勤益科技大學電子工程系 98 學年度第  
✓ 學期取得碩士學位之論文。

論文題目：基於雙軌編碼之完全自我檢查進位選擇加法器設計  
指導教授：謝韶徽

茲同意將授權人擁有著作權之上列論文全文（含摘要），非專屬、無償授權國家圖書館，不限地域、時間與次數，以微縮、光碟或其他各種數位化方式將上列論文重製，並得將數位化之上列論文及論文電子檔以上載網路方式，提供讀者基於個人非營利性質之線上檢索、閱覽、下載或列印。

上列論文為授權人向經濟部智慧財產局申請專利之附件或相關文件之一（專利申請案號：\_\_\_\_\_），請於 \_\_\_\_\_ 年 \_\_\_\_\_ 月 \_\_\_\_\_ 日後再將上列論文公開或上載網路。

因上列論文尚未正式對外發表，請於 101 年 7 月 20 日後再將上列論文公開或上載網路。

授權人：李明恩

親筆簽名及蓋章：李明恩

民國 99 年 7 月 20 日

電話：02-24570534 傳真：  
聯絡地址：基隆市暖暖區暖碇路203號9樓  
E-Mail：rick24570534@yahoo.com.tw

# 國立勤益科技大學

## 博碩士論文全文上網授權書

(提供授權人裝訂於紙本論文書名頁之次頁用)

本授權書所授權之論文為授權人在國立勤益科技大學  
電子工程系 電子 組 98 學年度第 2 學期取得碩士學位之論文。

論文題目：基於雙軌編碼之完全自我檢查進位選擇加法器設計  
指導教授：謝韶徽

### ■ 同意

本人具有著作權之論文全文資料，非專屬、無償授予本人畢業學校圖書館，不限地域、時間與次數，以微縮、光碟或數位化等各種方式重製與利用，提供讀者基於著作權法合理使用範圍內之線上檢索、閱覽、下載及列印。

論文全文上載網路公開之範圍及時間：

校內區域網路	■ 中華民國 102 年 7 月 20 日公開
校外網際網路	■ 中華民國 102 年 7 月 20 日公開

授權人：李明恩

簽名：李明恩

中 華 民 國 99 年 7 月 20 日

國立勤益科技大學  
研究所碩士班  
論文口試委員會審定書

本校 電子工程系 碩士班 李明恩 君

所提論文 基於雙軌編碼之完全自我檢查進位選擇加法器設計

合於碩士資格水準，業經本委員會評審認可。

論文口試委員會：

召集人： 黃致學

委員： 黃德成

洪進華

洪玉成

指導教授： 謝韶聲

所 長： 陳文淵

電子工程系主任 陳文淵

中 華 民 國 九 十 九 年 七 月

# 基於雙軌編碼之完全自我檢查進位選擇加法器設計

學生：李明恩

指導教授：謝韶徽 博士

國立勤益科技大學電子工程系研究所

## 摘要

本文提出一個擁有完全自我檢查功能的進位選擇加法器架構，此架構能夠在正常運作時即時的偵測任何電路上的單一固著錯誤，所提出的電路不單擁有自我檢查的功能，還能有效的減少電晶體的使用量，並且由 TSMC 0.18 $\mu\text{m}$  製程技術的模擬以及晶片的實現證實本篇論文所提出的電路架構擁有高可靠度。

在 32-bit 時本文所使用的電晶體數不但比傳統的進位選擇加法器少，甚至還比[7]減少將近 35.85%。本篇另一優點就是對於任何位元數的加法器皆可以使用本文所提出的架構為基礎而組合，而且所設計出來的電路皆擁有自我檢查的功能。並且本文所使用的檢查器為非樹狀的架構，所以對於高位元的電路架構並不會有延遲時間過大的問題，較一般樹狀架構的檢查器更適合應用於高位元的電路架構上。

關鍵詞：自我檢查電路、進位選擇加法器、雙軌檢查器、雙軌編碼。

# **Totally Self-Checking Carry-Select Adder Design Based on Two-Rail Code**

Student: Ming-En Lee

Advisors: Shao-Hiu Shieh, Ph.D.

Institute of Electronic Engineering  
National Chin-Yi University of Technology

## **Abstract**

In this paper, the Totally Self-Checking (TSC) Carry-Select Adder (CSA) design is proposed. The capability of TSC can on-line detect all single stuck-at faults in normal operation mode. The proposed CSA has not only self-checking capability but also reduced transistor count. The design is based on TSMC 0.18 $\mu$ m process technology, and a real chip is implemented. The transistor count of proposed totally self-checking CSA design is less than conventional CSA, and even reduced 34.85% compared with [7] for thirty-two bits design. The reduced ratio of transistor-count is proportional to the bit count of totally self-checking CSA to be designed. Our design has other advantages such as high extensibility, non-tree detector structure, and thus having reasonable propagation delay time and can keep well normal operation in the high-bit design.

Keywords: Self-Checking Circuit, Carry Select Adder, Two-Rail Checker, Two-Rail Code.

## 誌謝

本論文能夠順利完成首先要感謝指導教授 謝韶徽老師，在這兩年的時間內細心的指導跟協助，讓我在專業知識以及未來的規劃上受益良多，也確立了未來的目標。同時也感謝口試委員黃德成、蕭敏學、洪進華以及洪玉城四位教授的建議與指導，在此致上最深的敬意。

同時也要感謝實驗室的學長旻明、健成、詠贊、智揚，同學威修、俊宏、登淵、翰均、桂菁、與學弟明家、承翰、陽哲、威誠、柏全、祺堯、翔峻在這兩年的求學生活留下了許多回憶，特別感謝智揚、詠贊與威修在本論文研究與實驗上提供許多寶貴的意見，讓本論文能夠順利完成。

在此感謝台積電(TSMC)與國家晶片系統設計中心(CIC)提供晶片相關製程、模擬與實現環境，並協助本論文晶片製作，也感謝下線評審所提供的寶貴意見以及相關作業人員的辛苦。

最後感謝在背後默默幫助我的家人，在這十幾年的求學生涯中一直給我的幫助及意見，希望能將此份喜悅與榮耀分享給我最敬愛的爸爸跟媽媽。

## 目錄

摘要.....	ii
Abstract.....	iii
誌謝.....	iv
目錄.....	v
表目錄.....	vii
圖目錄.....	viii
第一章 緒論.....	1
1.1 研究動機.....	1
1.2 研究目的.....	1
1.3 論文大綱.....	2
第二章 相關研究之探討.....	3
2.1 加 1 電路.....	3
2.2 完全自我檢查電路.....	8
2.3 雙軌檢查器.....	15
2.3.1 完全自我檢查(TSC)檢查器.....	15
2.3.2 非樹狀架構之雙軌檢查器.....	17
第三章 完全自我檢查進位選擇加法器設計.....	20
3.1 完全自我檢查進位選擇加法器.....	20
3.1.1 進位選擇加法器之設計.....	21
3.1.2 檢查碼產生器之設計.....	24
3.1.3 雙軌檢查器之設計.....	33
3.2 完全自我檢查進位選擇加法器之自我檢查功能.....	40
3.2.1 固著錯誤偵測方式.....	44
3.2.2 注入假錯(Fault Injection)之偵測能力.....	49
第四章 實驗結果與晶片實現.....	53
4.1 自我檢查進位選擇加法器晶片實現.....	53
4.1.1 自我檢查進位選擇加法器(晶片編號 D35-98B-42).....	53
4.1.2 改良式自我檢查進位選擇加法器(晶片編號 T18-99A-161).....	56
4.2 製程變異模擬(Corner Simulation).....	60
4.2.1 晶片 D35-98B-42 製程變異模.....	60
4.2.2 晶片 T18-99A-16 製程變異模擬.....	62
4.3 晶片佈局.....	64
4.3.1 晶片 D35-98B-42 規格與佈局.....	64
4.3.2 晶片 T18-99A-161 規格與佈局.....	69
4.4 實驗結果比較.....	71
4.5 完全自我檢查進位選擇加法器之特性比較.....	73

第五章	結論及未來的研究方向.....	74
5.1	結論.....	74
5.2	未來研究方向.....	74
參考文獻.....		76
自傳.....		77



## 表目錄

表 2.1 加 1 電路之真值表.....	7
表 2.2 自我偵測 CSA 電路模擬規格表[7].....	13
表 3.1 兩位元進位選擇加法器真值表.....	30
表 3.2 正/負緣門鎖電路之輸出分析 I .....	37
表 3.3 正/負緣門鎖電路之輸出分析 II .....	38
表 4.1 D35-98B-42 Pre-Sim.與 Post-Sim.比較表.....	62
表 4.2 晶片 T18-99A-161 Pre-Sim.與 Post-Sim.比較表.....	63
表 4.3 D35-98B-42 晶片規格表 .....	64
表 4.4 D35-98B-42 預計規格列表 .....	66
表 4.5 D35-98B-42 實測規格列表 .....	66
表 4.6 T18-99A-161 晶片規格表.....	69
表 4.7 T18-99A-161 預計規格列表.....	71
表 4.8 兩位元自我檢查 CSA 模組晶片特性比較表.....	72
表 4.9 進位選擇加法器之電晶體數目比較.....	73
表 4.10 模擬結果比較表.....	73



## 圖目錄

圖 2.1 基本進位選擇加法器結構圖.....	3
圖 2.2 傳統進位選擇加法器.....	4
圖 2.3 使用加 1 電路之進位選擇加法器.....	4
圖 2.4 加 1 電路設計概念之舉例.....	5
圖 2.5 加 1 電路設計解析.....	6
圖 2.6 加 1 電路架構圖.....	7
圖 2.7 使用加 1 電路之進位選擇加法器.....	7
圖 2.8 自我偵測 CSA 電路圖[7].....	9
圖 2.9 樹狀架構的雙軌檢查器.....	10
圖 2.10 擁有自我檢查功能的多工器.....	10
圖 2.11 自我偵測 CSA 電路之偵錯[7].....	12
圖 2.12 自我偵測 CSA 電路模擬結果 I [7].....	13
圖 2.13 自我偵測 CSA 電路模擬結果 II [7].....	14
圖 2.14 六位元自我偵測 CSA 電路圖[7].....	15
圖 2.15 Fault Secure 圖解.....	16
圖 2.16 Self Testing 圖解.....	16
圖 2.17 非樹狀架構雙軌檢查器[10].....	17
圖 3.1 傳輸閘形式之進位選擇加法器.....	22
圖 3.2 兩位元之進位選擇加法器.....	23
圖 3.3 鏡射式全加器.....	23
圖 3.4 兩位元進位選擇加法器模擬波形.....	24
圖 3.5 檢查碼產生器示意圖.....	25
圖 3.6 兩組之檢查碼產生器.....	28
圖 3.7 三組之檢查碼產生器.....	32
圖 3.8 兩位元時雙軌檢查器.....	34
圖 3.9 雙軌檢查器之波形圖.....	34
圖 3.10 加入門鎖電路之雙軌檢查器.....	35
圖 3.11 加入門鎖電路之雙軌檢查器輸出波形.....	36
圖 3.12 正/負緣門鎖電路之輸出波形.....	37
圖 3.13 修正後之正/負緣門鎖電路之輸出波形.....	38
圖 3.14 三組輸入之雙軌檢查器.....	39
圖 3.15 雙軌檢查器模擬波形.....	40
圖 3.16 省略 $c_i$ 的半加器.....	41
圖 3.17 簡化兩位元自我檢查 CSA 模組電路圖.....	42
圖 3.18 簡化兩位元自我檢查 CSA 模組電路之模擬波形.....	43
圖 3.19 電路發生固著錯誤之偵錯例子.....	45
圖 3.20 $N_1 : s-a-0$ 錯誤的波形圖.....	46

圖 3.21 $N_2$ : s-a-1 的波形圖 .....	47
圖 3.22 $N_3$ : s-a-1 的波形圖 .....	48
圖 3.23 互斥反或閘的測試模組.....	50
圖 3.24 測試模組示意圖.....	51
圖 3.25 測試模組模擬波形.....	52
圖 4.1 自我檢查進位選擇加法器(D35-98B-42)晶片電路全圖.....	54
圖 4.2 晶片 D35-98B-42 之電路錯誤偵測圖 .....	56
圖 4.3 改良式自我檢查進位選擇加法器(T18-99A-161)晶片電路圖.....	57
圖 4.4 非樹狀之雙軌檢查器.....	57
圖 4.5 晶片 T18-99A-161 之電路錯誤偵測圖.....	60
圖 4.6 晶片 D35-98B-42 Post-Sim. TT 波形圖.....	61
圖 4.7 晶片 T18-99A-161 Post-Sim. TT 波形圖 .....	63
圖 4.8 D35-98B-4 佈局平面圖 .....	64
圖 4.9 晶片 D35-98B-42 打線圖 .....	65
圖 4.10 D35-98B-42 晶片實照圖 .....	65
圖 4.11 D35-98B 輸出訊號 $Z_1$ 和 $Z_2$ .....	67
圖 4.12 D35-98B 輸出訊號 $s_1$ 和 $s_1$ .....	67
圖 4.13 D35-98B 輸出訊號 $s_2$ 和 $s_2$ .....	68
圖 4.14 D35-98B 輸出訊號 $c_o$ 和 $c_o$ .....	68
圖 4.15 T18-99A-161 佈局平面圖.....	69
圖 4.16 T18-99A-161 打線圖.....	70
圖 4.17 T18-99A-161 晶片實照圖.....	70

# 第一章 緒論

## 1.1 研究動機

加法運算為算術電路中最基本也是最重要的運算，因其大量應用於數位信號處理器、濾波器、積分器、乘法器、除法器、高速運算電路等的設計，故加法器(Adder)實為一切需要大量計算的處理器之構成基石，由於積體電路製程技術的不斷進步，使得單一晶片可容納更多的電子元件，導致電路的暫時性或突發性故障問題成為影響電子產品可靠度(Reliability)的一項關鍵的因素。

在傳統上，高可靠度的電子元件是採用離線測試(Off-Line Testing)，在測試進行前必須要先換至測試模式(Test Mode)；但許多的突發性或暫時性錯誤必須採用線上測試(On-Line Testing)才能被偵測出來，顯然傳統的測試方法對於高可靠度的電子元件並不是一個好的方法。

本文所提出的完全自我檢查進位選擇加法器，能夠偵測電路上何任暫時性或突發性的錯誤，所增加的自我檢查功能並不會影響進位選擇加法的運作，另外還可透過測試模組的啟動與關閉來檢查電路的正確性，更增加了自我檢查電路(Self-Checking Circuit)的可靠度。

## 1.2 研究目的

就一個系統而言，加法器的速度與面積有著舉足輕重的影響，漣波進位加法器(Ripple Carry Adder; RCA)提供了一個規則性的設計且

面積的使用量也很少，但是其本身的延遲時間卻很大。前瞻式進位加法器(Carry Lookahead Adder; CLA)主要是為了改善 RCA 在延遲時間上的缺點所提出的一種設計，但其使用的晶片面積太大，所以後來提出的進位選擇加法器(Carry Select Adder; CSA)是為了在面積與速度之間取得一個平衡。

然而對於擁有自我檢查功能的 CSA 其面積卻太大以致於我們無法接受，所以本文提出利用加 1 電路(Add-1 Circuit)與單一 RCA 所設計出來的 CSA 來減少晶片面積，並且為了適合應用於高位元的電路架構上，在檢查器的部份使用了非樹狀架構的雙軌檢查器。

### 1.3 論文大綱

本論文共分為五章，如下列介紹：第一章為緒論，探討本篇論文的研究動機以及研究目的，最後簡單的敘述本篇論文的架構。第二章為相關研究之探討，先對本研究所使用應用的電路架構做一簡單的介紹，以便讀者對本研究有更深的瞭解。第三章探討完全自我檢查進位選擇加法器之架構，本章會詳細的介紹本研究所提出的電路架構以及其設計的過程，為本論文的研究重點所在。第四章陳述實驗結果與晶片實現，會對本論文在晶片設計結果並於國家晶片中心(CIC)下線成功回來的晶片做介紹。第五章為結論及未來研究方向，為本研究做一個結論與提出未來工作方向。

## 第二章 相關研究之探討

本章內容分成三個部份，分別為利用加 1 電路以及單一連波進位加法器所設計的進位選擇加法器、能即時偵測單一錯誤的自我檢查電路以及能夠檢查雙軌編碼的非樹狀架構的雙軌檢查器，而本文亦是以這三種電路架構為基礎而建構出來的，接下來內容將會詳細介紹此三種電路架構，以便對本研究之相關背景有更深入的了解。

### 2.1 加 1 電路

在信號處理積體電路中加法器的速度與面積對所設計的電路有著舉足輕重的影響，CSA 最初的設計是為了可以執行高速的加法運算，但是其代價為所使用的電路面積太大，所以在後來的 CSA 設計大多是在討論如何減少 CSA 電路的面積為主要的設計目的。傳統上 CSA 是由兩組 RCA 的電路結構所組成，如圖 2.1 所示。

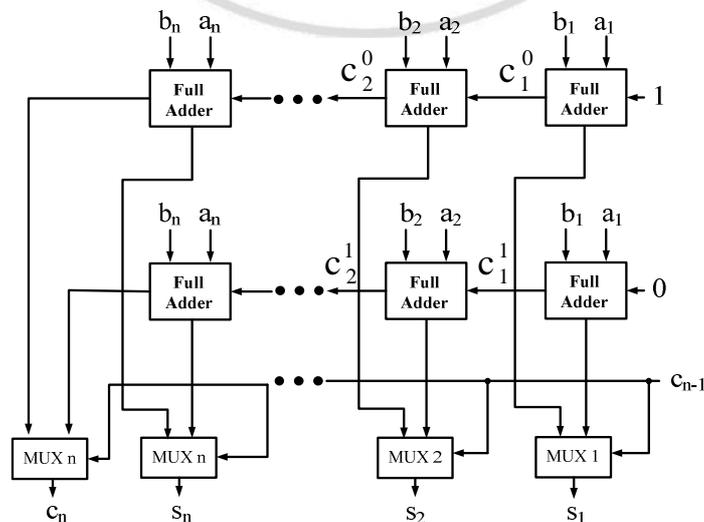


圖 2.1 基本進位選擇加法器結構圖

傳統 CSA 是使用兩個相同的全加器(Full Adder)區塊，分別假設  $c_i=0$  及  $c_i=1$  去進行加法的運算，其中每一個加法區塊都可以先行假設  $c_i$  去進行運算，然後分別將運算結果送至多工器(Multiplexer, MUX)，等待正確的  $c_i$  來選擇出正確的結果輸出，如圖 2.2 所示，這樣雖然可以縮短漣波進位的長等待時間以加快電路的運算速度，但是如此的作法其面積會增加至原來的兩倍，所以這種作法不算是最好的。

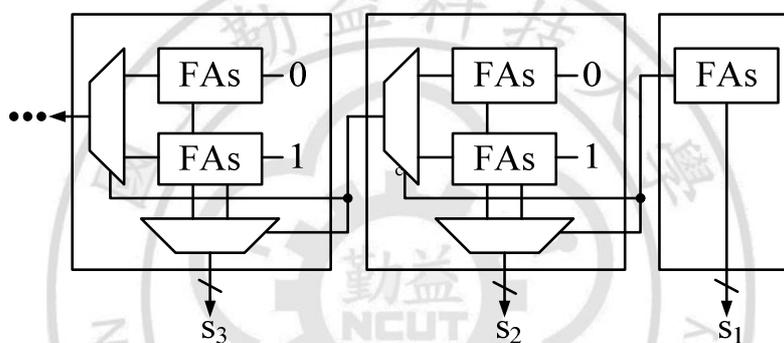


圖 2.2 傳統進位選擇加法器

CSA 能夠由兩組相同的 RCA 來組成，清華大學張慶元教授[1]提出以一個 RCA 與一個加 1 電路的電路結構取代如圖 2.3 所示。

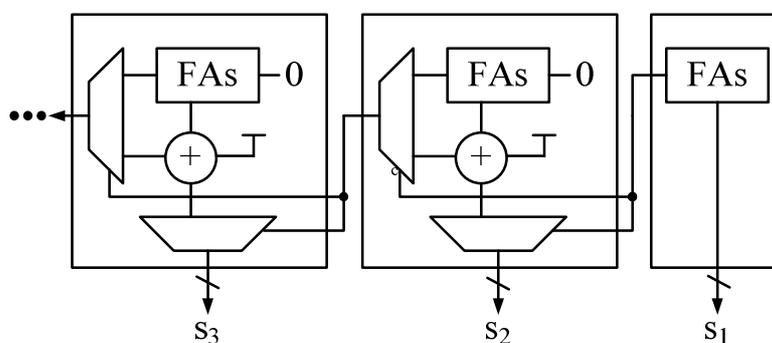


圖 2.3 使用加 1 電路之進位選擇加法器

此方法乃是以一個 RCA 與加 1 電路，去取代原本雙 RCA 的電路，以一個 RCA 去運算  $c_i=0$  的結果，再利用加 1 電路將此運算的結果加 1 後產生  $c_i=1$  的運算結果，如此便可完成分別以  $c_i=0$  及  $c_i=1$  的計算，達到 CSA 的動作要求。這是一種可以不必透過全加器的加法運算得到  $c_i=1$  的結果，由圖 2.4 的例子可得知加 1 電路是為了使  $c_i=0$  的運算結果加 1 後進而得到  $c_i=1$  的結果，發現如果由最後一個位元開始往前尋找第一個的零(稱為 First Zero)，再將 First Zero 及其較低的位元反相，所得到的結果與  $c_i=0$  經過加法運算加 1 的結果是相同，如此便不用透過加法運算即可以得到  $c_i=1$  的結果。

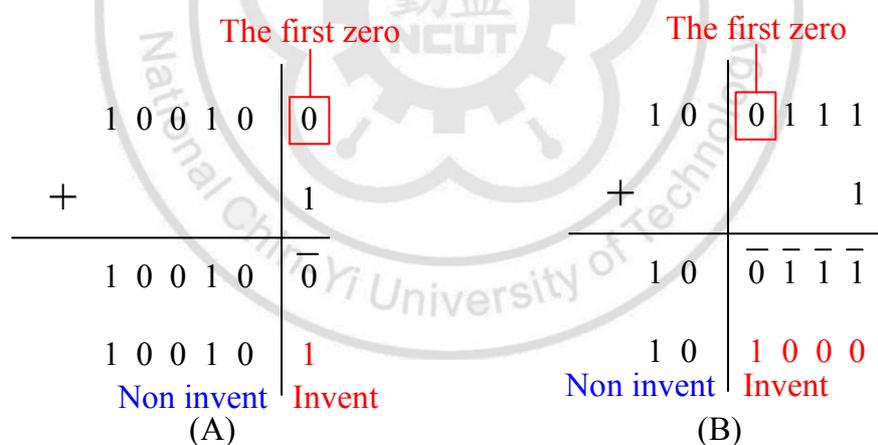


圖 2.4 加 1 電路設計概念之舉例

加 1 電路設計的目的為取代  $c_i=1$  的 RCA，在圖 2.5 中可將被取代的 RCA 假想成一個加 1 電路邏輯區塊，此區塊分別有兩個輸入與輸出，其中  $s_i$  為  $c_i=0$  的全加器的第  $i$  位元和(Sum)輸出、A 代表前一級位元是否已找到 First

Zero、B 為告訴下一級是否已找到 First Zero、X 為  $c_i=1$  的第  $i$  位元和輸出。

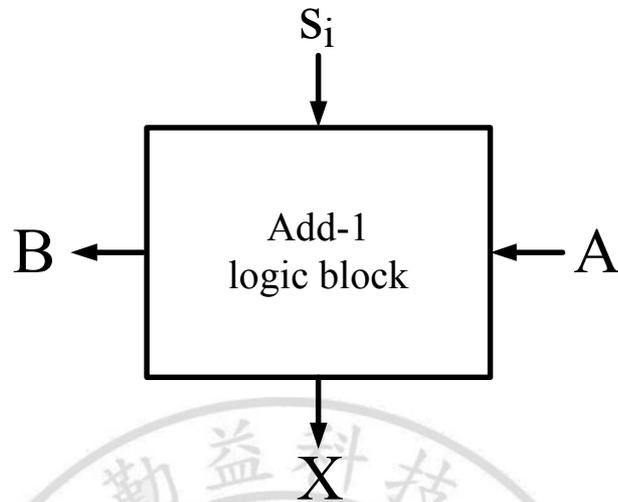


圖 2.5 加 1 電路設計解析

表 2.1 是將假想的邏輯區塊所建構出來的真值表，在表 2.1 中，當 A 的訊號為 0 時，表示前一級的位元並沒有找到 First Zero，根據圖 2.4 的例子得知當還沒有到 First Zero 時  $s_i$  和 X 要反相，若此時  $s_i$  的訊號為 0 時，即 First Zero 已找到，所以 B 將會告訴下一級已找到 First Zero 並以 1 表示；反之若  $s_i$  的訊號為 1，表示在第  $i$  位元還沒有找到 First Zero，B 需告訴下一級還沒有找到 First Zero 並傳送 0 表示。當 A 的訊號為 1 時，表示前一級的位元已找到 First Zero，那麼  $s_i$  和 X 不再需要反相，而 B 也皆以 1 訊號來告知下一級已找到 First Zero。

表 2.1 加 1 電路之真值表

A	$s_i$	X	B
0	0	1	1
0	1	0	0
1	0	0	1
1	1	1	1

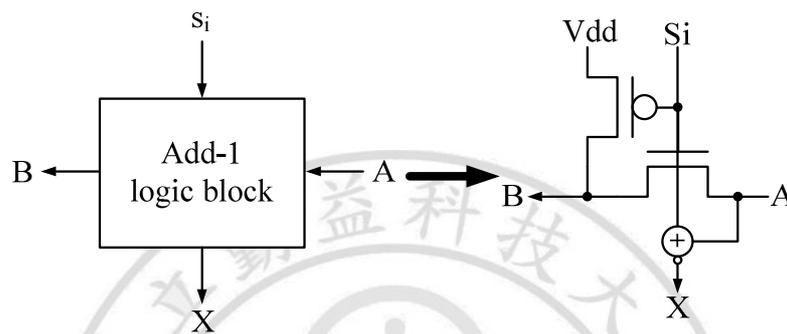


圖 2.6 加 1 電路架構圖

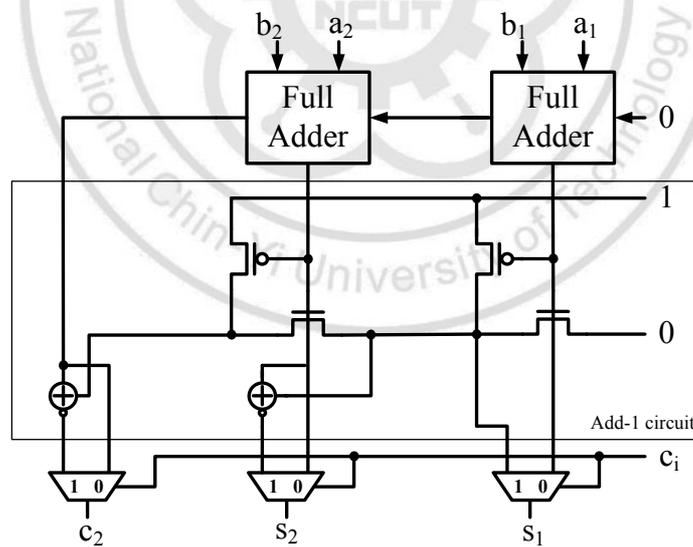


圖 2.7 使用加 1 電路之進位選擇加法器

觀察表 2.1 後發現 X 可經由 A 和  $s_i$  互斥或運算後得到，而 B 則當  $s_i$  的訊號為 1 時 B 的訊號會和 A 相同，當  $s_i$  的訊號為 0 時 B 的訊號會永為 1，

圖 2.6 為將這四個訊號彼此的關係以 PTL(Pass Transistor Logic)實現出來的電路圖。運用圖 2.6 的加 1 電路架構圖設計出來的兩位元進位選擇加法器如圖 2.7 所示，而後來許多的 CSA 研究皆是以此加 1 電路為基礎去改良 [2]-[4]。

## 2.2 完全自我檢查電路

在許多重要應用的場合，採用高可靠度的電子或電腦系統是非常重要的，例如：太空船及飛行器的導航系統、飛彈的導引系統、智慧型晶片系統以及銀行的快會計系統等等。

傳統的測試方法在測試前系統必須切換至測試模式，此種測試方法並不是最佳的方法，是由於近年來製程技術越來越先進，許多的突發性或短暫性的錯誤必須要採用線上測試才能被查覺出來。而完全自我檢查電路為一切需要高可靠度的電子系統之構成基石，自我檢查是一種內建在電路上的機制，能夠自動的去驗證邏輯設計上的任何暫時、突發或永久的錯誤，而不需要經由電路外部引入測試模組。完全自我檢查的架構包含功能電路、檢查碼產生器以及檢查器。檢查碼產生器將功能電路的輸出做雙軌編碼後送至檢查器，若此時檢查器的輸出為合法碼(Codeword)時則表示電路正常工作，相反地，若檢查器的輸出為非法碼(Non-Codeword)時則表示電路內部發生錯誤。

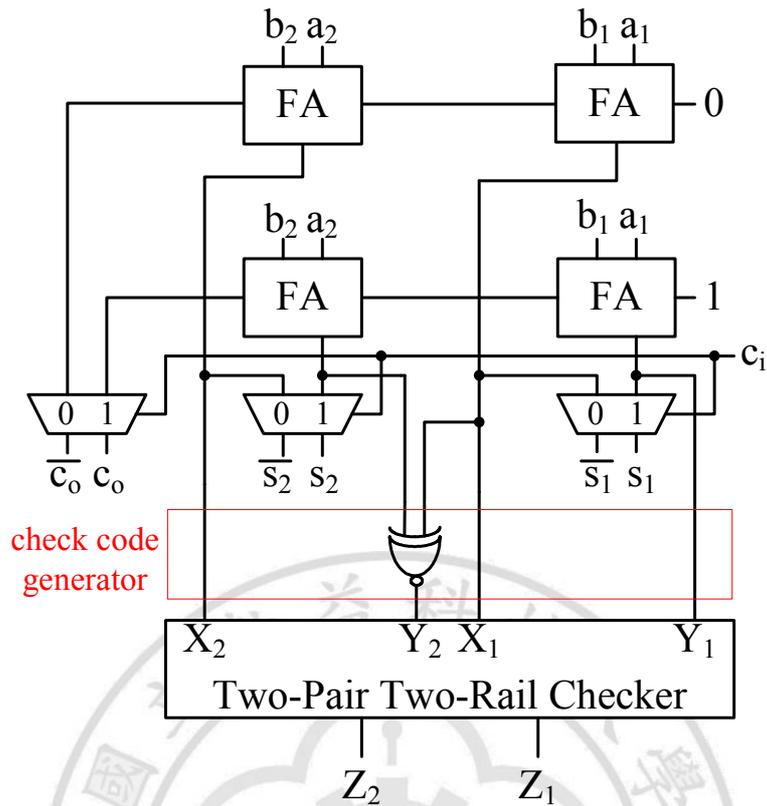


圖 2.8 自我偵測 CSA 電路圖[7]

在文獻[5-8]提出了將功能電路(CSA)中各全加器的和(Sum)經由檢查碼產生器做雙軌編碼的運算後，再由雙軌檢查器(Two-Rail Checker)來完成自我檢測功能，所提出的架構能夠即時的自我偵測錯誤的存在，並不需要引入外部的測試模組，電路的架構圖如圖2.8所示，所使用到的元件有樹狀架構的雙軌檢查器(如圖2.9所示)以及擁有自我檢查功能的多工器(如圖2.10所示)。至於雙軌檢查器詳細的定義，我們會在2.3節中有更詳細的介紹。

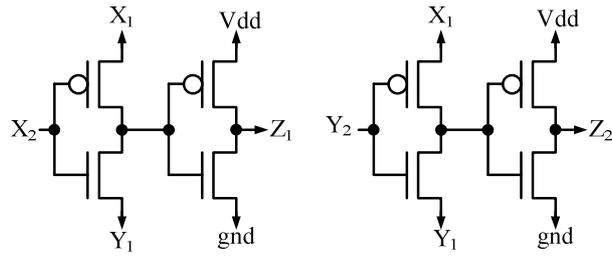


圖 2.9 樹狀架構的雙軌檢查器

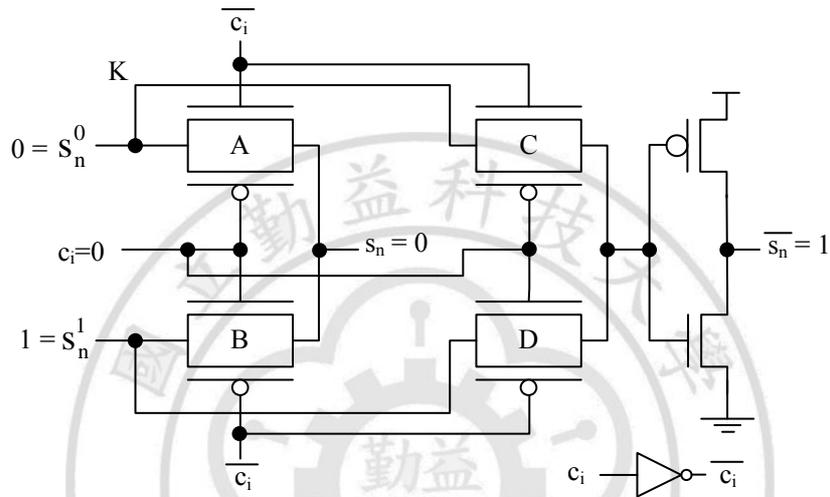


圖 2.10 擁有自我檢查功能的多工器

由圖 2.8 可以發現在檢查碼產生器的部份作者只使用了一個反互斥或閘就成功地將四顆全加器的和(Sum)輸出做雙軌編碼，再由雙軌檢查器檢查此一雙軌編碼是否有構成 $[(X_1, Y_1), (X_2, Y_2)]$ 互補，若有則 $(Z_1, Z_2)$ 會是互補輸出，表示電路處於正常的運作。假設其中有一組無法構成互補則 $(Z_1, Z_2)$ 會同相輸出，表示功能電內部發生錯誤。為了方便解說[7]的自我檢查功能，圖 2.11 為模擬一組輸入訊號後所得到的模擬圖，圖中共列舉了兩個偵測錯的例子，分別是(a) Stuck-at 1 (s-a-1)以及(b) Stuck-at 0 (s-a-0)。自我檢查電路有一個先決條件，就是假設電路中的全加器若發生運算錯誤會呈現於主輸

出端(Primary Outputs)。

### (a) s-a-1

在圖 2.11 電路正常的運作時節點(a)的訊號為 0，現在若假設節點(a)發生了 s-a-1 的錯誤，那麼節點(a)的訊號會由 0 變成 1，間接的對高位元全加器的和(Sum)由正確的訊號 0 變成 1，此時雙軌檢查器的輸入 $[(X_1, Y_1), (X_2, Y_2)]$ 的訊號為 $[(1, 0), (1, 1)]$ ，由於有一組無法構成互補，所以輸出 $(Z_1, Z_2)$ 亦不會是互補的輸出，所以能夠得知電路發生了錯誤。

### (b) s-a-0

在圖 2.11 電路正常的運作時節點(b)的訊號為 1，若節點(b)發生了 s-a-0 的錯誤，那麼節點(b)的訊號會由 1 變成 0，直接的對檢查碼產生器內部的反互斥或閘造成影響，此時雙軌檢查器的輸入 $[(X_1, Y_1), (X_2, Y_2)]$ 的訊號為 $[(0, 0), (1, 1)]$ ，由於有一組無法構成互補，所以輸出 $(Z_1, Z_2)$ 亦不會是互補的輸出，所以能夠得知電路發生了錯誤。

### (c) 自我檢查多工器

所使用的多工器(見圖 2.10)亦是擁有自我檢查的功能，在圖 2.10 中也已模擬一組輸入訊號，在正常的情況下多工器的輸出 $s_n=0$ 而 $\overline{s_n}=1$ 會是互補的形式。現在若假設圖中的 K 點發生了 s-a-1 的錯誤，此錯誤訊號 1 會讓 $\overline{s_n}$ 的訊號由 1 變成 0，此時 $s_n$ 的訊號依然是 0 但 $\overline{s_n}$ 的訊號卻為 0，這兩個訊號沒有構成互補，可以得知多工器在內部運作時發生了錯誤。

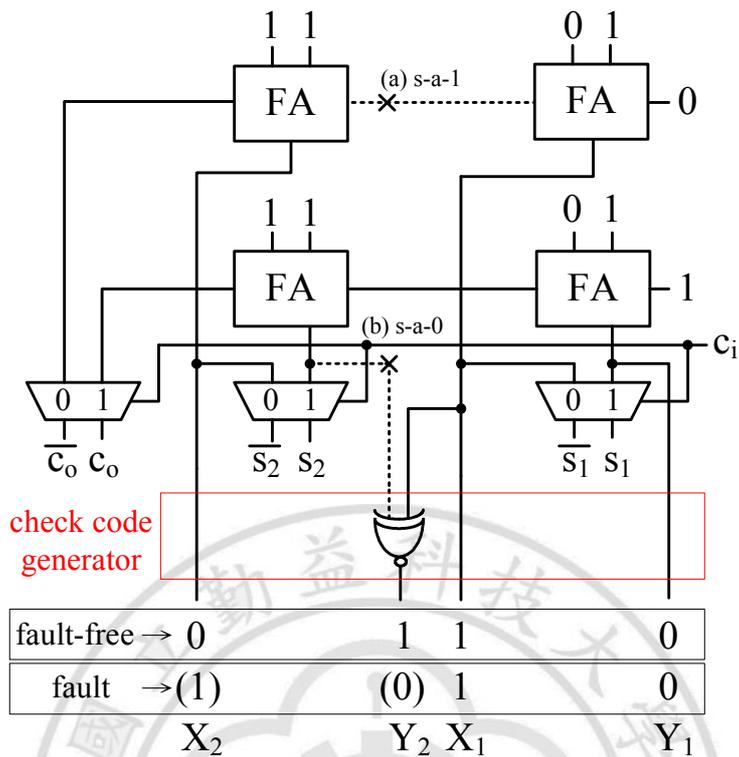


圖 2.11 自我偵測 CSA 電路之偵錯[7]

#### (d) 模擬結果

使用製程為 TSMC 0.35 $\mu$ m Mixed-Signal 2P4M Polycide 3.3/5 V，模擬的電壓為 3.3 V，工作的頻率為 50MHz，圖 2.12 以及圖 2.13 為模擬的波形圖。在圖 2.13 中可現  $Z_1$  和  $Z_2$  雖然皆有構成互補的形式，但是卻有突波的產生，會發生這個問題是因為檢查器的輸入無法同步輸入，若將操作頻率升高的話，此突波會更明顯，造成電路錯誤，因此這個設計無法操作在更高的頻率上，表 2.2 為自我偵測 CSA 電路的模擬規格[7]。

表 2.2 自我偵測 CSA 電路模擬規格表[7]

規格	模擬	
	Pre-sim	Post-sim
工作電壓(V)	3.3	3.3
最高操作頻率(MHz)	50	50
功率消耗(mW)	0.1191	0.20918
晶片面積(mm <sup>2</sup> )	1.206 × 1.206	
總電晶體數量(Tr)	166	

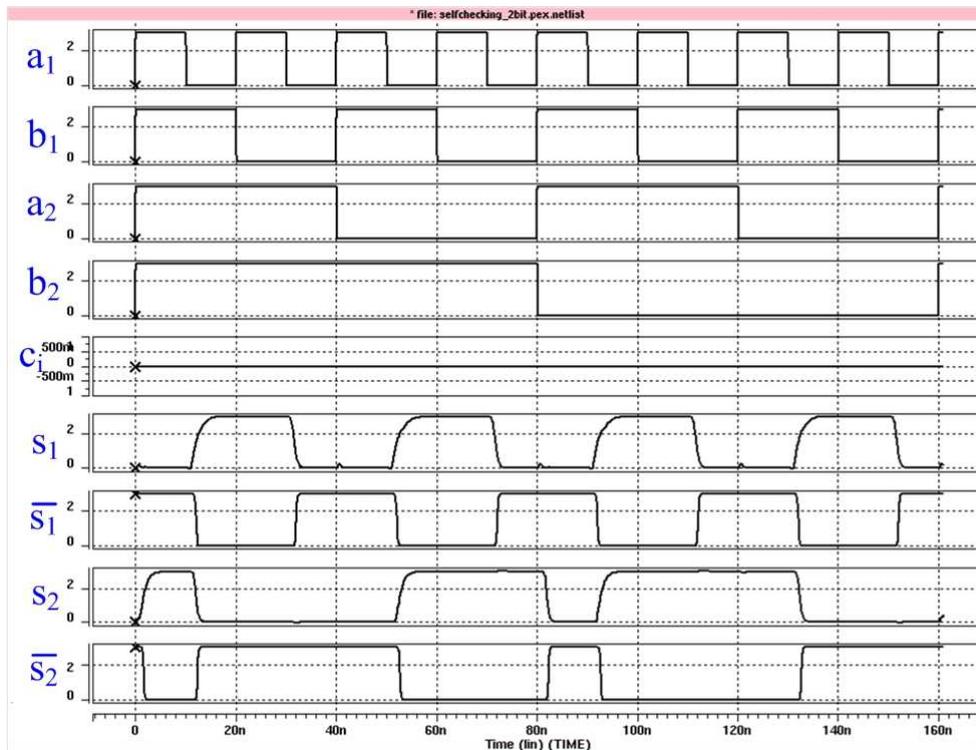


圖 2.12 自我偵測 CSA 電路模擬結果 I [7]

雙軌檢查器是一種常用的完全自我檢查(Totally Self-Checking; TSC)檢查器，圖 2.9 的檢查器是樹狀的架構的，雖然所需要的晶片面積非常的少，但是卻不適合應用於高位元的電路架構上，如圖 2.14 即為樹狀架構的雙軌檢查器在 6-bit 時的結構圖。當我們假設單一樹狀架構的雙軌檢查器的延遲

時間為  $t_k$ ，可發現當電路的位元數為  $2^n$  時，檢查器的遲延時間為  $n \times t_k$ ，例如在 128-bit 時，光是檢查器的延遲時間就需要  $7 \times t_k$ ，可見樹狀架構的檢查器應用於高位元時會有很大的延遲時間，有可能會因為延遲時間太大的問題而導致檢查器誤判，而自我檢查電路必須要有高可靠度，所以此一樹狀架構的雙軌檢查器不適合應用於高位元的自我檢查電路架構上。

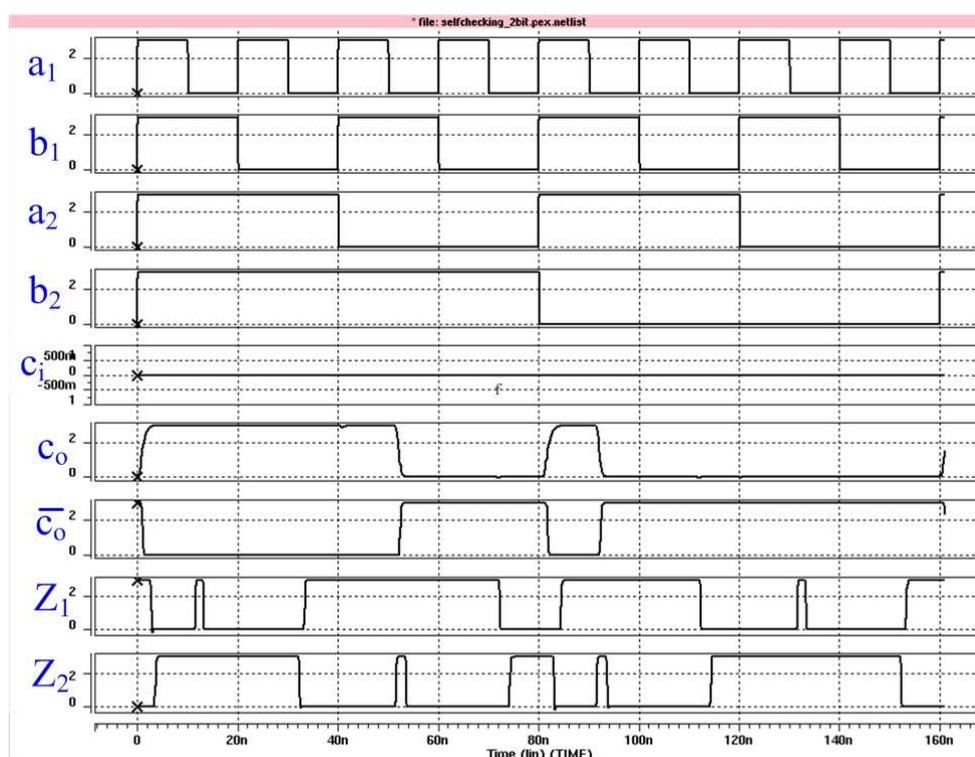


圖 2.13 自我偵測 CSA 電路模擬結果 II [7]

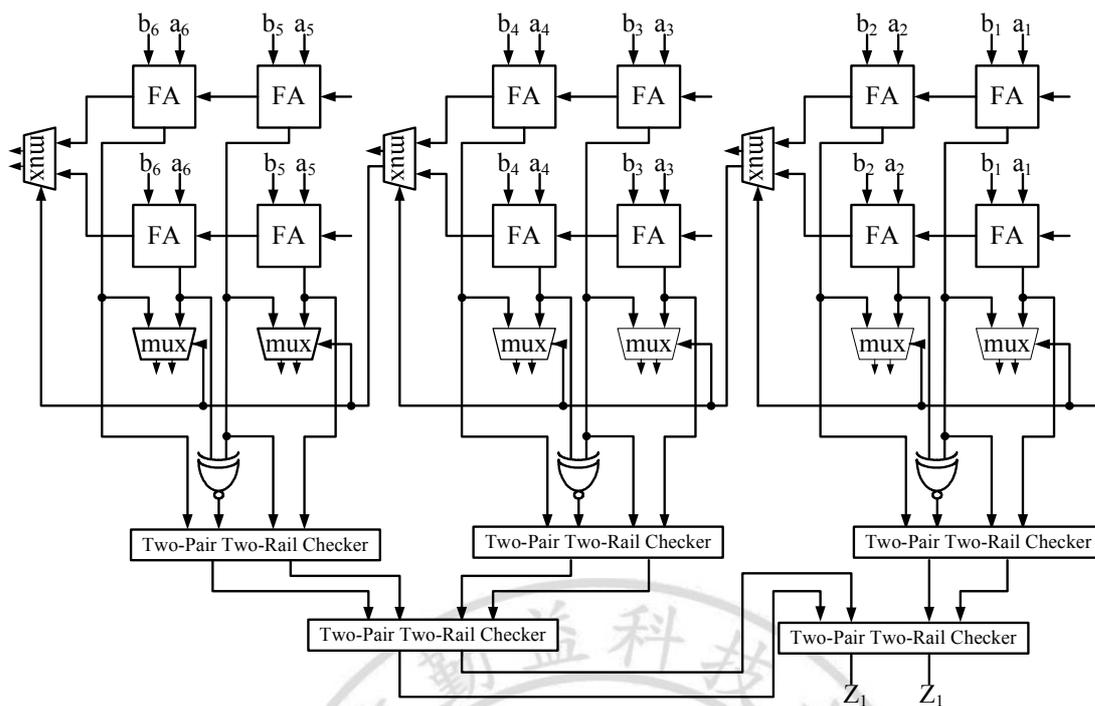


圖 2.14 六位元自我偵測 CSA 電路圖[7]

## 2.3 雙軌檢查器

### 2.3.1 完全自我檢查(TSC)檢查器

通常雙軌檢查器會有兩組訊號分別是  $(X_1, X_2, \dots, X_n)$  與  $(Y_1, Y_2, \dots, Y_n)$ ，我們會將  $X_n$  和  $Y_n$  視為一對的輸入，當每一對的輸入為有效的輸入時 ( $X_n = \overline{Y_n}$ )，輸出訊號會為互補的訊號，表示電路正常運作。相反地，輸出訊號會為同相的訊號，表示電路不正常作。接下來將說明 TSC 的定義：

#### 定義 1：Fault Secure

當  $X$  和  $Y$  分別表示輸入與輸出，其中  $Y = Y_1 \cup Y_2$  並假設  $Y_1$  為合法輸出， $Y_2$  為非法輸出，如圖 2.15 所示。對於一個給定的錯誤集合，對集合內每一個錯誤來說，輸出一定會對應到  $Y_2$  的非法碼，此輸入必不會同時對應至

$Y_1$  的合法碼，所以能夠確保輸出在合法時有安全性。

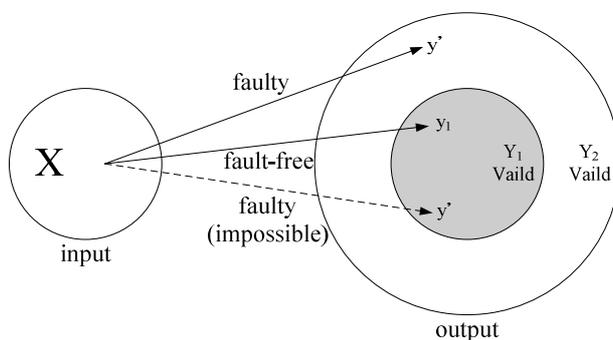


圖 2.15 Fault Secure 圖解

### 定義 2：Self Testing

對於一個給定錯誤集合裡的每一個錯誤來說，至少存在一組輸入碼可以讓電路輸出端產生一組非法碼，也就是說  $Y_2$  一定會對應到一組輸入  $X$ ，如圖 2.14 所示。

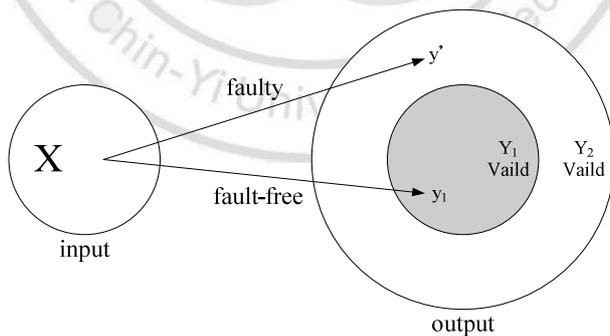


圖 2.16 Self Testing 圖解

### 定義 3：Code Disjoint

若在無錯(Fault-Free)操作時，輸入合法碼將對應輸出合法碼，輸入為非

法碼則對應輸出為非法碼。

假如一個電路被稱為 TSC 檢查器，此電路必須要符合 Fault Secure、Self Testing 以及 Code Disjoint 這三種定義，一但滿足即可以確保電路的可靠度。

### 2.3.2 非樹狀架構之雙軌檢查器

不同於一般樹狀架構的雙軌檢查器，非樹狀架構的雙軌檢查器比較適合應用於高位元的電路上，雖然此種檢查器的設計較前者複雜，面積也比較大，但是速度卻比前者快，近年來對於非樹狀架構的雙軌檢查器的研究也非常多[9]-[10]。

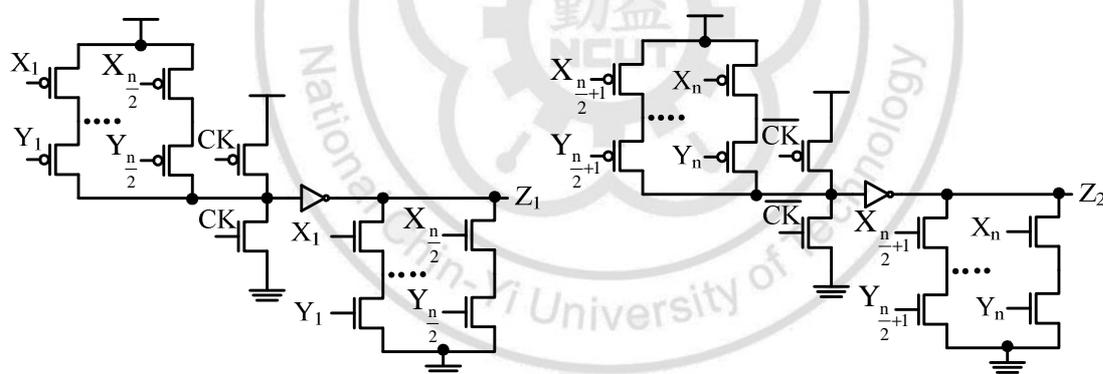


圖 2.17 非樹狀架構雙軌檢查器[10]

圖 2.17 即為非樹狀架構的雙軌檢查器，在正常的情況下 $(X_i, Y_i)$ 皆會互補 $[(0, 1)$ 或 $(1, 0)]$ ，其中  $i$  可為 1 至  $n$ ，所以 $(X_i, Y_i)$ 皆不會導通，而檢查器的輸出 $(Z_1, Z_2)$ 就會由  $CK$  決定，由圖中可得知正常狀況下 $(Z_1, Z_2)$ 亦是互補的輸出。若是當錯誤發生時，雙軌檢查器的輸入 $(X_i, Y_i)$ 是非互補的輸入，而

輸出( $Z_1, Z_2$ )亦是互補的輸出。

當錯誤發生時，不管( $X_i, Y_i$ )的訊號為[(1, 1)或(0, 0)]，皆會使電路造成分壓的現象。以圖 2.17 中  $Z_1$  的那一組為例子，當( $X_1, Y_1$ )的訊號為(0, 0)而 CK 為高電位時，導通的( $X_1, Y_1$ )會與 CK 的 NMOS 造成分壓的情形，所以必須去調整( $X_1, Y_1$ )的 PMOS 電晶體尺寸，讓其分壓後  $Z_1$  仍然可保持在高電位。同樣地，若( $X_1, Y_1$ )的訊號為(0, 0)時會和 CK 的 PMOS 電晶體造成分壓的情形，也必須調整( $X_1, Y_1$ )的 NMOS 電晶體尺寸，讓分壓以  $Z_1$  仍然維持在低電位。

$$(W/L)_{pp} > 2 \frac{\mu_n}{\mu_p} (W/L)_n \quad (2.1)$$

$$(W/L)_{nn} > 2 \frac{\mu_p}{\mu_n} (W/L)_p \quad (2.2)$$

電晶體尺寸的設計可以參考公式(2.1)及公式(2.2)，根據這兩個公式，再利用 TSMC 0.18 $\mu$ m Mixed-Signal 1P6M Polycide 1.8/3.3 V 製程技術實際模擬結果得出：當 PMOS 與 NMOS 電晶體的通道寬度長度比分別為 7 倍以及 2 倍時，圖 2.17 的電路即可以正常的運作，而本文第三章與第四章所談到的雙軌檢查器皆是依照這個尺寸設計的。先前提到非樹狀架構的雙軌檢查器比樹狀架構的雙軌檢查器適合應用於高位元上，是因為非樹狀架構的雙軌檢查器在位元增加時延遲時間並不會跟著增加，例如假設一個非樹狀架構的雙軌檢查器的延遲時間為  $t_k$ ，那麼當此檢查器應用在 128-bit 時，檢查

器的延遲時間仍然為  $t_k$ ，所以非樹狀架構的雙軌檢查器適合應用在高位元的電路上。



### 第三章 完全自我檢查進位選擇加法器設計

完全自我檢查電路被廣泛的運用在需要高可靠度的電子系統上，而一個由完全自我檢查電路所組成的電路其功能必須符合晶片設計者的需求，完全自我檢查電路系統可以分為功能電路、檢查碼產生器和檢查器。功能電路的輸出經由檢查碼產生器後便會產生出晶片設計者所需要的檢查碼，而檢查器則是用來告知我們此檢查碼是屬於合法碼還是非法碼。

在本研究中，我們使用一個兩位元的進位選擇加法器做為基本模組，該進位選擇加法器的輸出經由檢查碼產生器後產生雙軌檢查碼，再由雙軌檢查器檢查該雙軌檢查碼便可以得知此兩位元進位選擇加法器是否有錯誤的產生。對於傳統的進位選擇加法器速度雖然快，但該架構所需要的晶片面積卻很大，若是再加上自我檢查電路所需要的面積，我們發現此晶片面積太大以致於我們無法接受，所以我們利用單一漣波進位加法器和尋找 First Zero 的加 1 電路來設計所需之進位選擇加法器。如圖 3.1 所示為傳輸閘形式之進位選擇加法器，此電路架構能有效的減少晶片面積，圖 3.2 為兩位元之進位選擇加法器。

#### 3.1 完全自我檢查進位選擇加法器

完全自我檢查進位選擇加法器可分為三大區塊設計，第一區塊為主要的功能電路，乃是利用單一漣波進位加法器和加 1 電路所設計出來的進位選擇加法器。第二區塊為將進位選擇加法器之輸出作雙軌編碼的檢查碼產生

器，此電路主要的功能為把進位選擇加法器之輸出和(Sum)做雙軌編碼後，可產生兩兩互補的訊號。第三區塊為雙軌檢查器，此檢查器之主要功能為用來檢查第二區塊檢查碼產生器中所產生出來的雙軌編碼是否有達到原先所期待兩兩互補的形式，若有則表示進位選擇加法器內部並沒有發生傳遞錯誤的情形雙軌檢查器之輸出會呈現互補。若沒有則表示進位選擇加法器內部在傳遞訊號時發生了傳遞錯誤的情形，此時雙軌檢查器之輸出則會呈現同相輸出，那麼我們可得知此時此刻第一區塊功能電路的輸出是不正確的。

### 3.1.1 進位選擇加法器之設計

進位選擇加法器的運算速度雖然快，但是其代價為所使用的電路面積大，進位選擇加法器設計大都著重在如何減少電路面積。本文所使用的進位選擇加法器如圖 3.1 所示，主要改良 Kim's 的電路架構而來的，在加 1 電路部份把原先設計者使用 NMOS 和 PMOS 所組成的進位鏈以傳輸閘取代。但是由於本文所設計之自我檢查電路以兩位元為主，所以必須再對此電路做此修正，修正後的兩位元進位選擇加法器如圖 3.2 所示。

在圖 3.2 中我們可以發現高位元和低位元的全加器的和(Sum)輸出有形成互補式的輸出，主要的原因是我們觀察 Kim's 的電路架構後發現該電路架構有一個固定的特性就是在每個位元的全加器的和(Sum)輸出都會串接一個反相器(Inverter)，其主要的功能是用來產生補數的和(Sum)輸出。可是

單單只為了產生補數的和(Sum)輸出就在每一級的全加器後都串接一個反相器，此一設計方法不但會增加整體電路的電晶體數目，還會對整體電路的速度造成影響，於是我們猜想是否有辦法在不串接此一反相器的情況下還能擁有互補式的和(Sum)輸出，這樣不但能夠減少電路面積還能提升電路整體的速度，最後發現若使用 28 顆電晶體傳統的 CMOS 鏡射式全加器，如圖 3.3 所示，便能達到我們需求。

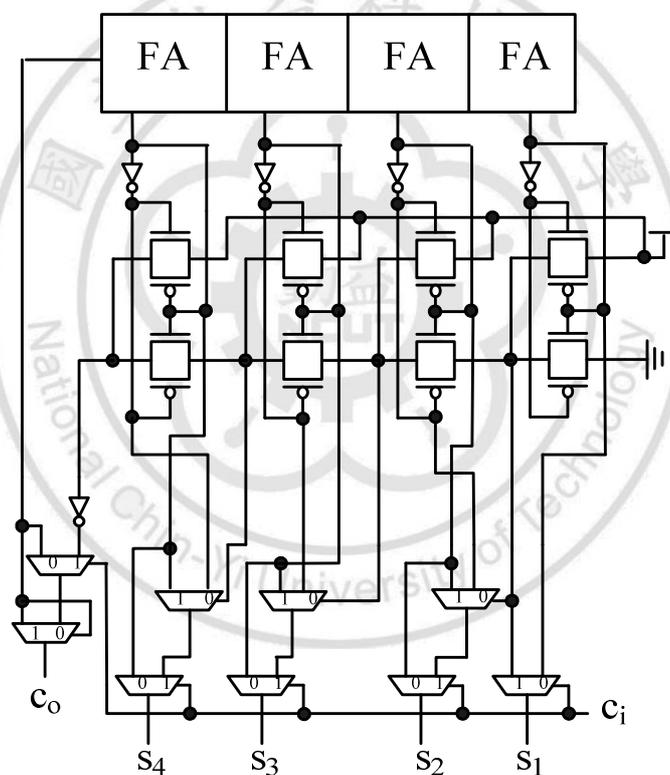


圖 3.1 傳輸閘形式之進位選擇加法器

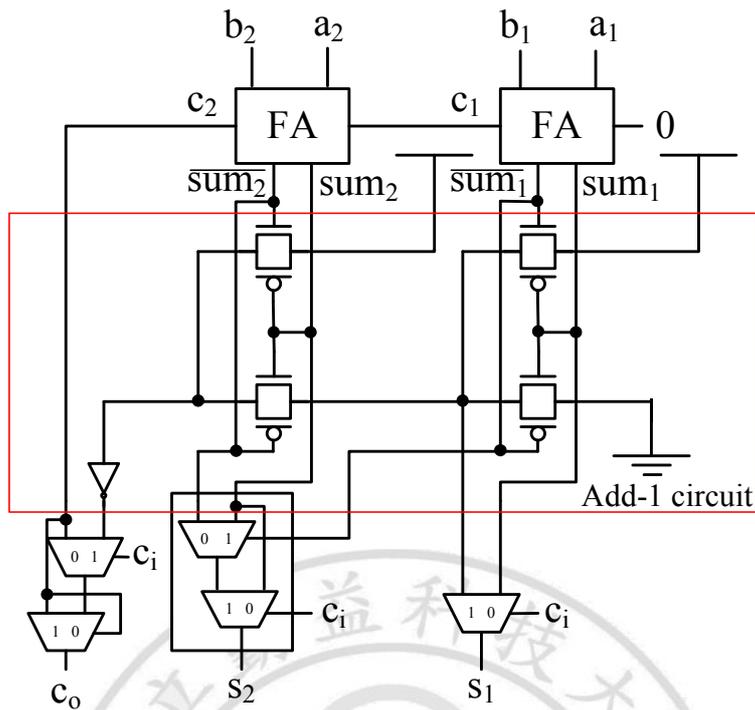


圖 3.2 兩位元之進位選擇加法器

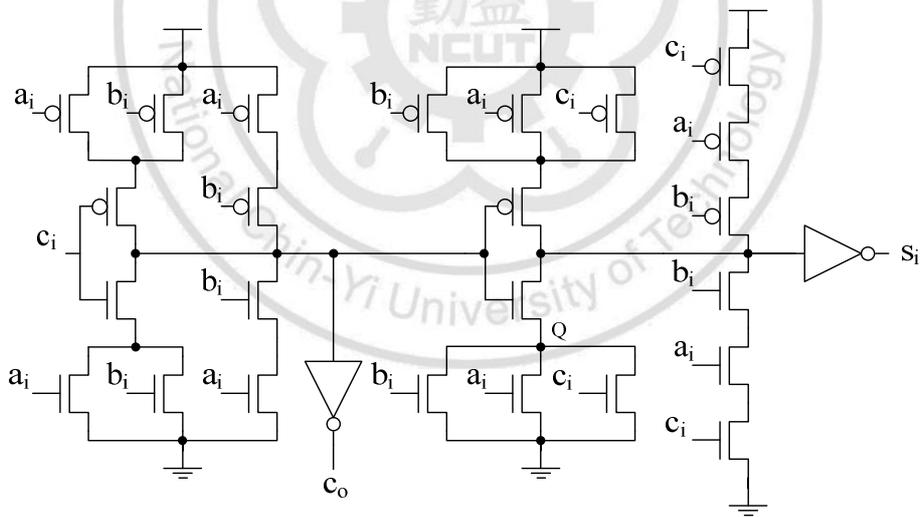


圖 3.3 鏡射式全加器

### 兩位元進位選擇加法器 SPICE 模擬結果

HSPICE 模擬圖 3.2 的輸入頻率為 200MHz，電壓為 1.8V，製程為 TSMC 0.18 $\mu$ m。由模擬波形圖 3.4 可看出兩位元進位選擇加法器的 32 種變化下，

輸出  $s_1$ 、 $s_2$  和  $c_0$  的波形皆為正確，所以由此模擬波形可推斷出圖 3.2 的電路架構是可正常運作的。

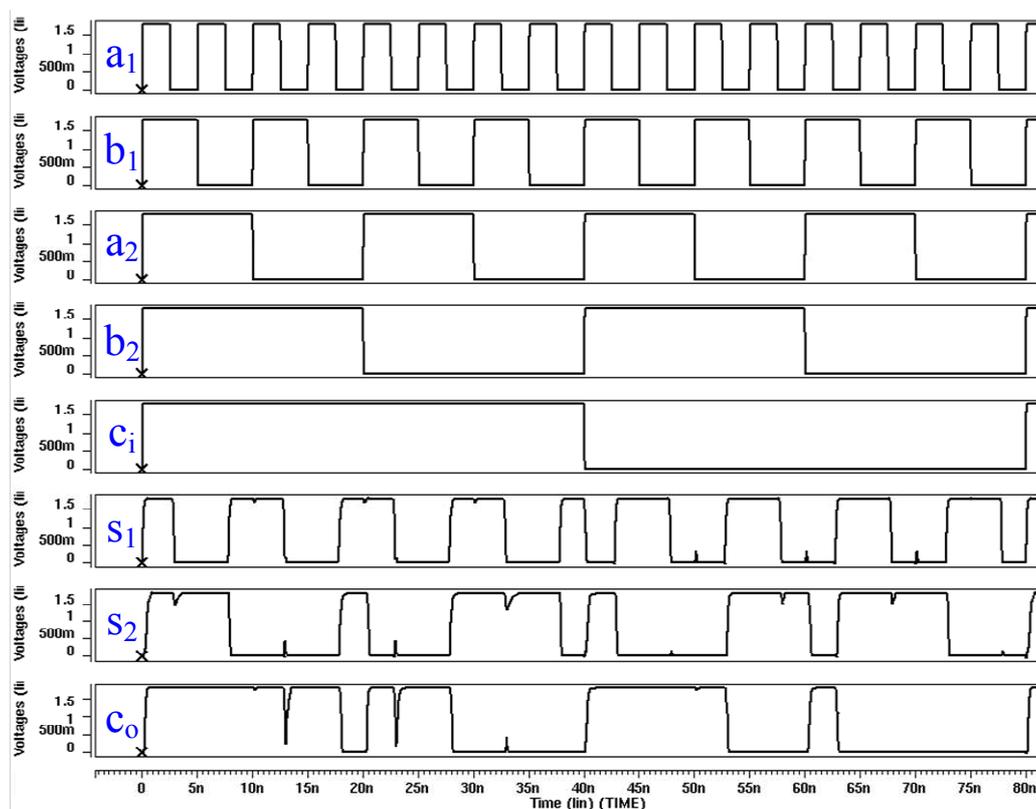


圖 3.4 兩位元進位選擇加法器模擬波形

### 3.1.2 檢查碼產生器之設計

本章節主要探討的是檢查碼產生器的設計，其主要的功能為將第一區塊功能電路的輸出經由此產生器做雙軌編碼後再當作第三區塊雙軌檢查器的輸入，如圖 3.5 所示，而此電路架構的設計構想來自於第 2.2 節中所介紹的自我檢查電路。

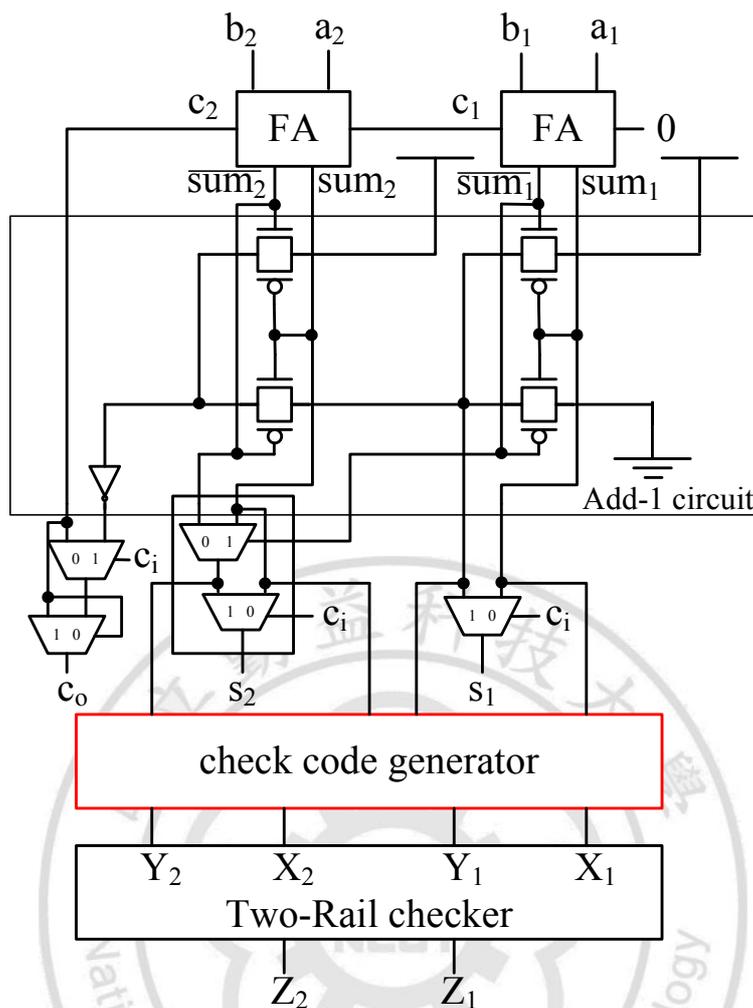


圖 3.5 檢查碼產生器示意圖

根據 2.2 節中所介紹的自我檢查電路，兩位元 CSA 的四個和(Sum)輸出經由檢查碼產生器做雙軌編碼後當作雙軌檢查器的輸入，在電路沒有發生傳遞錯誤或固著錯誤的情況下，檢查碼產生器的四個輸出( $X_1$ ,  $Y_1$ )以及( $X_2$ ,  $Y_2$ )在任何情況下必須要構成互補的形式。此一設計方法雖然簡單，不過 2.2 節所使用的功能電路為傳統四個全加器所構成的 CSA，而本研究所使用的功能電路為加 1 電路的 CSA，若是直接把此一設計方法套用在加 1 電路的 CSA 上，可以得到如圖 3.6 所示之電路圖。由於所使用的功能電路並不相

同，所以我們必需證明圖 3.6 具有自我檢查的功能，最好的辦法就是採用模擬驗證；輸入所需之模擬訊號給它，再去觀察這些模擬的訊號經由功能電路和檢查碼產生器後所得到的四個輸出 $(X_1, Y_1)$ 以及 $(X_2, Y_2)$ 是否有構成互補的形式，若有，則表示此一設計方法在電路沒有發生傳遞錯誤或固著錯誤時可以正常的運作。再接著就是要模擬此一架構在發生傳遞錯誤或固著錯誤時是否擁有自我檢查的功能，亦即當電路發生單一傳遞錯誤或是固著錯誤時，檢查碼產生器的輸出 $(X_1, Y_1)$ 以及 $(X_2, Y_2)$ 是否會有一組無法構成互補的形式，若有，則表示其自我檢查功能是完整的。

接下來我們將會針對圖 3.6 電路模擬一組輸入訊號並分析該電路發生傳遞錯誤時是否擁有自我檢查的功能；我們設定模擬 $[(a_1, a_2), (b_1, b_2)]$ 的訊號為 $[(0, 1), (1, 0)]$ 以及前級進位  $c_i$  的訊號為 0，我們首先觀察功能電路的輸出是否正確，經由上述模擬的輸入訊號我們可以得到 $(s_1, s_2, c_o)$ 的訊號為 $(1, 0, 1)$ ，由此可知功能電路是可以正常運作的。再來我們就要觀察檢查碼產生器的輸出 $(X_1, Y_1)$ 以及 $(X_2, Y_2)$ 是否有構成互補的形式，CSA 的四個和(Sum)輸出經由檢查碼產生器做雙軌編碼後可以得到輸出 $[(X_1, Y_1), (X_2, Y_2)]$ 的訊號為 $[(1, 0), (0, 1)]$ ，由於檢查碼產生器的輸出皆有構成互補的形式，所以這此訊號再由雙軌檢查器的運算後最後會送出互補的訊號，這就說明圖 3.6 的架構在電路沒有發生錯誤的情況下是可以正常運作的。

緊接著我們要討論此架構的自我檢查功能，在同一組模擬的輸入訊號下

我們會分別模擬此電路圖中(P, R,  $c_1$ )三點的自我檢查功能是否正確。

首先可觀察出圖中 P 點的訊號為 0 訊號，現在若是該點發生了傳遞錯誤，亦即 P 點的訊號由原本正確的訊號 0 變為錯誤的 1 訊號，在電路沒有發生其它錯誤的情況下，我們觀察此時檢查碼產生器的輸出 $[(X_1, Y_1), (X_2, Y_2)]$ 的訊號為 $[(1, 1), (0, 1)]$ ，由於 $(X_1, Y_1)$ 這一組沒有辦法構成互補的形式，這些訊號再經由雙軌檢查器的運算後最後會送出不互補的訊號，所以我們可以得知此電路在傳遞訊號的時候發生了錯誤。

再來我們假設圖中 R 點發生了傳遞錯誤情形，亦即 R 點的訊號由正確的訊號 0 變成訊號 1，在電路沒有發生其它的錯誤下，檢查碼產生器輸出訊號 $[(X_1, Y_1), (X_2, Y_2)]$ 為 $[(1, 0), (1, 1)]$ ，一樣的 $(X_2, Y_2)$ 這一組無法構成互補的形式，所以雙軌檢查器會送出不互補的訊號而我們可以得知電路發生了傳遞錯誤。

最後我們假設圖中低位元全加器的進位輸出  $c_1$  發生了傳遞錯誤，錯誤的  $c_1$  訊號 1 被當作高位元全加器的進位輸入，然後我們觀察檢查碼產生器的輸出訊號 $[(X_1, Y_1), (X_2, Y_2)]$ 為 $[(1, 0), (1, 0)]$ ，在  $c_1$  發生了錯誤情況下檢查碼產生器的輸出居然有構成互補，可知此電路的自我檢查能力在  $c_1$  是不完整的。雖然  $c_1$  的自我檢查能力有問題，但是經由 P 點和 R 點的模擬也說明了此電路架構仍然是擁有部份的自我檢查的功能，我們如果假設圖中兩個全加器之間的進位時並不會發生傳遞錯誤，亦即把兩個全加器想像成一個

兩位元的全加器區塊，那麼在此假設下圖 3.6 的電路架構就能夠說擁有自我檢查的功能。

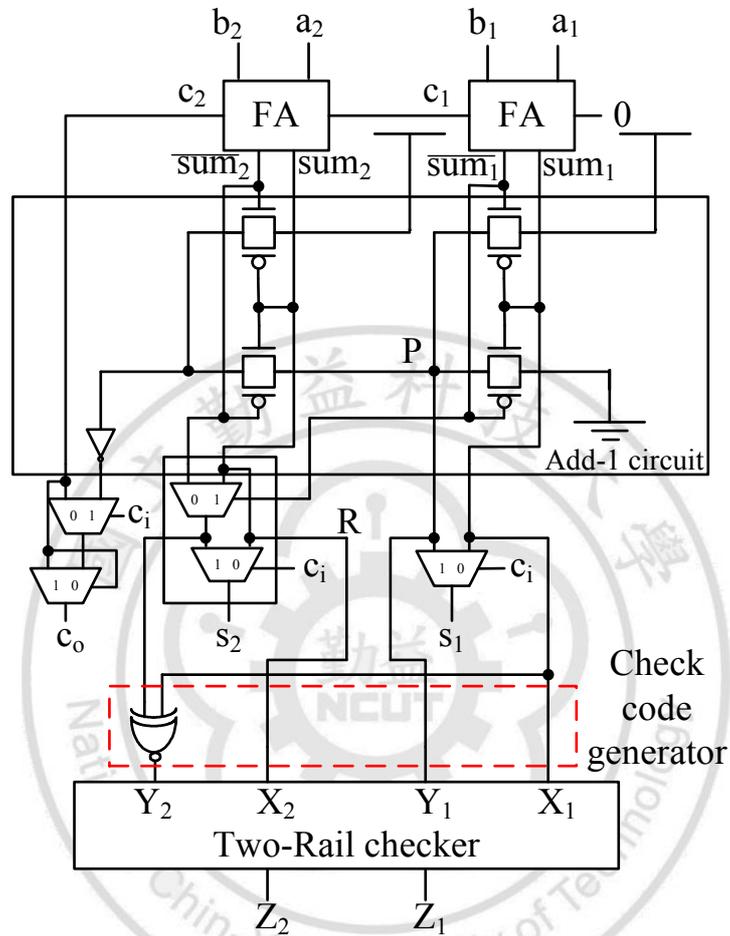


圖 3.6 兩組之檢查碼產生器

就上述所做的模擬結果可以看出，我們目前所設計出來的檢查碼產生器並不完整，因為我們必須要先假設功能電路中兩個全加器之間的進位  $c_1$  並不會發生錯誤，在此一假設下此電路架構才能擁有自我檢查功能。反觀 2.2 節所提及的自我檢查電路，該作者所提出的電路架構在全加器進位時若發生了錯誤是可以被察覺出來的，會有此差異的主要原因是兩位元進位選

擇加法器架構上的差異。[7]中作者所使用的加法器為傳統的架構，而我們所使用的是利用加 1 電路所設計出來的 CSA，此兩種加法器的主要功能雖然相同，但是其內部架構卻大不相同。

傳統的 CSA 是利用兩組 RCA 所設計出來的，讓其中一組的前級進位為 0 另一組為 1 如圖 2.1 所示，最後會由多工器選擇那一組的運算結果是正確的。我們可以發現這兩組 RCA 的運作是獨立的，彼此間並不會造成影響。若前級進位為 0 的這一組 RCA 在進位時發生了錯誤時雖然會對和(Sum)輸出造成影響，但是並不會對另一組前級進位為 1 的 RCA 造成任何影響，所以能夠查覺錯誤的存在。

我們所使用的 CSA 是由一組 RCA 和加 1 電路所組成的，如圖 3.2 所示，而加 1 電路是在模擬另一組進位為 1 的 RCA 的功能，所以和傳統的架構一樣最後會產出兩組結果讓多工器作選擇。當前級進位為 0 的 RCA 發生進位錯誤時，不但會對其和(Sum)輸出造成影響，還會對加 1 電路所運算出來的結果造成影響以致於我們無法查覺此一錯誤的存在。

到目前為止圖 3.6 的檢查碼產生器的架構並不完整，所以我們必須針對此電路再做些修正，讓全加器在進位發生錯誤時也可以察覺的出來，這樣自我檢查的功能才算是完整，首先我們先觀察兩位元進位選擇加法器的真值表如下表 3.1。

表 3.1 兩位元進位選擇加法器真值表

				Carry-in = 1				Carry-in = 0				
$b_2$	$a_2$	$b_1$	$a_1$	$s_2$	$c_2$	$s_1$	$c_1$	$s_2$	$c_2$	$s_1$	$c_1$	$s_1 \odot c_1$
0	0	0	0	0	0	1	0	0	0	0	0	1
0	0	0	1	1	0	0	1	0	0	1	0	0
0	0	1	0	1	0	0	1	0	0	1	0	0
0	0	1	1	1	0	1	1	1	0	0	1	0
0	1	0	0	1	0	1	0	1	0	0	0	1
0	1	0	1	0	1	0	1	1	0	1	0	0
0	1	1	0	0	1	0	1	1	0	1	0	0
0	1	1	1	0	1	1	1	0	1	0	1	0
1	0	0	0	1	0	1	0	1	0	0	0	1
1	0	0	1	0	1	0	1	1	0	1	0	0
1	0	1	0	0	1	0	1	1	0	1	0	0
1	0	1	1	0	1	1	1	0	1	0	1	0
1	1	0	0	0	1	1	0	0	1	0	0	1
1	1	0	1	1	1	0	1	0	1	1	0	0
1	1	1	0	1	1	0	1	0	1	1	0	0
1	1	1	1	1	1	1	1	1	1	0	1	0

在表中詳細的列出了 16 種輸入變化所對應的四個全加器進位以及和 (Sum) 的輸出節點，由圖 3.6 中的電路架構可得知表 3.1 中 Carry-in = 1 的訊號是由 Carry-in = 0 的訊號經由加 1 電路的運算後所得到的，若是 Carry-in = 0 的全加器在進位時發生了傳遞錯誤，亦即表 3.1 中 Carry-in = 0 中的  $c_1$ ，那麼錯誤的訊號再由加 1 電路所運算出來的 Carry-in = 1 的訊號當然是錯誤的，所以在設計時我們不去考慮 Carry-in = 1 的所有訊號。在 Carry-in = 0 的四個輸出節點中， $s_1$  和  $c_2$  的節點訊號也是我們無法使用的，因為當  $c_1$  發

生了傳遞錯誤時也會對  $s_2$  以及  $c_2$  造成影響。

觀察  $c_1$  和  $s_1$  節點後發現這兩個節點的訊號是有規律性的，接著將這兩個節點做互斥反或( $s_1 \odot c_1$ )的運算後所得到的結果如表 3.1 所示。接下來我們只要找到一個節點和( $s_1 \odot c_1$ )在任何情況皆會互補的話，那麼就可以改善圖 3.6 當電路發生進位錯誤時無法自我檢查的缺點。不過在表 3.1 中已經沒有我們能夠使用的節點了，唯一的辦法就是從全加器中尋找我們所需要的節點。圖 3.3 為我們所使用的全加器的電路圖，由於前級進位為 0，所以全加器的兩個輸入  $a_1$  和  $b_1$  共會產生四種變化，我們發現圖中的 Q 節點(見圖 3.3)在這四種變化下恰好和( $s_1 \odot c_1$ )運算後的結果相同，只要再將此 Q 點加個反相器，那麼就可以得到和( $s_1 \odot c_1$ )互補的訊號，也就可以解決當進位發生傳遞錯誤卻無法查覺的缺點。再根據 2.2 節所提到及的自我檢查電路有一個先決條件就是：假設電路中的全加器的內部若發生運算錯誤會呈現於其主輸出端(Primary Outputs)，在此一先決條件下我們所找到 Q 點的訊號理所當然也能說永遠正確。

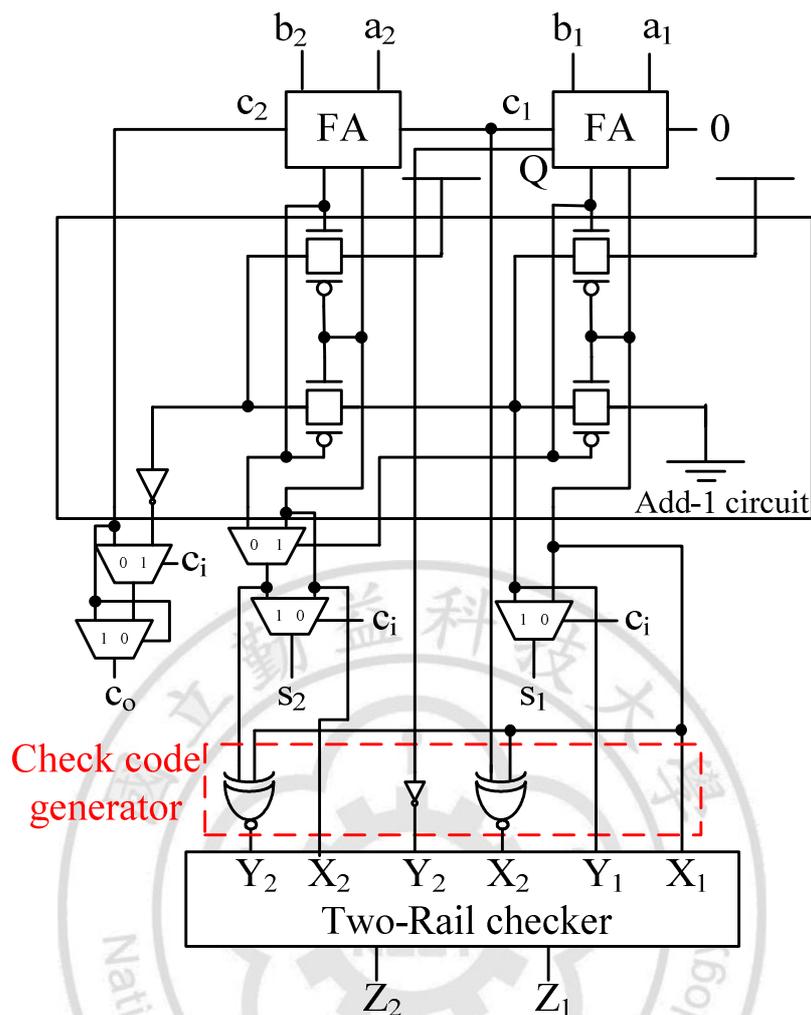


圖 3.7 三組之檢查碼產生器

圖 3.7 為修改後的檢查碼產生器示意圖，由圖中可發現檢查碼產生器由原本的兩組輸出變為三組(Triple-Pair)輸出，在電路沒有發生傳遞錯誤的情況下檢查碼產生器的輸出 $[(X_1, Y_1), (X_2, Y_2), (X_3, Y_3)]$ 要構成互補，反之則表示電路發生了傳遞錯誤。為了要驗證修改後的檢查碼產生器功能是否正常，我們一樣模擬 $[(a_1, a_2), (b_1, b_2)]$ 的訊號為 $[(0, 1), (1, 0)]$ ，根據這些模擬訊號檢查碼產生器的輸出 $[(X_1, Y_1), (X_2, Y_2), (X_3, Y_3)]$ 的訊號為 $[(1, 0), (0, 1), (0, 1)]$ ，在正常的情况下三對輸出皆有構成互補。而當  $c_1$  發生了傳遞錯誤時，

檢查碼產生器輸出 $[(X_1, Y_1), (X_2, Y_2), (X_3, Y_3)]$ 的訊號為 $[(1, 0), (1, 1), (0, 1)]$ ，其中有一組無法構成互補，此模擬證明了此檢查碼產生器有達到我們所以預期功能。

### 3.1.3 雙軌檢查器之設計

本章節主要探討本文所用的雙軌檢查器的設計構想以及在電路中所扮演的角色，檢查器的設計構想來自於 2.3 節中所提及的電路架構，由此電路架構為基礎並針對其缺點做修改後，雙軌檢查器之功能才能符合我們需求。

當功能電路沒有發生錯誤時，雙軌檢查器接收檢查碼產生器所產生的互補的訊號，會送出互補的訊號並告知使用者功能電路的輸出是可信的。而功能電路發生傳遞錯誤時，檢查碼產生器會送出不互補的訊號，雙軌檢查器接收到此一編碼後會送不互補的訊號，此時使用者就可得知功能電路的輸出是不可信的。

根據 2.3 節中圖 2.17 所提及的非樹狀架構雙軌檢查器電路架構，圖 3.8 為此電路架構在兩位元時的示意圖，在正常狀況時檢查碼產生器所送出的 $[(X_1, Y_1), (X_2, Y_2)]$ 訊號會是互補的形式，觀察圖 3.8 後可發現 $Z_1$ 和 $Z_2$ 之輸出波形會呈現互補的形式，在此我們定義 $(Z_1, Z_2)$ 輸出狀態若為 $(1, 0)$ 或是 $(0, 1)$ 時稱之為合法碼，如圖 3.9(a)所示。而當功能電路發生傳遞錯誤時，檢查碼產生器所送出的 $[(X_1, Y_1), (X_2, Y_2)]$ 之訊號會有一組無法構成互補的形

式，而使得雙軌檢查器的  $Z_1$  或  $Z_2$  的輸出波形受到影響。假設是  $(X_1, Y_1)$  這一組無法構成互補，不管  $(X_1, Y_1)$  的訊號是皆為 0 訊號或是 1 訊號， $Z_1$  的輸出波形會固著在 0 訊號，而  $Z_2$  因為沒有受到影響所以輸出波形依然隨著 CK 在變動，如圖 3.9(b)所示。若是  $(X_2, Y_2)$  這一組無法構成互補，那麼  $Z_2$  的輸出波形也會固著在 0 訊號，而  $Z_1$  因為沒有受到影響，所以其輸出波形會隨著 CK 做變動，如圖 3.9(c)所示，此時我們定義  $(Z_1, Z_2)$  輸出狀態若為  $(0, 0)$  或是  $(1, 1)$  時稱之為非法碼。

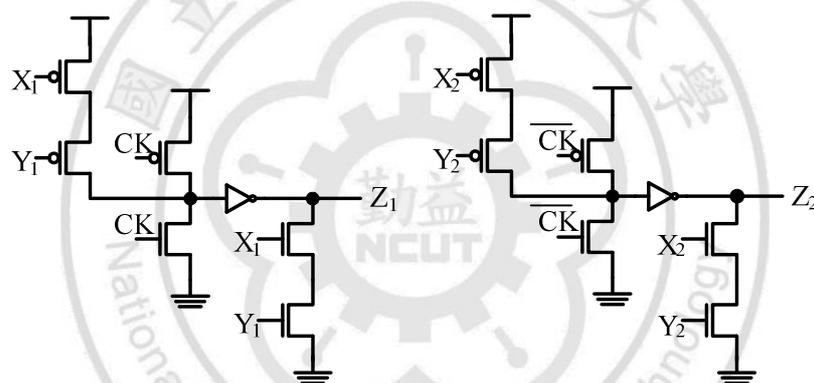


圖 3.8 兩位元時雙軌檢查器

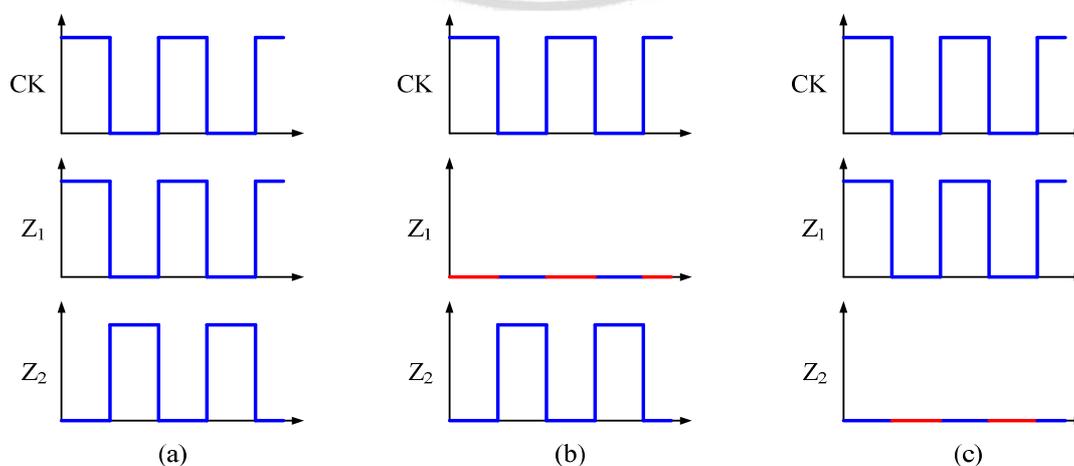


圖 3.9 雙軌檢查器之波形圖

經由上述的分析可得知當功能電路正常運作時，雙軌檢查器的輸出  $Z_1$  和  $Z_2$  在任何狀況皆會輸出合法碼，雖然此時有達到我們的需求，但當功能電路發生異常時， $Z_1$  和  $Z_2$  的輸出波形居然會有一半週期為合法碼，另一半週期為非法碼，也就是說當電路發生異常時，此雙軌檢查器會有一半週期無法偵測錯誤的存在，為此我們必須對此電路架構做更進一步修正以符合我們的需求。首先我在雙軌檢查器的輸出端各別加上 **D 型門鎖電路**(D Flip Flop)如圖 3.10 所示，加入門鎖電路的目的是因為此雙軌檢查器在電路發生異常時有半個週期無法偵測錯誤的存在，只要能夠利用門鎖電路來把正確的那半個週期門鎖起來，那麼就能更符合我們的需求，圖 3.11 為加入門鎖電路後的輸出波形圖。

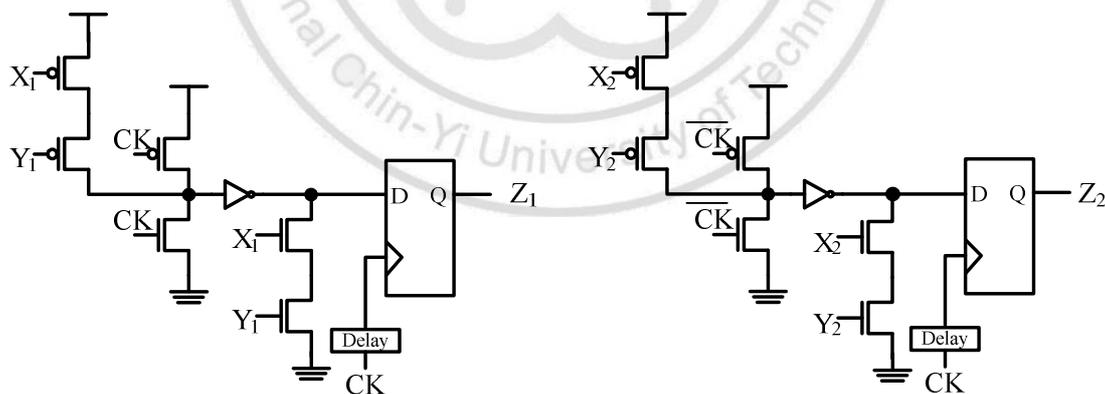


圖 3.10 加入門鎖電路之雙軌檢查器

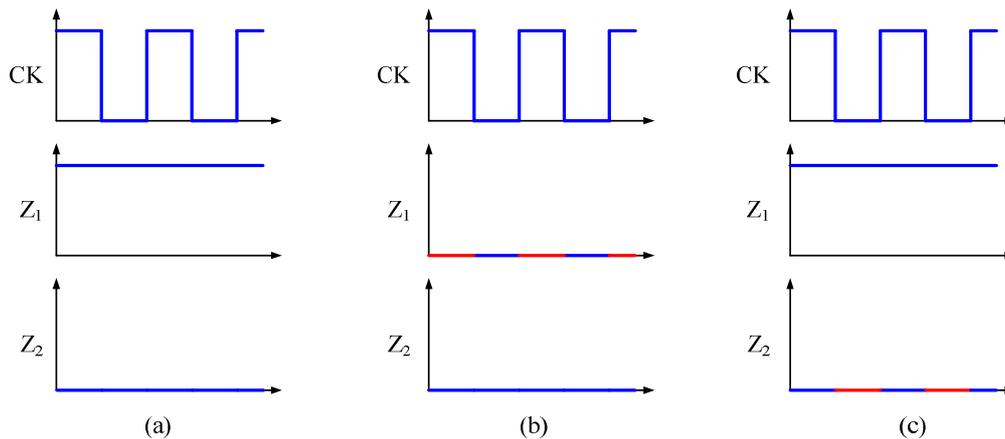


圖 3.11 加入閃鎖電路之雙軌檢查器輸出波形

觀察圖 3.11 後發現，當功能電路沒有發生異常時，輸出  $Z_1$  和  $Z_2$  的輸出為互補的合法碼。而當功能電路發生異常時，圖 3.11(b) 的  $Z_1$  和  $Z_2$  輸出為同相的非法碼，這雖然有符合我們的需求，但是在圖 3.11(c) 的輸出卻是互補的合法碼輸出，這並不是我們所想要的，所以光是加上閃鎖電路並不能解決問題。閃鎖電路有正緣觸發和負緣觸發兩種，所以我們對使用這兩種閃鎖電路後所得到的輸出結果列出於表 3.2，在表 3.2 中我們要尋找是否有一組合是當電路處於正常狀態時輸出會和異常狀態時不相同，亦即當電路處於正常狀態時輸出會同相而異常狀態時會反相或是當電路為正常狀態時輸出會反相而異常狀態時輸出會同相。

在表 3.2 的四種變化中，我們能夠使用的狀況是當  $Z_1$  為正緣  $Z_2$  為負緣，不過在此狀態下，功能電路正常時輸出會為同相，異常時會為反相。接著將此組組合套入至圖 3.10 中，並觀察其輸出波形如圖 3.12 所示。

表 3.2 正/負緣門鎖電路之輸出分析 I

Type of D	Normal	Z <sub>1</sub> with error	Z <sub>2</sub> with error
Z <sub>1</sub> = 1	1	0	1
Z <sub>2</sub> = 1	0	0	0
Z <sub>1</sub> = 0	0	0	0
Z <sub>2</sub> = 0	1	1	0
Z <sub>1</sub> = 1	1	0	1
Z <sub>2</sub> = 0	1	1	0
Z <sub>1</sub> = 0	0	0	0
Z <sub>2</sub> = 1	0	0	0

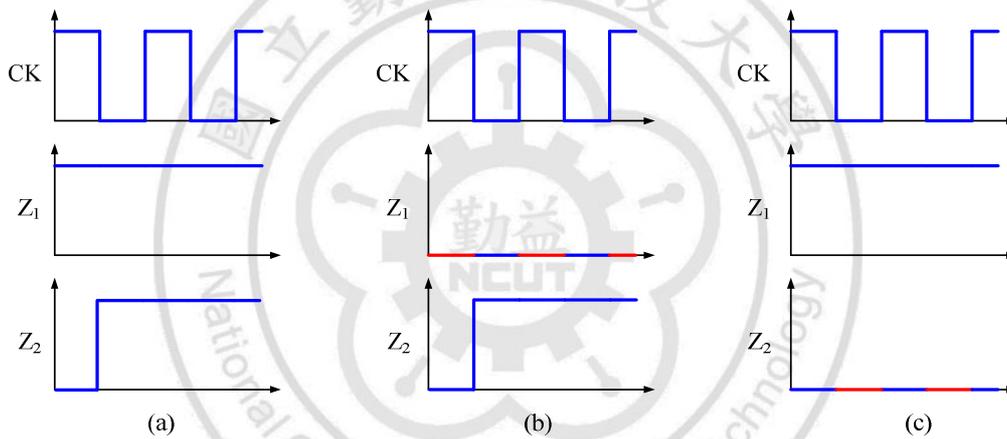


圖 3.12 正/負緣門鎖電路之輸出波形

在圖 3.12(a)和(b)可以發現一開始會有半個週期的訊號是錯誤的，雖然之後的波形皆為正確，但此電路架構仍然有瑕疵存在。為了修正此錯誤所以必須再對此電路架構再作修改。首先將圖 3.10 中 Z<sub>2</sub> 那一組的  $\overline{CK}$  改為 CK，然後一樣地將正緣和負緣兩種門鎖電路套用在雙軌檢查器上並列出表 3.3。

表 3.3 正/負緣門鎖電路之輸出分析 II

Type of D	Normal	Z <sub>1</sub>	Z <sub>2</sub>
Z <sub>1</sub> = 1	1	0	1
Z <sub>2</sub> = 1	1	1	0
Z <sub>1</sub> = 0	0	0	0
Z <sub>2</sub> = 0	0	0	0
Z <sub>1</sub> = 1	1	0	1
Z <sub>2</sub> = 0	0	0	0
Z <sub>1</sub> = 0	0	0	0
Z <sub>2</sub> = 1	1	1	0

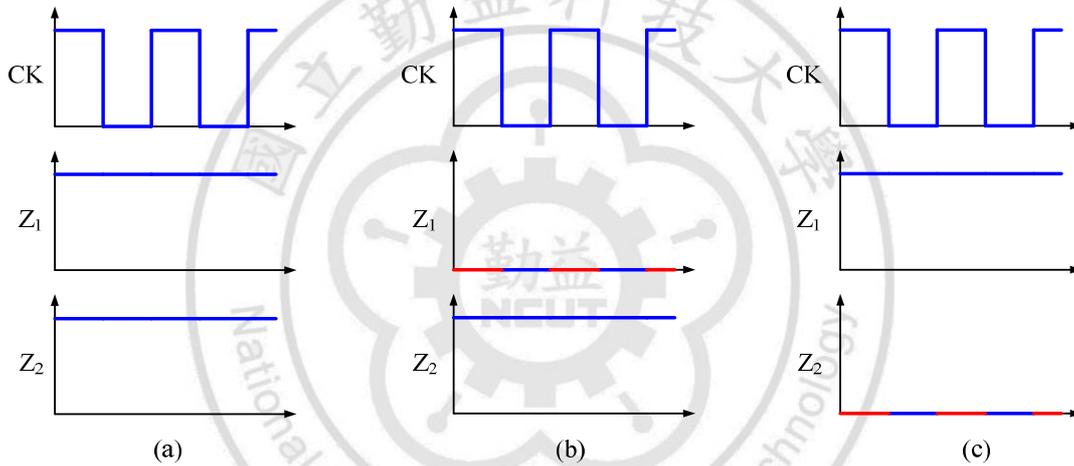


圖 3.13 修正後之正/負緣門鎖電路之輸出波形

在表 3.3 的四種變化中可發現當 Z<sub>1</sub> 和 Z<sub>2</sub> 皆為正緣時是可以供我們使用的，將此種組合套入圖 3.10 中可以得到圖 3.13 的波形圖。

圖 3.12 的波形圖說明了若是把圖 3.10 中的  $\overline{CK}$  改為 CK，並把將 Z<sub>1</sub> 和 Z<sub>2</sub> 的門鎖電路分設為正緣時，其輸出波形可以符合我們的需求。也由於將圖 3.10 中的  $\overline{CK}$  改為 CK，使得圖 3.10 中的兩個電路架構除了(X<sub>1</sub>, Y<sub>1</sub>)和(X<sub>2</sub>, Y<sub>2</sub>)不相同外，其它的架構根本是一樣的，若是把右邊部份的(X<sub>2</sub>, Y<sub>2</sub>)移到左

邊的 $(X_1, Y_1)$ 架構上，並不會對左邊電路的輸出造成影響，還可以減少電晶體的數量。

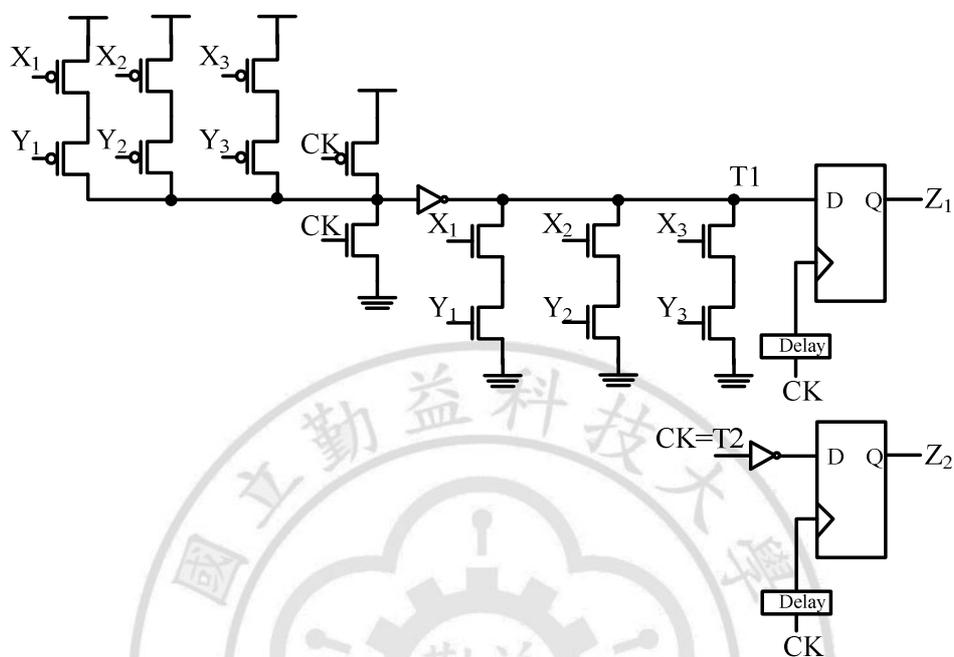


圖 3.14 三組輸入之雙軌檢查器

為了配合本文 3.1.1 節中最後設計出來的檢查碼產生器會有三組輸出  $[(X_1, Y_1), (X_2, Y_2), (X_3, Y_3)]$  的特性，最終所設計出來的雙軌檢查器如圖 3.14 所示。圖 3.14 之雙軌檢查器在功能電路沒有發生異常時輸出  $(Z_1, Z_2)$  會呈現互補的合法碼  $(1, 0)$ ，當功能電路發生異常時輸出  $(Z_1, Z_2)$  會呈現同相的非法碼  $(0, 0)$ 。

### 三組輸入之雙軌檢查器 SPICE 模擬結果

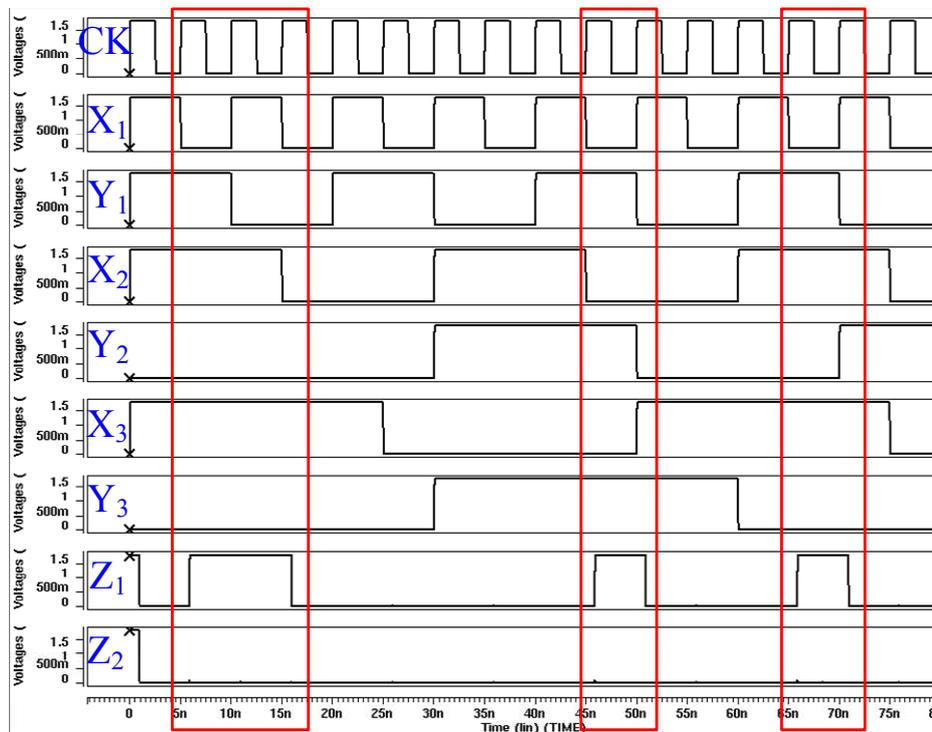


圖 3.15 雙軌檢查器模擬波形

以 HSPICE 模擬圖 3.14 電路架構的工作原理，輸入頻率為 200MHz，電壓為 1.8V，使用 TSMC 0.18 $\mu\text{m}$  製程技術。由圖 3.15 的模擬波形可以看出，當三組輸入 $[(X_1, Y_1), (X_2, Y_2), (X_3, Y_3)]$ 的波形皆有構成互補時，輸出 $(Z_1, Z_2)$ 的波形就會是互補的輸出，而當三組輸入中只要有一組沒有構成互補時，輸出 $(Z_1, Z_2)$ 就不會是互補的輸出，由圖 3.15 的模擬結果可證明此電路架構可正常運作。

### 3.2 完全自我檢查進位選擇加法器之自我檢查功能

本文所提出的完全自我檢查進位選擇加法器能夠即時偵測電路上所有

節點的暫態錯誤或固著錯誤，不同於傳統的測試方法需要由外部引入測試模組，此種傳統測試方法不但費時費力，若測試人員的訓練不足還會造成測試錯誤。自我檢查是一種內建在電路上的機制，能夠自動的去驗證邏輯設計上的任何暫時或突發的錯誤，而不需要經由電路外部引入測試模組。

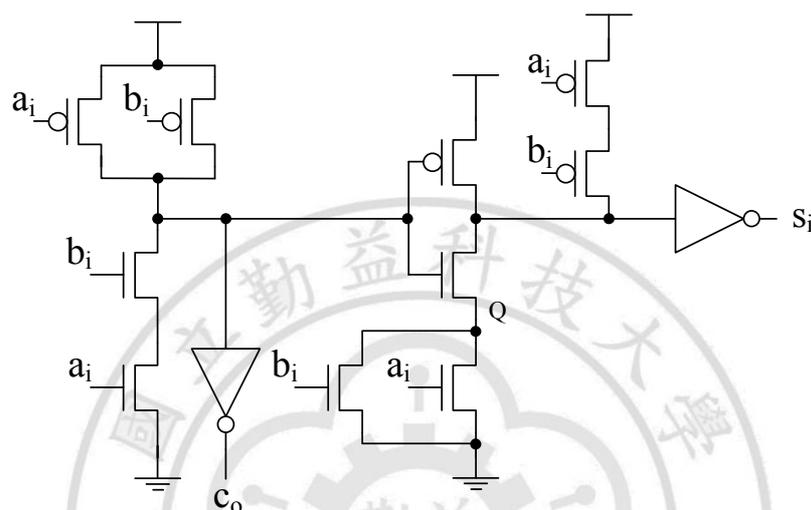


圖 3.16 省略  $c_i$  的半加器

本文是以兩位元 CSA 模組為主要的功能電路並且內建自我檢查功能，但由於 CSA 本身的電晶體數目就很多，若是再加上自我檢查電路所需要的電晶體，那麼整體的電晶體數量就更多了，所以在 CSA 上還必須再盡量的減少電晶體的使用量。觀察 3.1 節的圖 3.2 後發現低位元的全加器的進位永遠為 0 訊號，那麼就不需要使用全加器而改用半加器(Half Adder)即可達到相同目的，但是一般的半加器並不拿來使用，是因為檢查碼產生器必須要用到圖 3.3 全加器中的 Q 點，所以我們將圖 3.3 的  $c_i$  設為 0 訊號並省略後可以得到圖 3.16 的半加器。

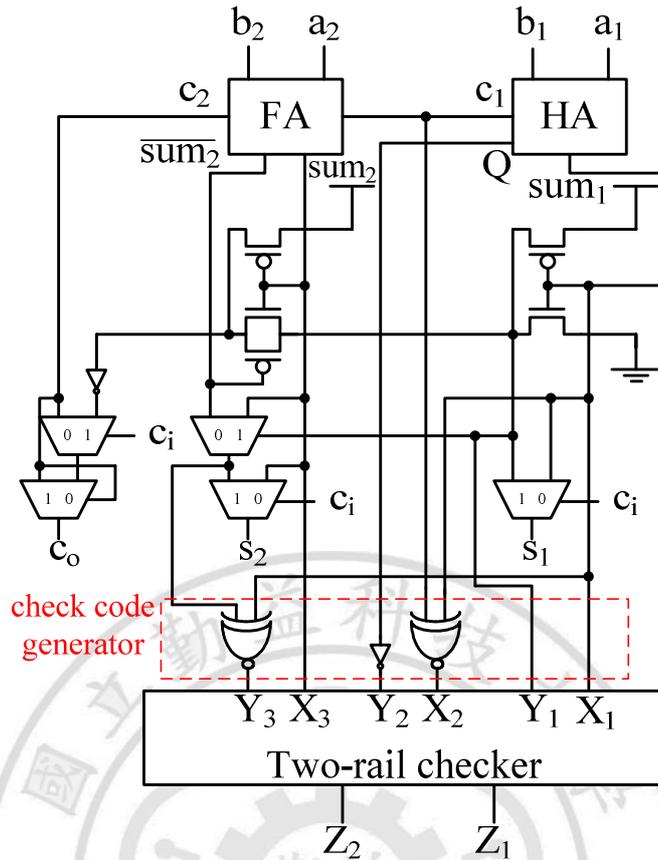


圖 3.17 簡化兩位元自我檢查 CSA 模組電路圖

另外圖 3.2 中的四個傳輸閘中有三個的輸入是定值的，所以能夠將其不需的電晶體去掉以減少電晶體的使用量，最後所設計出來的主體架構如圖 3.17 所示，不過由於本文的全電路圖過於龐大，所以只顯示進位選擇加法器以及檢查碼產生器的電路架構，而雙軌檢查器則以一個區塊表示。

## 簡化兩位元自我檢查 CSA 模組電路之 SPICE 模擬結果

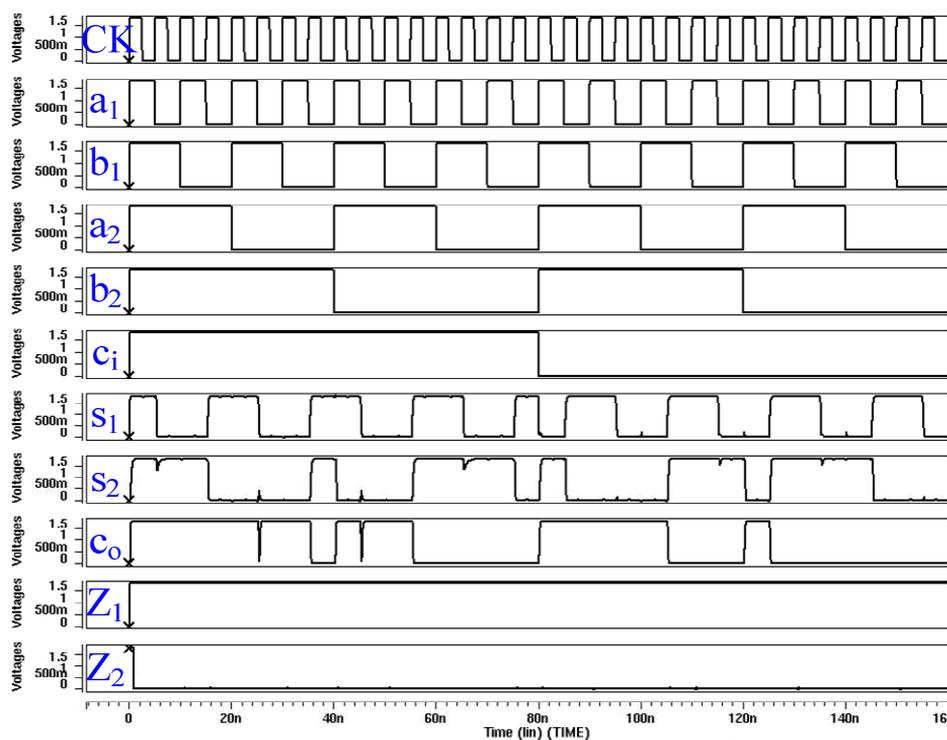


圖 3.18 簡化兩位元自我檢查 CSA 模組電路之模擬波形

以 HSPICE 模擬操作在 200MHz 方式下，模擬圖 3.17 之簡化兩位元自我檢查 CSA 模組電路之操作，使用 TSMC 0.18 $\mu\text{m}$  製程技術去模擬，模擬的輸出波形如圖 3.18 所示，模擬的輸入訊號有 6 個，分別如下所述：

- (1) 週期寬度為 2.5 ns、週期為 5 ns 的 CK
- (2) 週期寬度為 5 ns、週期為 10 ns 的  $a_1$
- (3) 週期寬度為 10 ns、週期為 20 ns 的  $b_1$
- (4) 週期寬度為 20 ns、週期為 40 ns 的  $a_2$
- (5) 週期寬度為 40 ns、週期為 80 ns 的  $b_2$

(6) 週期寬度為 80 ns、週期為 160 ns 的  $c_i$

由上述的模擬結果可看出進位選擇加法器  $s_1$ 、 $s_2$  以及  $c_i$  的輸出訊號在所有狀態下皆正確，而雙軌檢查器的輸出  $Z_1$  和  $Z_2$  亦皆有構成互補的輸出，也說明了此電路目前並沒有發生傳遞錯誤的情形。

### 3.2.1 固著錯誤偵測方式

本章節將會詳細的介紹本研究所提出的電路架構在運作中若電路發固著錯誤時是如何查覺錯誤的存在，在圖 3.19 中假設了三個節點固著錯誤的例子，分別為  $N_1$ ：Stack-at 0 (s-a-0)、 $N_2$ ：Stack-at 1 (s-a-1) 以及  $N_3$ ：Stack-at 1 (s-a-1)。由於在真實的電路中同時發生兩個錯誤的存在機率並不常見，所以本文所設計的完全自我檢查進位選擇加法器只針對單一錯誤，若同時發生兩個或以上的錯誤機率極微並不在我們討論的範圍。

在圖 3.19 中我們將雙軌檢查器省略，主要是因為雙軌檢查器的輸入  $[(X_1, Y_1), (X_2, Y_2), (X_3, Y_3)]$  只要有構成兩兩互補時，輸出  $Z_1$  和  $Z_2$  也會是互補的輸出，所以只要觀察  $[(X_1, Y_1), (X_2, Y_2), (X_3, Y_3)]$  的訊號，便可以得知  $Z_1$  和  $Z_2$  的輸出訊號為何，所以在此省略雙軌檢查器的部份以方便電路的解說。

在圖 3.19 中預先假設了輸入訊號  $[a_1, b_1, a_2, b_2]$  為  $[1, 0, 1, 0]$ ，若沒有發生錯誤的情況下，可以得到  $[(X_1, Y_1), (X_2, Y_2), (X_3, Y_3)]$  的訊號為  $[(1, 0), (0, 1), (1, 0)]$ ，此三組訊號皆有構成互補，所以  $(Z_1, Z_2)$  的訊號會呈現可信任之合法

碼(1, 0)。

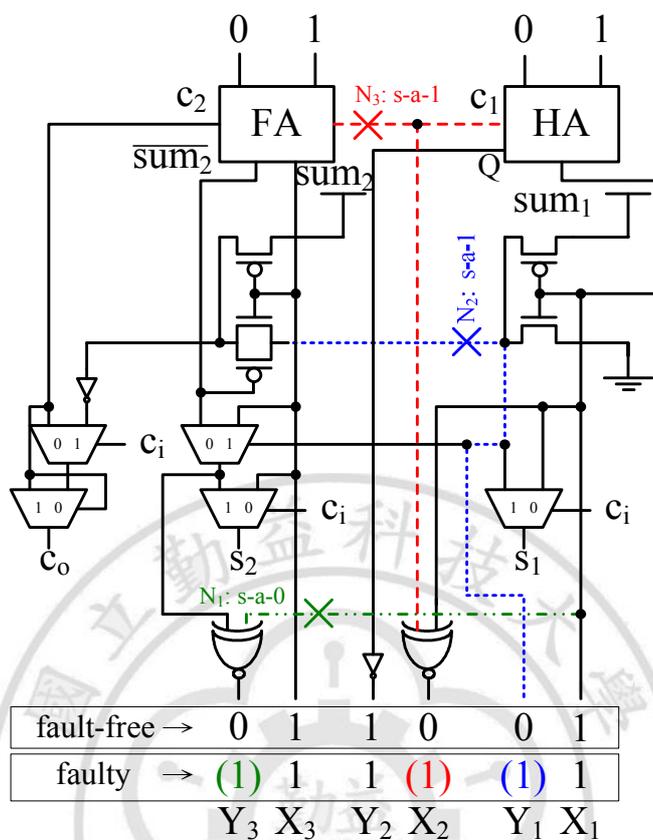


圖 3.19 電路發生固著錯誤之偵錯例子

**(a) 錯誤發生  $N_1$  : s-a-0 (stack-at-0)**

當圖 3.19 中發生了固著 0 (s-a-0, stack-at-0) 錯誤於節點  $N_1$  且電路沒有發生其它錯誤時，節點  $N_1$  的訊號由原本的 1 訊號變為 0 訊號，此錯誤的訊號 0 和另一個正確的訊號 0 經由互斥反或閘的運算後送出了訊號 1。在這個例子中，錯誤的訊號經由檢查碼產生器的運算後產生了不可信的訊號導致  $X_3$  和  $Y_3$  的訊號皆為 1 並沒有構成互補，所以雙軌檢查器的輸出 ( $Z_1, Z_2$ ) 會送出非法碼(0, 0)，由此可以得知電路發生了錯誤。

## $N_1$ 發生 s-a-0 錯誤之 SPICE 模擬結果

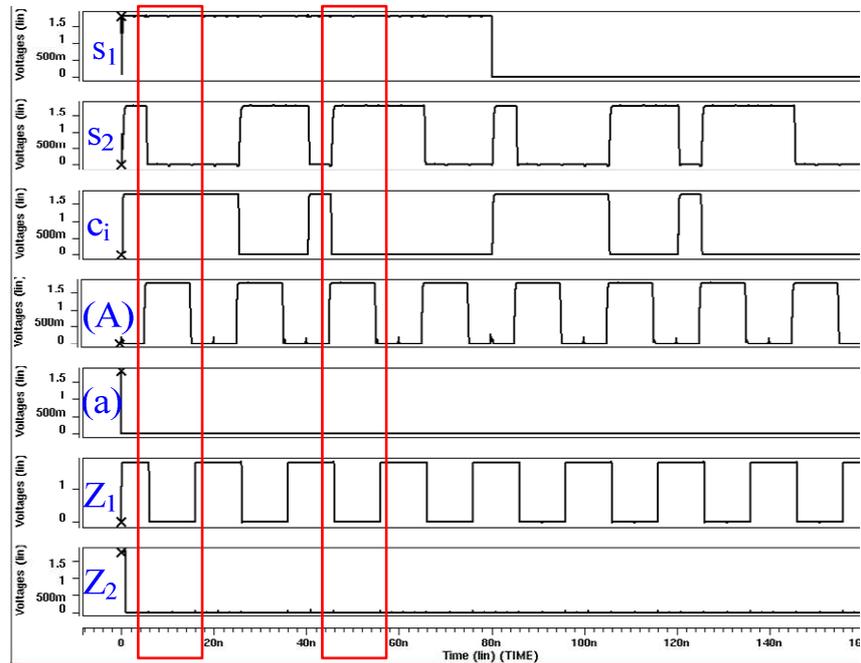


圖 3.20  $N_1$  : s-a-0 錯誤的波形圖

圖 3.20 為模擬圖 3.19 電路中發生節點  $N_1$  發生 s-a-0 錯誤時的模擬波形，模擬的輸入訊號如圖 3.18 所示。圖 3.20 中波形(A)為節點  $N_1$  沒有發生錯誤時的正確波形，而(a)為當節點  $N_1$  發生了 s-a-0 錯誤時的波形。當(A)為高電位而(a)為低電位時，表示發生了錯誤，此時( $Z_1$ ,  $Z_2$ )的輸出會為非法碼(0, 0)，而當(A)和(a)皆為底電位時表示並沒有錯誤發生，所以輸出( $Z_1$ ,  $Z_2$ )會為合法碼(1, 0)，由此模擬波形可看出當錯誤發生時皆能被偵測出來。

### (b) 錯誤發生 $N_2$ : s-a-1 (stack-at-1)

若圖 3.19 電路中節點  $N_2$  發生了 s-a-1 (stack-at-1)錯誤時，該節點的訊號原本應該 0 訊號，但是由於發生了固著 1 的錯誤，此一錯誤的訊號會經由

檢查碼產生器的運算後產生了不可信的訊號導致  $Y_1$  的訊號由原本的正确訊號 1 變為不可信的訊號 0，在電路沒有發生其它錯誤的情況下， $X_1$  和  $Y_1$  的訊號皆為 0 並沒有構成互補，所以雙軌檢查器的輸出( $Z_1, Z_2$ )會送出非法碼(0, 0)，由此可以得知電路有錯誤的存在。

### $N_2$ 發生 s-a-1 錯誤之 SPICE 模擬結果

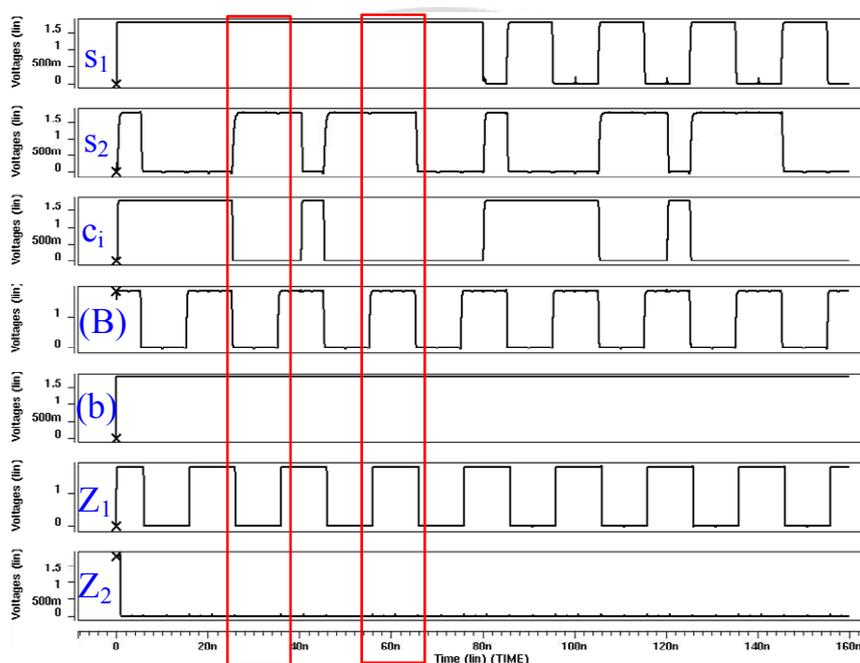


圖 3.21  $N_2$  : s-a-1 的波形圖

圖 3.21 為模擬節點  $N_2$  發生 s-a-1 錯誤時的波形，模擬的輸入訊號如圖 3.18 所示。圖 3.21 中(B)為節點  $N_2$  沒有發生錯誤時的正確波形，而(b)為當節點  $N_2$  發生了 s-a-1 時的波形。當(B)和(b)的電位不相同時表示發生了錯誤，此時( $Z_1, Z_2$ )的輸出會為非法碼(0, 0)，而當(B)和(b)皆為高電位時輸出( $Z_1, Z_2$ )會為合法碼(1, 0)，由此模擬波形可看出當節點  $N_2$  發生了 s-a-1 錯誤時皆

能被偵測出來。

### (c) 錯誤發生 $N_3$ : s-a-1 (stack-at-1)

節點  $N_3$  為模擬進位選擇加法器若發生進位錯誤時是否可以查覺有錯誤的存在，在圖 3.19 中沒有發生錯誤時  $N_3$  的訊號為 0，若節點  $N_3$  發生了固著 1 (s-a-1) 的情況時，此錯誤的訊號 1 跟正確的訊號 1 經由檢查碼產生器內部的互斥反或閘的運算後，將  $X_2$  的訊號由原本的 0 訊號變為 1 訊號以致於無法和  $Y_2$  的 1 訊號構成互補，所以雙軌檢檢查器的輸出 ( $Z_1, Z_2$ ) 會送出非法碼 (0, 0) 並告知電路此時有錯誤的存在。

### $N_3$ 發生 s-a-1 錯誤之 SPICE 模擬結果

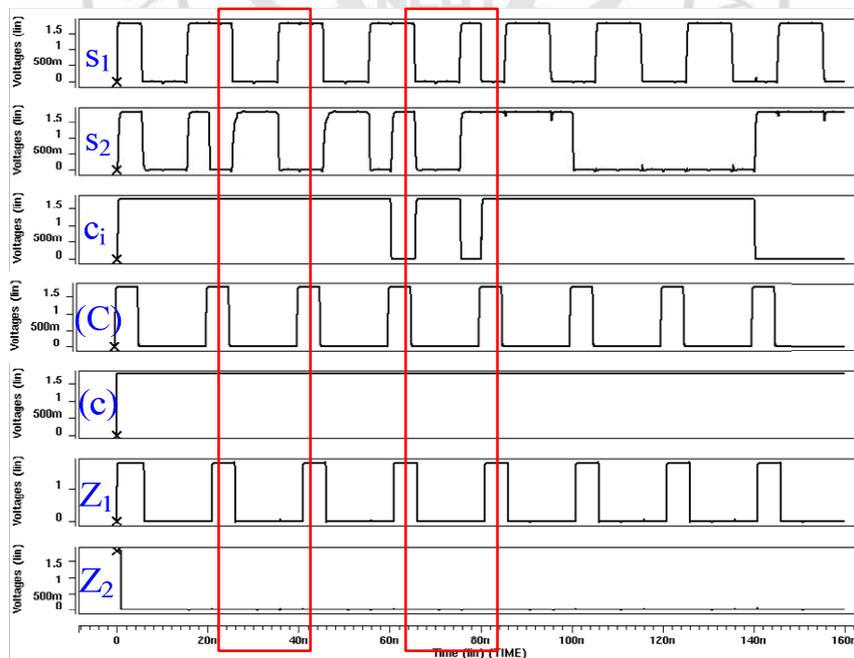


圖 3.22  $N_3$  : s-a-1 的波形圖

圖 3.22 為模擬節點  $N_3$  發生 s-a-1 錯誤時的模擬波形，模擬的輸入訊號

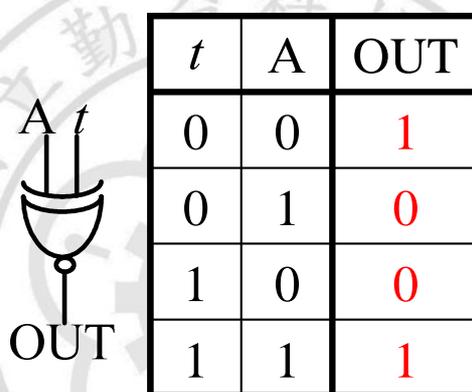
如圖 3.18 所示。圖 3.22 中波形(C)為節點  $N_3$  還沒有發生錯誤時的正確波形，而(c)為節點  $N_3$  發生 s-a-1 時的波形。可看出當(C)和(c)的電位不相同時表示發生了錯誤，此時 $(Z_1, Z_2)$ 的輸出會為非法碼(0, 0)，反之輸出 $(Z_1, Z_2)$ 會為合法碼(1, 0)，由圖 3.22 的模擬結果可得知當電路發生錯誤時皆可被偵測出來。

### 3.2.2 注入假錯(Fault Injection)之偵測能力

在 3.2.1 節中詳細的介紹了本文所提出的完全自我檢查 CSA 是如何偵測錯誤的存在，而圖 3.19 中的三個例子及其各別的模擬結果再次的顯示本文所以提出的完全自我檢查 CSA 偵測錯誤存在的功能與理論相符的，不過電路的設計並不是到此就結束，還必須要考慮到當晶片回來時，我們如何判斷電路是否正常。本文所設計的電路架構雖然擁有自我檢查的功能，但是當晶片回來時，正常的狀況下電路並不會發生異常，所以雙軌檢查器的輸出 $(Z_1, Z_2)$ 永遠會是合法(1, 0)，雖然這表示功能電路的輸出結果是可以信的，但是卻無法百分之百的確定電路是無錯的，因為本文的檢查碼  $Z_1$  有可能發生了 s-a-1 的錯誤，導致電路內部雖然發生了如圖 3.19 中三個錯誤的例子，但檢查碼的輸出 $(Z_1, Z_2)$ 卻無法呈現非法碼(0, 0)，所以必須要一個測試模組可以對電路輸入假錯從而測試電路是否可正常的運作。

對於本文所提出的完全自我檢查 CSA 在晶片量測時如何注入假錯是非常重要的，圖 3.23 為一反互斥或閘的假錯注入模組及其測試模組的控制開關  $t$ 。

觀察圖 3.23 中的互斥反或閘的真值表可發現，當  $t$  為 0 訊號時，(A)節點的訊號會和輸出(OUT)反相，而當  $t$  為 1 訊號時，(A)節點的訊號會和輸出(OUT)同相。本文利用互斥反或閘的這個特性，設定  $t$  為高電位時為測試模組關閉，而當  $t$  為低電位時表示測試模組啟動，接下來只要將本文所提出的完全自我檢查 CSA 的其中一條訊號線一端接上(A)，另一端接輸出(OUT)如圖 3.24 所示，那麼就可以完成測試模組的注入。



$t$	A	OUT
0	0	1
0	1	0
1	0	0
1	1	1

圖 3.23 互斥反或閘的測試模組

在圖 3.24 中一樣預先對電路輸入一組模擬訊號，在電路沒有發生錯誤的情況下，若控制測試模組  $t$  的訊號為高電位表示測試模組並沒有被啟動，所以  $[(X_1, Y_1), (X_2, Y_2), (X_3, Y_3)]$  的訊號為  $[(1, 0), (0, 1), (1, 0)]$  有構成互補的形式，表示電路沒有發生錯誤。此時若將測試模組  $t$  的訊號改為低電位表示測試模組被啟動，測試模組啟動後  $X_1$  的訊號會被影響由 1 變為 0，導致  $(X_1, Y_1)$  的訊號為  $(0, 0)$  並沒有構成互補，所以雙軌檢查器的輸出  $(Z_1, Z_2)$  會呈現非法碼  $(0, 0)$ ，只要再把試測訊號  $t$  改回高電位電路就可以回復正常。當

測試模組啟動時，不但可以讓使用者測試電路是否可正常運作，還可以檢查雙軌檢查器的輸出  $Z_1$  是否有發生 s-a-1 的情形，也順便測試雙軌檢查器的運作是否正常，增加  $(Z_1, Z_2)$  的可靠度。

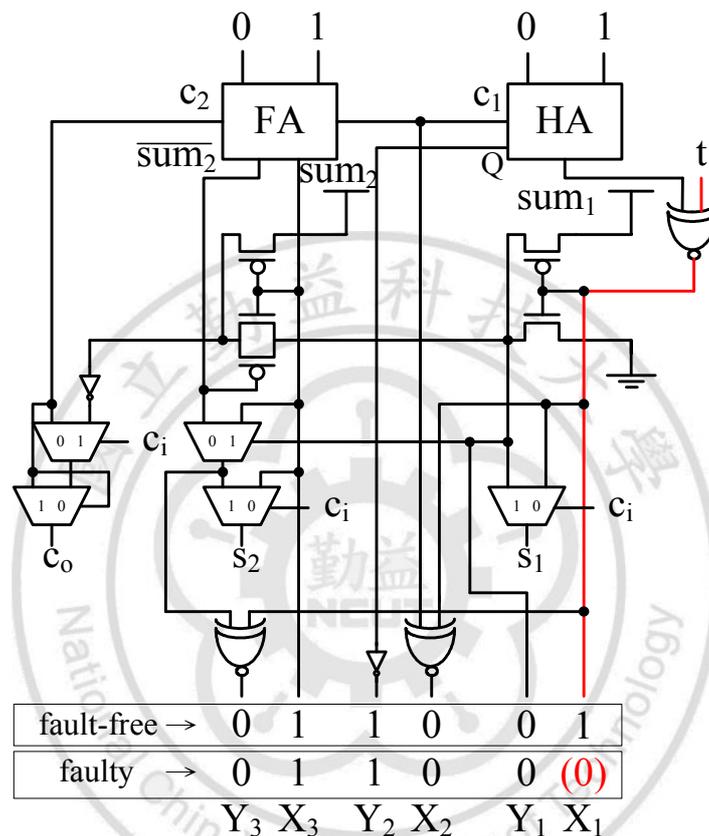


圖 3.24 測試模組示意圖

### 測試模組之 SPICE 模擬結果

測試模組啟動與關閉時的模擬結果如圖 3.25 所示，工作頻率一樣操作在 200MHz 下，當測試模組  $t$  啟動時(如圖 3.25 中框框處)輸出  $(Z_1, Z_2)$  會呈現非法碼  $(0, 0)$ ，而當測試模組  $t$  關閉時  $(Z_1, Z_2)$  會呈現合法碼  $(1, 0)$ ，由模擬結果證明測試模組的構想是正確的。本文所提出的電路在測試電路的運作

是否正常時不同於傳統的測試方法要離線測試，本文所提出的電路在測試模組的啟動與關閉時並不需要關掉電路的電源或切換至測試模式，只需要控制測試訊號  $t$  即可以完成電路的測試，當測試模組啟動時，功能電路因注入假錯，其輸出端將呈現測試錯誤輸出值。



圖 3.25 測試模組模擬波形

## 第四章 實驗結果與晶片實現

本研究透過國家晶片中心(CIC)下線(Tape-out)製作品片，分別於下線梯次 D35-98B 以及 T18-99A 中取得晶片，其 IC 編號分別為 D35-98B-42 以及 T18-99A-161，以下將會對這兩顆晶片之實驗結果與晶片實現做詳細的介紹。

### 4.1 自我檢查進位選擇加法器晶片實現

#### 4.1.1 自我檢查進位選擇加法器(晶片編號 D35-98B-42)

晶片編號 D35-98B-42 下線為自我檢查進位選擇加法器研究的第一次下線，主要的目的為驗證本研究的設計方法是否可以實現於真實的晶片上，設計理念為自我檢查進位選擇加法器，設計構想主要來自於文獻[1]和[7]，如圖 4.1 所示。CSA 的和(Sum)輸出經檢查碼產生器做雙軌編碼再由一個雙軌檢查器做檢查(見圖 2.9)，附加的自我檢測功能不會影響 CSA 本身的運作，而 CSA 所使用的多工器也是擁有自我檢測的功能(見圖 2.10)。特別的是多工器有兩個輸出，兩個輸出必須要達成互補，若是發生了沒有互補的情況，就表示多工器本身在內部運作的過程中發生了錯誤。

最後實現的 2-bit 雙軌 CSA 能夠即時偵測單一錯誤，同時發生兩個以上的錯誤則不在考慮之列，任何位元數的加法器都可以利用這個 2-bit 雙軌 CSA 為基本單位去擴充實現並且都擁有自我檢測的功能。

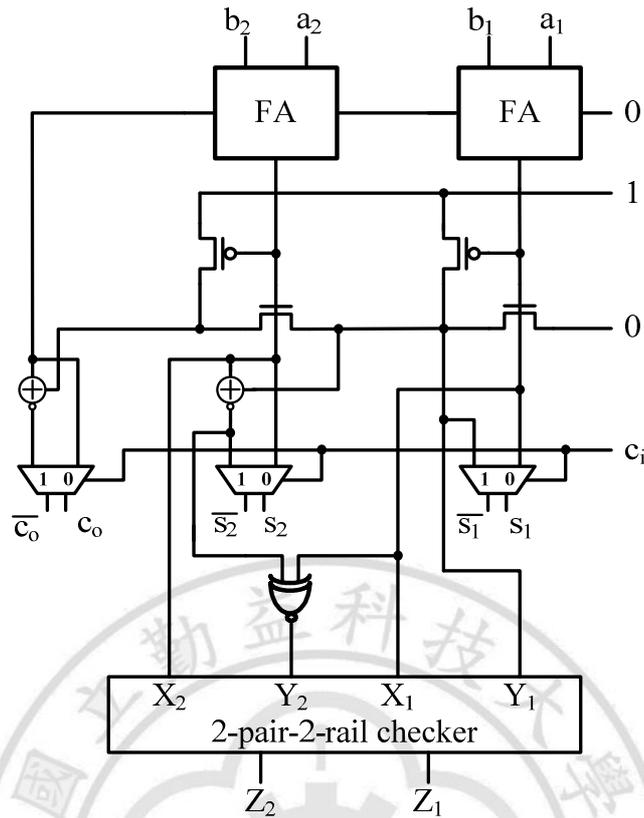


圖 4.1 自我檢查進位選擇加法器(D35-98B-42)晶片電路全圖

圖 4.2 為圖 4.1 化簡過後的電路圖，以便說明電路的運作。雙軌自我檢測 CSA 的自我檢測功能有一個先決條件，就是我們會假設加 1 電路和全加器本身必須沒有錯誤的產生，所以我們把它們想成是一個黑盒子如圖 4.2，為了能詳細的解說電路自我檢測的功能，圖 4.2 中也舉出了幾個偵錯的例子。

從圖 4.2 我們可以看到電路中有分別有兩條虛線(a)和(b)，此兩種狀況並不是同時發生。狀況(a)為 s-a-1，意思為該線路發生了永久為訊號 1 的情況。狀況(b)的 s-a-0 為該線路發生了訊號永久為 0 的情況。而在電路的沒有發生錯誤的情況下，雙軌檢查器的四個輸入 $[(X_1, Y_1), (X_2, Y_2)]$ 必須要達成互

補的輸入，只要此四個輸入都有構成兩兩互補的狀況下，那麼輸出 $(Z_1, Z_2)$ 也一定會達成互補的輸出，反之只要 $[(X_1, Y_1), (X_2, Y_2)]$ 其中有一對沒有達成互補，那麼輸出 $(Z_1, Z_2)$ 也不會是互補的狀況。

#### (a)s-a-1 錯誤

現在假設發生了下圖 4.2 的狀況(a)，原本應該要傳輸訊號為 0，但是卻傳成錯誤的訊號 1，錯誤的訊號 1 和另一個正確的訊號 1 經由反互斥或閘的運算後，送出了 1 的訊號給  $Y_2$ ，在其它訊號線都沒有發生錯誤的情況下，可以得知 $(X_1, Y_1)$ 的訊號有達成互補的輸入，可是 $(X_2, Y_2)$ 的訊號沒有達成互補，所以可想而知雙軌檢查器的 $(Z_1, Z_2)$ 輸出必不會達成互補的形式，所以可以得知電路發生了問題。

#### (b)s-a-0 錯誤

在其它訊號線都沒有發生錯誤的情況下，發生了圖 4.2 的狀況(b)。該訊號線原本的訊號為 1，但是由於發生了錯誤而傳成訊號 0，直接的影響  $X_1$  的訊號由 1 轉變為 0，也間接的和正確的訊號 0 經由反互斥或的運算產生了訊號 1 做為  $Y_2$  的輸入。檢查雙軌檢查器的四個輸入 $[(X_1, Y_1), (X_2, Y_2)]$ 的訊號為 $[(0, 0), (1, 1)]$ ，發現兩組皆沒有達成互補的輸入，所以雙軌檢查器的輸出 $(Z_1, Z_2)$ 輸出必不會達成互補的形式，就可得知電路發生了問題。

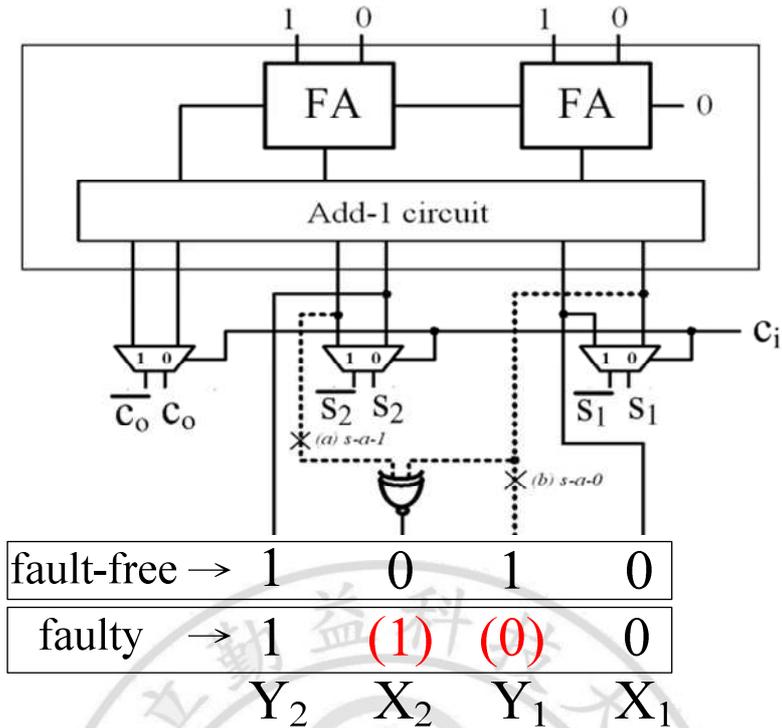


圖 4.2 晶片 D35-98B-42 之電路錯誤偵測圖

#### 4.1.2 改良式自我檢查進位選擇加法器(晶片編號 T18-99A-161)

本次下線主要為改良 D35-98-B-42 的電路架構中兩大缺點，其一為必須要假設加 1 電路不能發生錯誤，其二為樹狀架構的雙軌檢查器，改良式自我檢查進位選擇加法器之電路全圖如 4.3 所示。

改良式自我檢查進位選擇加法器之雙軌檢查器由原本的樹狀架構(圖 2.9)改為非樹狀架構(圖 2.15)，但由於本晶片的檢查碼產生器有三組輸出，所以必須再對非樹狀的雙軌檢查器做修改，修改後的檢查器如圖 4.4 所示。

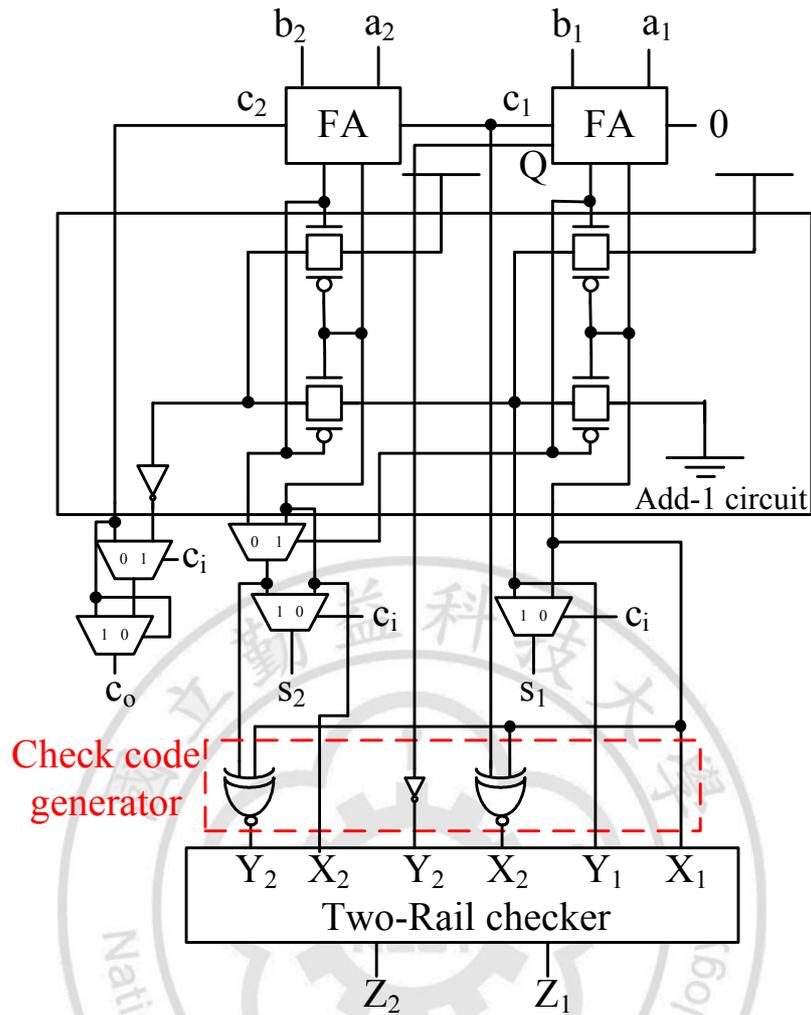


圖 4.3 改良式自我檢查進位選擇加法器(T18-99A-161)晶片電路圖

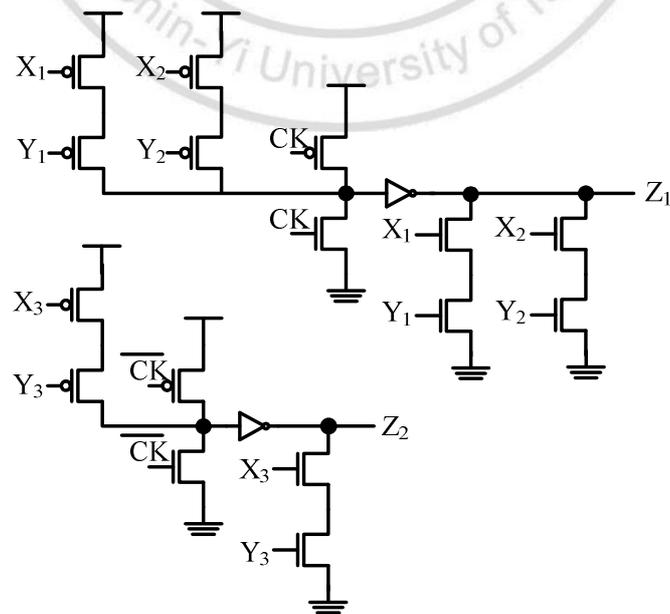


圖 4.4 非樹狀之雙軌檢查器

為了能詳細的解說改良式自我檢查進位選擇加法器電路自我檢測的功能，圖 4.5 為加入模擬訊號後的電路圖，以便說明電路的運作。

從圖 4.5 我們可以看到電路中標示有三條虛線，這三條虛線分別對應狀況(a)和狀況(b)以及(c)，此三種狀況並不是同時發生。分別為狀況(a)s-a-1、(b)s-a-1 以及(c)s-a-0。而電路中其他線路的沒有發生錯誤的情況下，雙軌檢查器的三組輸入必須要達成互補的輸入，只要此三組輸入都有構成互補的狀況下，那麼輸出( $Z_1, Z_2$ )也一定會達成互補的輸出，反之只要 $[(X_1, Y_1), (X_2, Y_2), (X_3, Y_3)]$ 其中有一對沒有達成互補，那麼輸出( $Z_1, Z_2$ )也不會是互補的狀況。

#### (a) s-a-1 錯誤

現在假設發生了下圖 4.5 的狀況(a)，原本應該要傳輸訊號為 0，但是卻傳成錯誤的訊號 1，錯誤的訊號 1 和另一個正確的訊號 1 經由檢查碼產生器後，送出了 1 的訊號給  $Y_3$ ，在其它訊號線都沒有發生錯誤的情況下，可以得知 $[(X_1, Y_1), (X_2, Y_2), (X_3, Y_3)]$ 的訊號為 $[(1, 0), (0, 1), (1, 1)]$ ，其中有一組沒有達成互補的輸入，所以可想而知雙軌檢查器的( $Z_1, Z_2$ )輸出必不會達成一個互補的形式，所以可以得知電路發生了問題。

#### (b) s-a-1 錯誤

在其它訊號線都沒有發生錯誤的情況下，發生了圖 4.5 的狀況(b)。該訊號線原本的訊號為 0，但是由於發生了錯誤而傳成訊號 1，直接的影響  $Y_1$

的訊號由 0 轉變為 1，此時 $(X_1, Y_1)$ 沒有辦法達成互補，所以 $(Z_1, Z_2)$ 輸出必不會達成互補的輸出，因此可得知電路在傳輸訊號的時候發生了錯誤。

### (c) s-a-0 錯誤

一樣在其它訊號線都沒有發生錯誤的情況下，發生了圖 4.5 的狀況(c)。該進位訊號原本該傳遞的訊號為 0，但由於發生了錯誤而傳成訊號 1，此訊號 1 和另一正確的訊號 1 經由檢查碼產生器後，使  $X_2$  的訊號由 0 變為 1。此時， $(X_2, Y_2)$ 訊號並沒有達成互補，所以 $(Z_1, Z_2)$ 也不會是互補的輸出，由此可知電路在傳遞的過程中發生了錯誤。

### (d) 注入假錯(Fault Injection)之測試模組

在考慮到晶片回來時，由於電路平時並不會發生錯誤，所以在測量時所量到的訊號永遠為正確的訊號，亦即 $(Z_1, Z_2)$ 都為互補的情況。在加入注入假錯之測試模組後如圖 4.5 所示；我們可以控制測試訊號  $t$  來注入假錯故意讓電路內部發生錯誤，此時若內部電路在沒有發生傳遞錯誤的情況下，檢查碼 $(Z_1, Z_2)$ 必不會達成互補，只要再適當的控制測試訊號  $t$ ， $(Z_1, Z_2)$ 訊號又會變回互補的輸出，由此便可以完成電路內部的自我測試，我們設定訊號  $t$  為高電位時為無錯狀態。

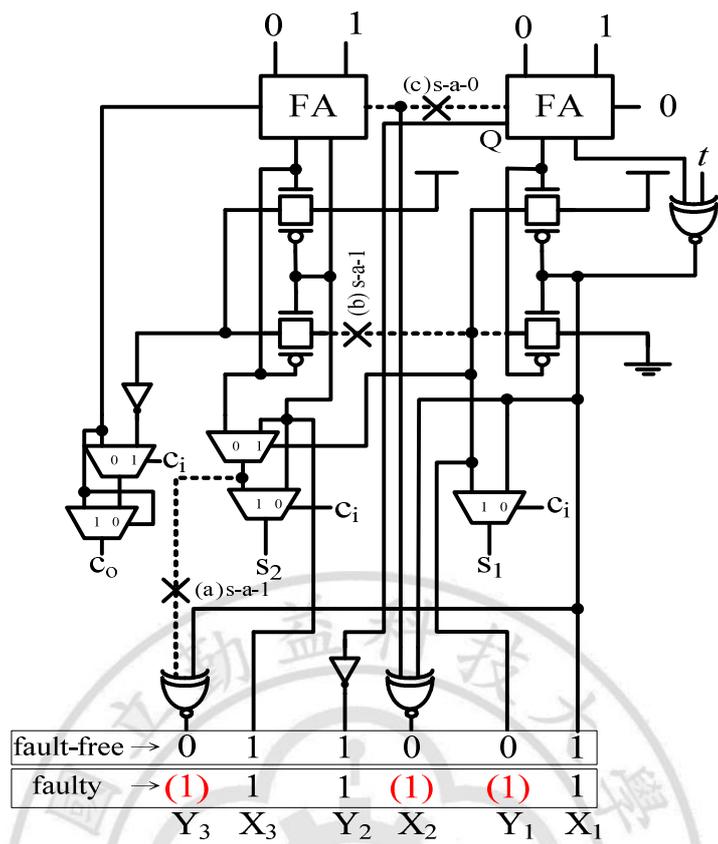


圖 4.5 晶片 T18-99A-161 之電路錯誤偵測圖

## 4.2 製程變異模擬(Corner Simulation)

### 4.2.1 晶片 D35-98B-42 製程變異模

晶片 D35-98B-42 製程變異 HSPICE 模擬(TT, FF, SS, FS, SF)、(0°C, 25°C, 50°C, 75°C, 100°C)，模擬方式操作在 50MHz 下使用 TSMC 0.35μm 製程去模擬，模擬的輸入訊號有 5 個，分別如下所述：

- (1) 週期寬度為 10ns、週期為 20ns 的 a<sub>1</sub>
- (2) 週期寬度為 20ns、週期為 40ns 的 b<sub>1</sub>
- (3) 週期寬度為 40ns、週期為 80ns 的 a<sub>2</sub>

(4) 週期寬度為 80ns、週期為 160ns 的  $b_2$

(5) 週期寬度為 160ns、週期為 320ns 的  $c_i$

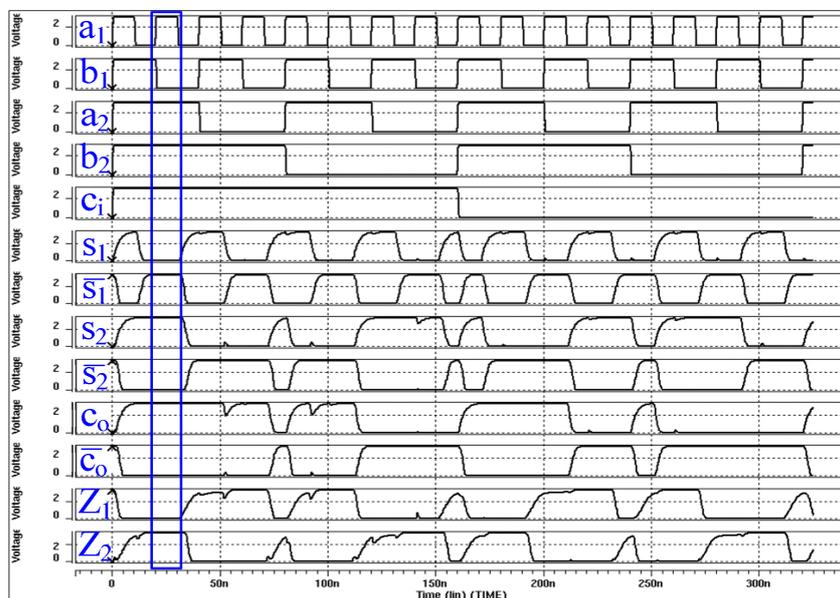


圖 4.6 晶片 D35-98B-42 Post-Sim. TT 波形圖

由 HSpice 模擬結果顯示(圖 4.6)，經由 Pre-Sim.及 Post-Sim.結果比對(表 4.1)，發現電路工作環境在操作電壓為 3.3 伏特、最高操作頻率 50 MHz、輸出端負載電容 0.1 pf 時，可在製程變異 Corner (TT, FF, SF) 正常操作， $Z_1$  和  $Z_2$  輸出增有達成互補式的輸出。在本篇大量使用 NMOS 作為電路設計，由於 NMOS 本來就比 PMOS 快，而經過 SS 與 FS 模擬使的 PMOS 與 NMOS 速度差異更大，進而使訊號在電路中的不同通道中速度不一，造成訊號到達雙軌檢查器的時間不一，造成  $Z_1$  和  $Z_2$  輸出沒有辦法成互補進而造成電路誤判，不過此時進位選擇加法器的輸出為正確。而再作溫度變異的考量時，可發現溫度在於 0 到 100 度時電路均能正常的運作。

表 4.1 D35-98B-42 Pre-Sim.與 Post-Sim.比較表

環境變數		模擬	
		Pre-Sim.	Post-Sim.
模擬 Corner	TT	OK	OK
	FF	OK	OK
	SS	NO	NO
	FS	NO	NO
	SF	OK	OK
溫度	0°C	OK	OK
	25°C	OK	OK
	50°C	OK	OK
	75°C	OK	OK
	100°C	OK	OK

#### 4.2.2 晶片 T18-99A-16 製程變異模擬

晶片 T18-99A-161 模擬(TT, FF, SS, FS, SF)以及(0°C, 25°C, 50°C, 75°C, 100°C)，模擬方式操作在 200MHz 下使用 HSPICE TSMC 0.18μm 去模擬，模擬的輸入訊號有 6 個，分別如下所述：

- (1) 週期寬度為 5 ns、週期為 10 ns 的 CK
- (2) 週期寬度為 5 ns、週期為 10 ns 的 a<sub>1</sub>
- (3) 週期寬度為 10 ns、週期為 20 ns 的 b<sub>1</sub>
- (4) 週期寬度為 20 ns、週期為 40 ns 的 a<sub>2</sub>
- (5) 週期寬度為 40 ns、週期為 80 ns 的 b<sub>2</sub>
- (6) 週期寬度為 80 ns、週期為 160 ns 的 c<sub>i</sub>

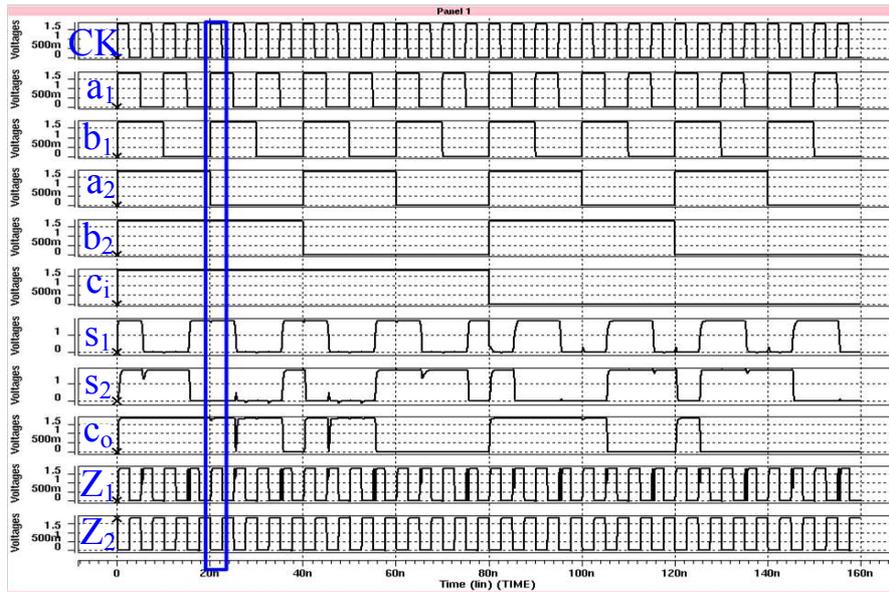


圖 4.7 晶片 T18-99A-161 Post-Sim. TT 波形圖

表 4.2 晶片 T18-99A-161 Pre-Sim.與 Post-Sim.比較表

環境變數		模擬	
		Pre-Sim.	Post-Sim.
模擬 Corner	TT	OK	OK
	FF	OK	OK
	SS	OK	OK
	FS	OK	OK
	SF	OK	OK
溫度	0°C	OK	OK
	25°C	OK	OK
	50°C	OK	OK
	75°C	OK	OK
	100°C	OK	OK

由 HSpice 模擬結果顯示(圖 4.7),經由 Pre-Sim.及 Post-Sim.結果比對(表 4.2),發現電路工作環境在操作電壓為 1.8 伏特、最高操作頻率 200 MHz 時,可在製程變異 Corner (TT, FF, SS, FS, SF) 正常操作,(Z<sub>1</sub>, Z<sub>2</sub>)輸出增有

達成互補式的輸出。而再作溫度變異的考量時，可發現溫度在於 0 至 100 度時，電路功能亦能正常的運作。

## 4.3 晶片佈局

### 4.3.1 晶片 D35-98B-42 規格與佈局

(1) 晶片 D35-98B-42 規格

表 4.3 D35-98B-42 晶片規格表

晶片特性	規格
含 PAD 晶片面積(mm <sup>2</sup> )	1.206 × 1.206
電晶體數(Tr#)	134
功率消耗(mW)	0.3824
最高操作頻率(MHz)	50

(2) 晶片 D35-98B-42 佈局圖

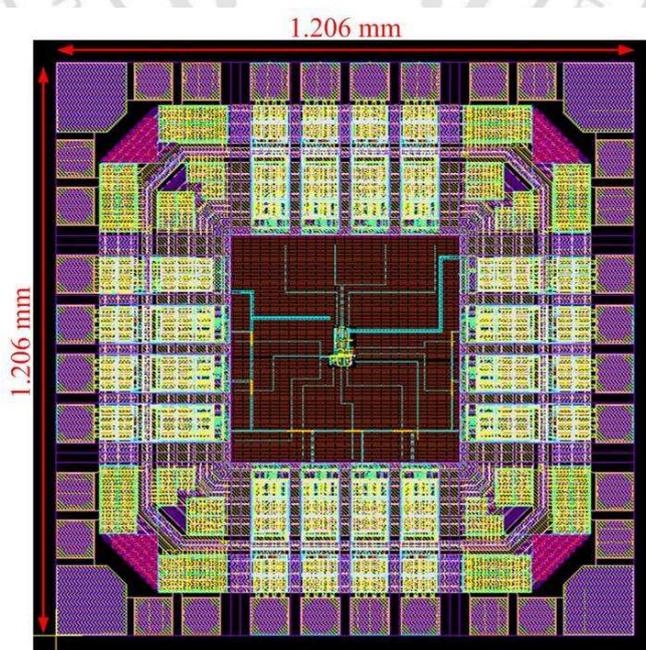


圖 4.8 D35-98B-4 佈局平面圖

(3) 晶片 D35-98B-42 打線圖

包裝形式：SB18

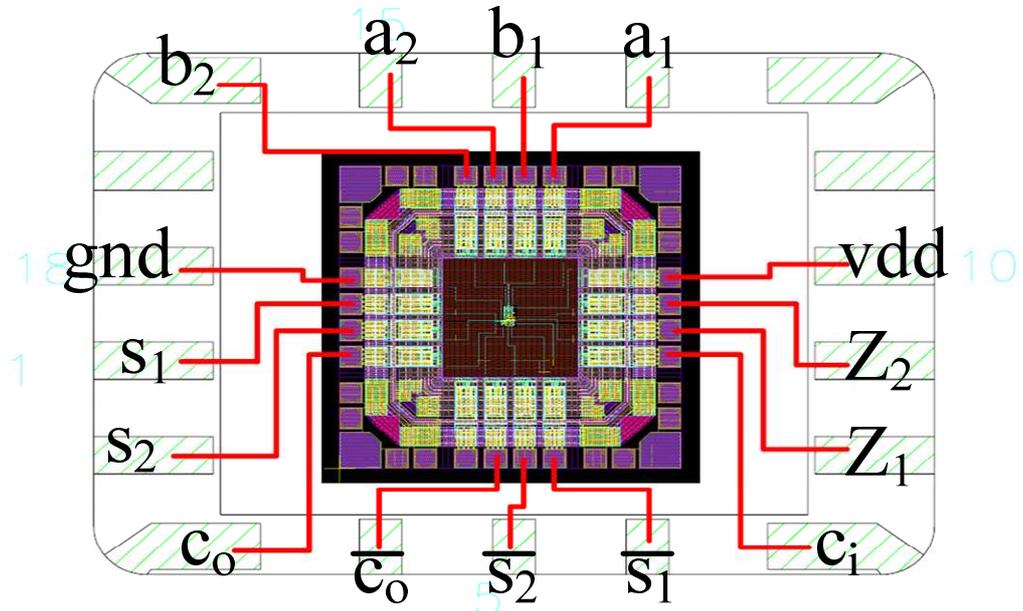


圖 4.9 晶片 D35-98B-42 打線圖

(4) 晶片 D35-98B-42 實照圖

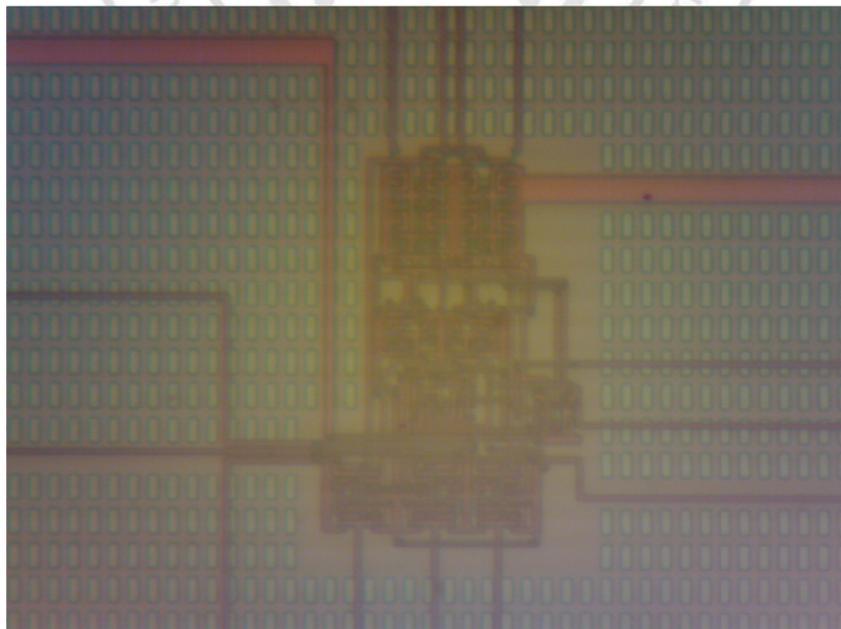


圖 4.10 D35-98B-42 晶片實照圖

(5) 晶片 D35-98B-42 量測：

I. 晶片 D35-98B-42 之預計規格：

表 4.4 D35-98B-42 預計規格列表

規格	模擬	
	Pre-sim	Post-sim
工作電壓(V)	3.3	3.3
最高操作頻率(MHz)	50	50
功率消耗(mW)	0.3706	0.3824
晶片面積(mm <sup>2</sup> )	1.206 × 1.206	

II. 晶片 D35-98B-42 之實際量測結果：

表 4.5 D35-98B-42 實測規格列表

製程技術	TSMC 0.35 $\mu$ m Mixed-Signal 2P4M Polycide 3.3/5 V
電源電壓	3.3 V
輸出頻率	8.94 MHz
消耗功率	0.3989 mW
含 PAD 晶片面積	1.206 × 1.206 mm <sup>2</sup>

III. 晶片 D35-98B-42 之實際量測波型：

因測試儀器無法輸出 50 MHz 的方波，所以電路操作頻率在於 Cp=10 MHz、I=5 MHz，輸出頻率在於 8.94 MHz。

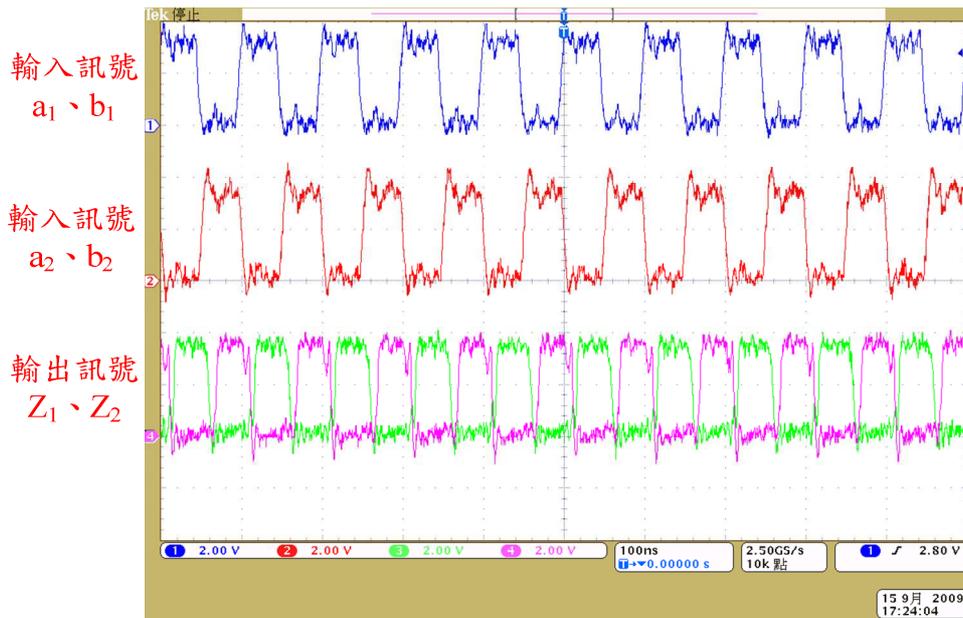


圖 4.11 D35-98B 輸出訊號  $Z_1$  和  $Z_2$

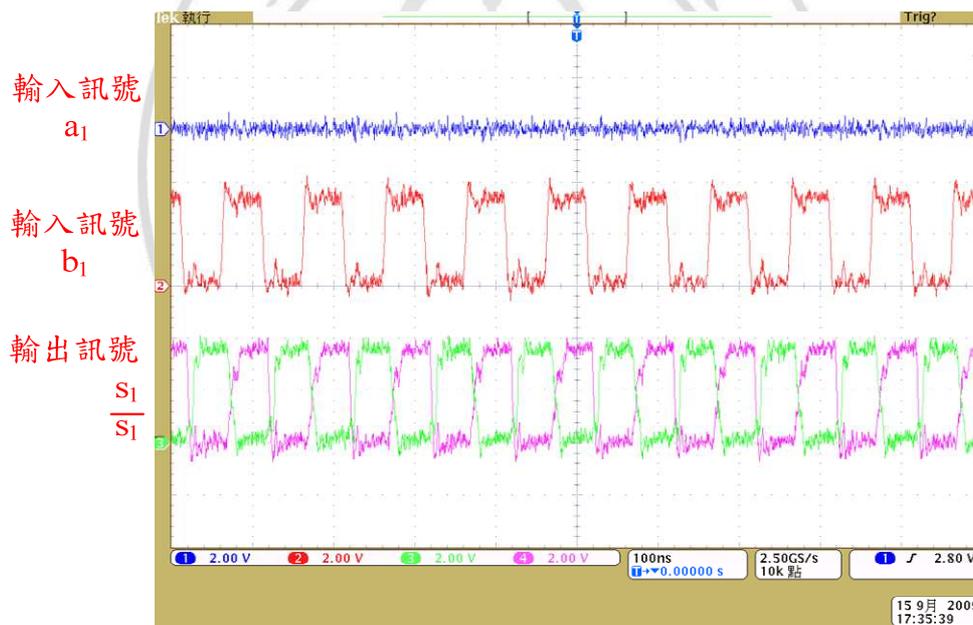


圖 4.12 D35-98B 輸出訊號  $s_1$  和  $\overline{s_1}$

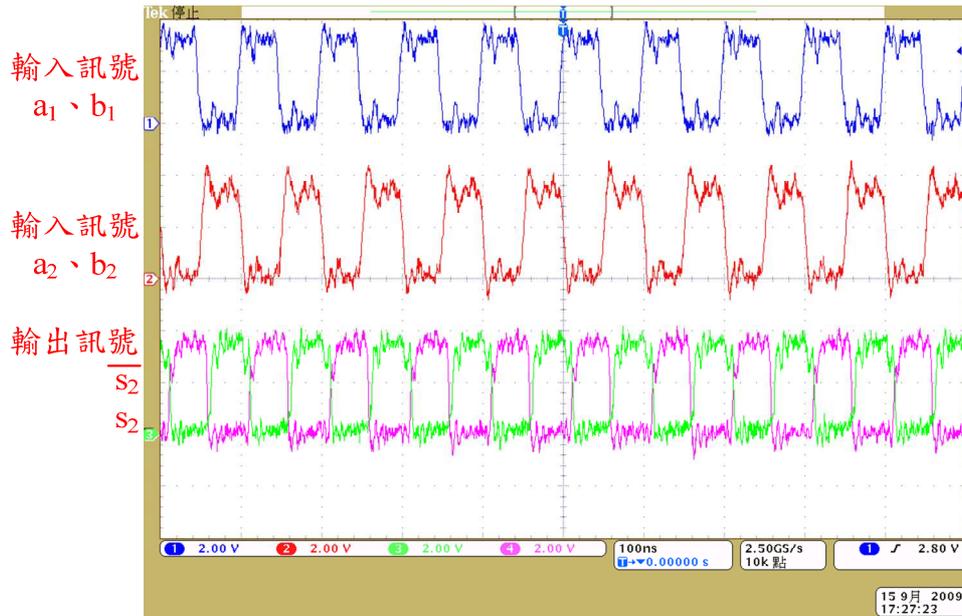


圖 4.13 D35-98B 輸出訊號  $s_2$  和  $\overline{s_2}$

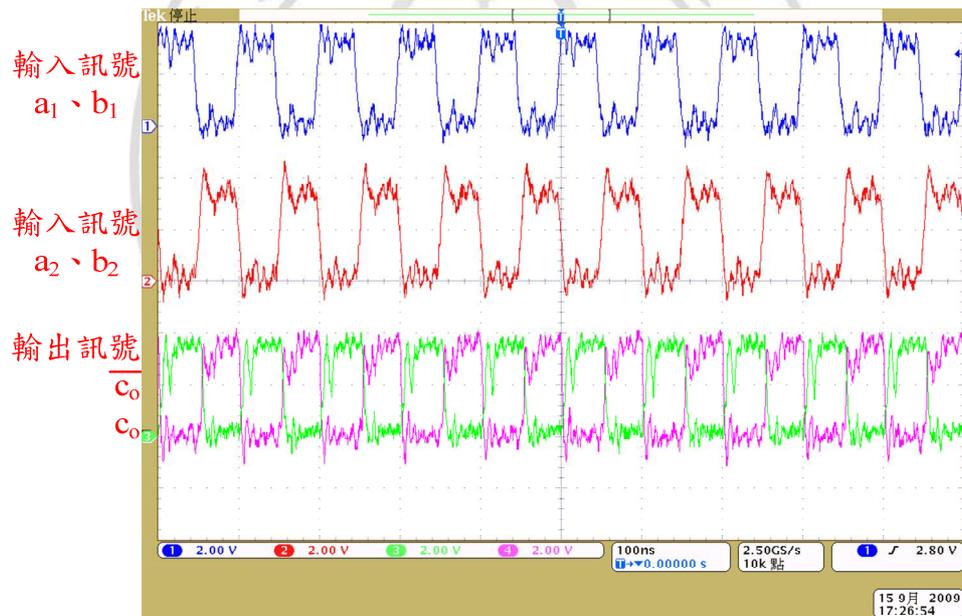


圖 4.14 D35-98B 輸出訊號  $c_0$  和  $\overline{c_0}$

輸入訊號 $[a_1, b_1, a_2, b_2]$ 如上圖 4.11 所示，前一級的控制訊號為低電位。

由圖 4.11 至 4.14 可看出，檢查碼 $(Z_1, Z_2)$ 皆有達成互補。

### 4.3.2 晶片 T18-99A-161 規格與佈局

#### (1) 晶片 T18-99A-161 規格

表 4.6 T18-99A-161 晶片規格表

晶片特性	規格
含 PAD 晶片面積(mm <sup>2</sup> )	0.421 × 0.502
電晶體數(Tr#)	138
功率消耗(mW)	0.1231
最高操作頻率(MHz)	200

#### (2) 晶片 T18-99A-161 佈局圖

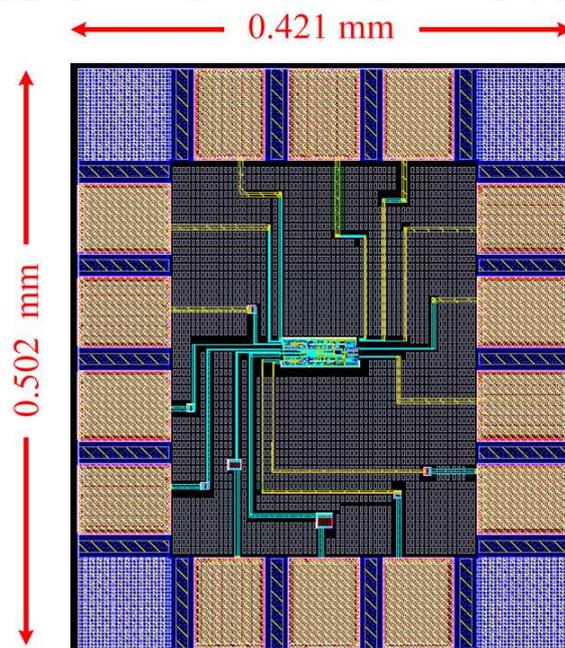


圖 4.15 T18-99A-161 佈局平面圖

#### (3) 晶片 T18-99A-161 打線圖

包裝形式：SB18

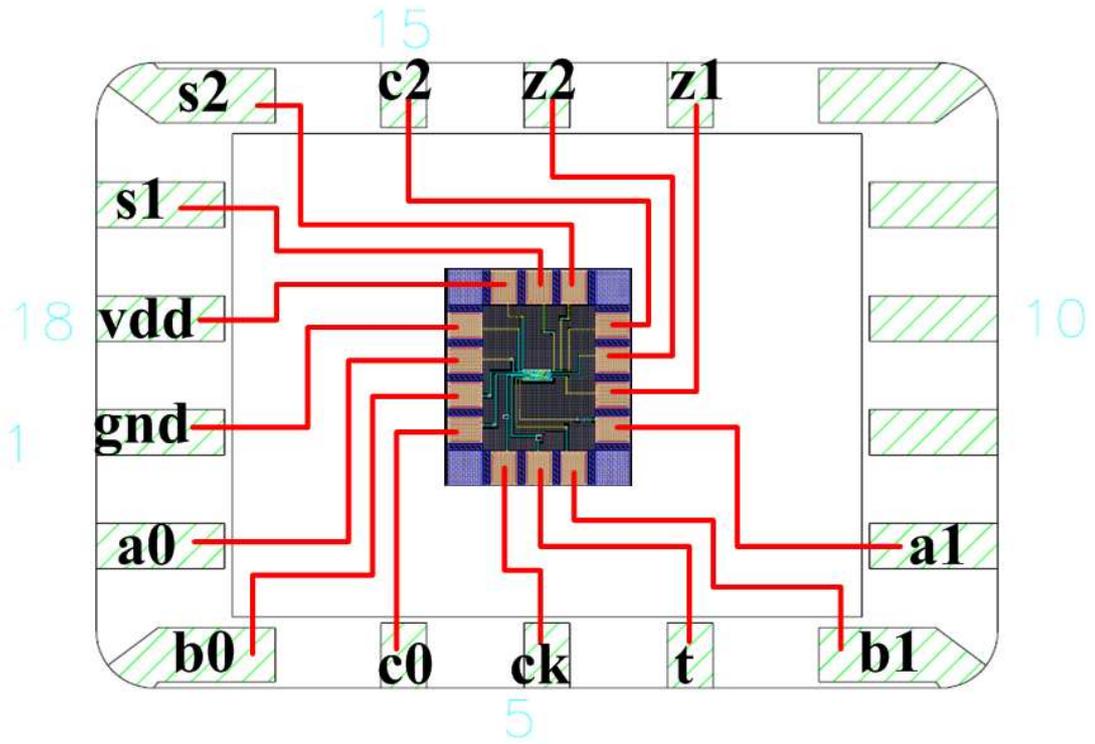


圖 4.16 T18-99A-161 打線圖

(4) 晶片 T18-99A-161 實照圖

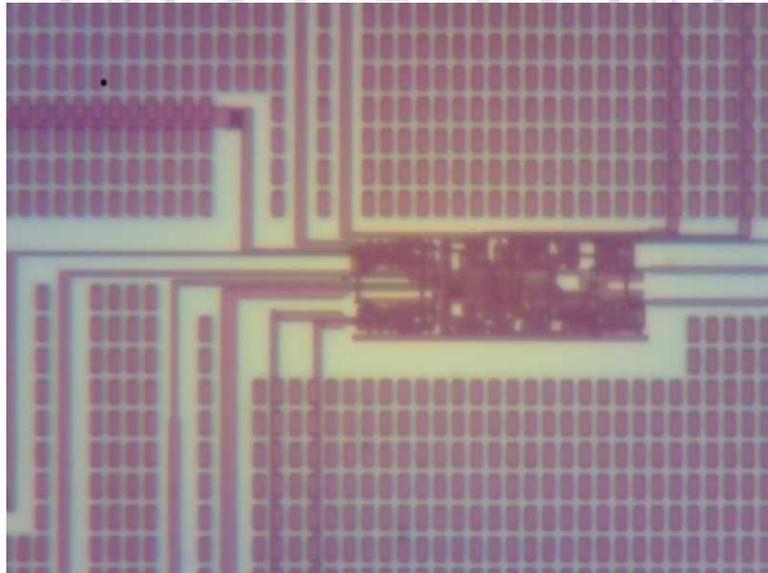


圖 4.17 T18-99A-161 晶片實照圖

(5) 晶片 T18-99A-161 量測：

### I. 晶片 T18-99A-161 之預計規格：

表 4.7 T18-99A-161 預計規格列表

規格	模擬	
	Pre-sim	Post-sim
工作電壓(V)	1.8	1.8
最高操作頻率(MHz)	200	200
功率消耗(uW)	55.574	123.05
晶片面積(mm <sup>2</sup> )	0.421 × 0.502	

### II. 晶片 T18-99A-161 之實際量測結果：

晶片測試時無法量測到輸出  $Z_1$  和  $Z_2$  的訊號，可能晶片佈局與雙軌檢查器的輸入  $X_N$  與  $Y_N$  的電晶體尺寸考量不周，導致無法量測到訊號，不過確實在 Post-Sim. 的模擬中皆通過所有的 Corner 模擬。

## 4.4 實驗結果比較

從表 4.8 中比較這兩顆兩位元自我檢查 CSA 模組電路晶片後發現，最大的不同就是最高操作頻率 T18-99A-161 為 200MHz，而 D35-98B-42 只有 50MHz，兩者的速度差了四倍，會造成這麼大的差異除了製程效應外，最主要的原因是在於前者所使用的雙軌檢查器為非樹狀架構的而後者所使用的是屬於樹狀架構。

D35-98B-42 所使用的雙軌檢查器為的樹狀架構，雖然所使用的電晶體數量比較少，但輸出( $Z_1$ ,  $Z_2$ )會有弱訊號的產生，而且在架構上，雙軌檢查

器輸入 $[(X_1, Y_1), (X_2, Y_2)]$ 的訊號無法同步，會造成輸出 $(Z_1, Z_2)$ 有突波的產生，此時若將電路的操作頻率提高的話，此突波會擴大成再也無法忽略的方波。

T18-99A-161 所使用的雙軌檢查器為非樹狀的架構，雖然所使用的電晶體數量較前者多，電路的設計也較困難，但只要設計恰當，其實用性絕不遜色於前者，而且非樹狀架構比樹狀架構更適合應用於高位元的電路上。在正常操作時由於雙軌檢查器的三組輸入 $[(X_1, Y_1), (X_2, Y_2), (X_2, Y_2)]$ 皆會是互補的狀態，輸出 $(Z_1, Z_2)$ 會隨著 CK 在變動，所以就算三組輸入沒有辦法同步也不會對輸出 $(Z_1, Z_2)$ 造成太大的影響。

表 4.8 兩位元自我檢查 CSA 模組晶片特性比較表

規格	模擬			
	Pre-Sim.	Post-Sim.	Pre-Sim.	Post-Sim.
晶片	D35-98B-42		T18-99A-161	
製程技術	TSMC 0.35 $\mu$ m Mixed-Signal 2P4M Polycide 3.3/5 V		TSMC 0.18 $\mu$ m Mixed-Signal 1P6M Polycide 1.8/3.3 V	
工作電壓 (V)	3.3		1.8	
最高操作 頻率 (MHz)	50	50	200	200
功率消耗 (mW)	0.3706	0.3824	0.0556	0.1231
晶片面積 (mm <sup>2</sup> )	1.206 $\times$ 1.206		0.421 $\times$ 0.502	
電晶體數 (Tr #)	134		138	

#### 4.5 完全自我檢查進位選擇加法器之特性比較

在表 4.9 中分別列出了傳統 CSA(見圖 2.1)、Add-1 CSA(見圖 3.2)、[7]以及本文所提出的自我檢查 CSA(見圖 3.17)在各位元下所需要的電晶體數目，由表中可以看出本文所提出的電路架構在任何位元下所需要的電晶體數皆比[7]少。

表 4.9 進位選擇加法器之電晶體數目比較

位元數	電晶體數量				
	傳統 CSA	Add-1 CSA	[7]	提出之自我檢查 CSA	較[7]減少之電晶體量
2-bit	148	96	166	139	16.27%
4-bit	296	192	340	250	26.47%
8-bit	592	384	688	472	31.14%
16-bit	1184	768	1384	916	33.82%
32-bit	2368	1536	2766	1804	34.78%

表 4.10 分別列出了[7]以及本研究透過國家晶片中心下線製作品片的特性，可發現晶片 T18-99A-161 的操作頻率皆高於其它兩者。

表 4.10 模擬結果比較表

完全自我檢查 CSA	[7]	D35-98B-42	T18-99A-161
製程技術	TSMC 0.35 $\mu$ m	TSMC 0.35 $\mu$ m	TSMC 0.18 $\mu$ m
工作電壓(V)	3.3	3.3	1.8
最高操作頻率(MHz)	50	50	200
功率消耗(mW)	0.2091	0.3824	0.1231
電晶體數(Tr #)	166	134	138

## 第五章 結論及未來的研究方向

### 5.1 結論

本篇論文所提出的完全自我檢查進位選擇加法器的電路架構，能夠在正常運作時查覺任何電路上的突發性或永久性的錯誤，其自我檢查的功能並不會影響電路本身的正常運作，另外所附加的測試模組能夠提供注入假錯(Fault Injection)之偵測能力，再次的驗證晶片電路的正確性，更加提高自我檢查電路的可靠度，經由 TSMC 0.18 $\mu$ m Mixed-Signal 1P6M Polycide 1.8/3.3 V 製程技術的模擬也證明本研究所提出的架構能夠正常的運作且擁有即時偵測錯誤的能力。

對於高位元的完全自我檢查進位選擇加法器亦能夠以本文所提出的 2-bit 完全自我檢查進位選擇加法器為基礎模組而擴充設計出來，所使用的電晶體數目不但比傳統的 CSA 架構少，在 32-bit 時所使用的電晶體數量更比[7]少了將近 35%，如表 4.9 所示。而且本篇論文所使用的檢查器為非樹狀架構的雙軌檢查器，在高位元的電路架構能使本文所提出的電路有更佳的可擴充性(Extendibility)表現。

### 5.2 未來研究方向

在自我檢查電路系統可大致分為三大部份，分別為自我檢查(Self Checking)，自我診斷(Self Diagnosis)以及自我修復(Self Repair)，而本篇則

是著重在自我檢查以察覺電路系統錯誤(Faulty)的部份，雖然能夠在電路發生錯誤的時候查覺出來，但是卻無法得知是電路中何處發生錯誤。未來希望能夠更深入的研究並設計出不但能夠自我診斷以定位錯誤發生在何處，甚至可以達到自我修復功能的電路。



## 參考文獻

- [1] T.-Y. Chang and M.-J. Hsiao, "Carry-Select Adder Using Single Ripple-Carry Adder," *Electronics Letters*, Vol.34, Issue 22, pp. 2101-2103, 1998.
- [2] Youngjoon Kim and Lee-Sup Kim, "A Low Power Carry-Select Adder with Reduced Area," *IEEE International Symposium on Circuits and Systems (ISCAS 2001)*, Vol. 4, pp. 218-221, 2001.
- [3] Youngjoon Kim and Lee-Sup Kim, "64-bit Carry-Select Adder with Reduced Area," *Electronics Letters*, Vol.37, Issue 10, pp. 614-615, 2001.
- [4] Sun Yan, Zhang Xin and Jin Xi, "Low-Power Carry Select Adder Using Fast All-one Finding Logic," *IEEE International Conference on System of Systems Engineering*, June. 2-4, pp. 1-5, 2008.
- [5] B. K. Kumar and P. K. Lala, "On-line Detection of Faults in Carry-Select Adders," *Proc. International Test Conference*, Vol.1, pp. 912-918, Sep. 30 - Oct. 2, 2003.
- [6] V. Otscheretnij, D. Marienfield, E. S. Sogomonyan, and M. Goessel, "Self-Checking Code-Disjoint Carry-Select Adder with Low Area Overhead by Use of Add-1 Circuits," *Proc. On-Line Testing Symposium*, pp. 31-36, Jul. 12-14, 2004.
- [7] D. P. Vasudevan, P. K. Lala and J. P. Parkerson, "Self-Checking Carry-Select Adder Design Based on Two-Rail Encoding," *IEEE Transactions on Circuits and Systems I: Regular Papers*, Vol.54, No. 2, pp. 2696-2705, 2007.
- [8] A. Namazi, S. G. Miremadi and A. Ejlail, "A High Speed and Low Cost Error Correction Technique for the Carry-Select Adder" *Proc. Availability, Reliability and Security*, pp. 635-340, March. 16-19, 2009.
- [9] M. Omana, D. Rossi and C. Metra, "High Speed and Highly Testable Parallel Two-Rail Code Checkers," *Proc. IEEE Europe Conf. Design, Automation and Test*, pp. 608-613, 2003.
- [10] M. Omana, D. Rossi and C. Metra, "Low Cost and High Speed Embedded Two-Rail Code Checker," *IEEE Transactions on Computers*, Vol. 54, No. 2, pp. 153-164, Feb. 2005.

## 自傳



姓名：李明恩  
出生日期：民國七十四年十一月十四日  
出生地：澳門  
學歷：國立勤益科技大學 電子工程系 碩士班 積體電路組 97.9 ~ 99.6  
國立勤益科技大學 電子工程系 93.9 ~ 97.6  
國立基隆高級中學 90.9 ~ 93.6

### 發表論文：

- [1] S.H. Shieh and M.E. Lee, "Two-Rail Self-Checking Carry-Select Adder Code Design," *Proc. of 4th ILT Conference*, pp. 750-755, Taichung, Taiwan, June 5, 2009. (ISBN: 978-957-21-7031-1)
- [2] S.H. Shieh and M.E. Lee, "Totally Self-Checking Carry-Select Adder core Design," *Proc. of 4th ISC Conference*, pp. I-136~I-141, Tainan, Taiwan, May 6, 2010. (ISSN: 2073-9850)
- [3] S.H. Shieh and M.E. Lee, "Totally Self-Checking Carry-Select Adder Design Based on Two-Rail Code," *Proc. of 5th ILT Conference*, pp. 784-789, Taichung, Taiwan, June 4, 2010. (ISBN: 978-957-21-7647-4)

### 參加競賽：

- [1] 97 學年度大學校院積體電路設計競賽(入圍決賽)
- [2] 98 學年度大學校院積體電路設計競賽

### 下線晶片：

1.

晶片名稱：雙軌自我檢測進位選擇加法核心晶片  
晶片功能：加法電路  
晶片製程：TSMC 0.35 $\mu$ m Mixed-Signal 2P4M Polycide 3.3/5 V  
晶片下線梯次/日期：D35-98B / 98 年 03 月 23 號  
晶片編號：D35-98B-42

2.

晶片名稱：完全自我檢測進選擇加法核心晶片  
晶片功能：加法電路  
晶片製程：TSMC 0.18 $\mu$ m Mixed-Signal 1P6M Polycide 1.8/3.3 V  
晶片下線梯次/日期：T18-99A / 98 年 11 月 23 號  
晶片編號：T18-99A-161