



國立勤益科技大學
電子工程系研究所

碩士論文

基於過驅電壓與電流調校之運算放大器
設計方法論

**Operational Amplifier Design Methodology
Based on the Overdrive-Voltage and
Current Regulation**

指導教授：謝韶徽 博士

研究生：林俊宏

中華民國 九十九 年 七 月

基於過驅電壓與電流調校之運算放大器設計方法論

**Operational Amplifier Design Methodology Based on the
Overdrive-Voltage and Current Regulation**

指導教授：謝韶徽 博士

研究生：林俊宏

國立勤益科技大學

電子工程系研究所

碩士論文

Submitted in partial fulfillment of the requirements
For the degree of
Master of Engineering
In
Institute of Electronic Engineering
from the National Chin-Yi University of Technology

July 2010

Taiping, Taichung, Taiwan, Republic of China

中華民國 九十九 年 七 月

國家圖書館 博碩士論文電子檔案上網授權書

本授權書所授權之論文為授權人在國立勤益科技大學電子工程系 98 學年度第 2 學期取得碩士學位之論文。

論文題目：基於過驅電壓與電流調校之運算放大器設計方法論
指導教授：謝韶徽

茲同意將授權人擁有著作權之上列論文全文（含摘要），非專屬、無償授權國家圖書館，不限地域、時間與次數，以微縮、光碟或其他各種數位化方式將上列論文重製，並得將數位化之上列論文及論文電子檔以上載網路方式，提供讀者基於個人非營利性質之線上檢索、閱覽、下載或列印。

上列論文為授權人向經濟部智慧財產局申請專利之附件或相關文件之一（專利申請案號：_____），請於 _____ 年 _____ 月 _____ 日後再將上列論文公開或上載網路。

因上列論文尚未正式對外發表，請於 102 年 7 月 20 日後再將上列論文公開或上載網路。

授權人：林俊宏

親筆簽名及蓋章： 林俊宏 民國 99 年 7 月 20 日

電話：05-6320269 傳真：

聯絡地址：雲林縣虎尾鎮興中里98號

E-Mail：s49713010@student.ncut.edu.tw

國立勤益科技大學

博碩士論文全文上網授權書

(提供授權人裝訂於紙本論文書名頁之次頁用)

本授權書所授權之論文為授權人在國立勤益科技大學
電子工程系 電子 組 98 學年度第 2 學期取得碩士學位之
論文。

論文題目：基於過驅電壓與電流調校之運算放大器設計方法論
指導教授：謝韶徽

■ 同意

本人具有著作權之論文全文資料，非專屬、無償授予本人畢業學校圖書館，不限地域、時間與次數，以微縮、光碟或數位化等各種方式重製與利用，提供讀者基於著作權法合理使用範圍內之線上檢索、閱覽、下載及列印。

論文全文上載網路公開之範圍及時間：

校內區域網路	■ 中華民國 102 年 7 月 20 日公開
校外網際網路	■ 中華民國 102 年 7 月 20 日公開

授權人：林俊宏

簽名：林俊宏

中華民國 99 年 7 月 20 日

國立勤益科技大學
研究所碩士班
論文口試委員會審定書

本校 電子工程系 碩士班 林俊宏 君

所提論文 基於過驅電壓與電流調校之運算放大器設計方法論

合於碩士資格水準，業經本委員會評審認可。

論文口試委員會：

召集人：蕭敏學

委員：洪玉斌

黃德成

指導教授：謝昭弘

所 長：陳文淵

中華民國九十九年七月

誌謝

本論文能夠順利完成首先要感謝指導教授 謝韶徽博士，非常感謝老師在這兩年之中的教導，讓我在專業知識以及待人處事上受益良多。同時也感謝口試委員黃德成、蕭敏學、洪進華以及洪玉城四位教授的建議與指導，在此致上最深的敬意。

同時也要感謝實驗室的學長旻明、健成、智揚、詠贊，同學威修、明恩、登淵、翰均、桂菁、與學弟明家、承翰、威誠、柏全、祺堯、翔峻、陽哲，讓我在這兩年的求學生活中留下了許多美好回憶。另外要特別感謝威修在我進入實驗室的兩年以來對我各方面的幫助，還有健成學長在我初學類比電路之時提供許多寶貴的意見，以及詠讚學長和登淵在休閒之餘一起玩三國時始終是我最好的隊友，感謝你們。

在此感謝台積電(TSMC)與國家晶片系統設計中心(CIC)提供晶片相關製程、模擬與實現環境，並協助本論文晶片製作，也感謝下線評審所提供的寶貴意見以及相關作業人員的辛苦。

最後感謝在背後默默幫助我的家人朋友還有女友，在這兩年的研究生涯中一直給我幫助與關懷，此份喜悅與榮耀我要與你們一同分享。最後，謹以此論文獻給我最敬愛的媽媽，沒有媽媽的付出就沒有今天的我。

中文摘要

本論文提出一個新的運算放大器(Operational Amplifier, OPA)的設計方法，利用過驅電壓(Overdrive-Voltage)來個別推算每個電晶體操作在飽和區所需的各端點電壓，然後藉由模擬工具進行操作點分析來獲得適當的電晶體尺寸與參數，最後再將這些參數與電路的規格進行比對與修正。此法可用於多種電路架構，簡易快速且無複雜的人工計算，並保有電路設計者對參數變動的敏感度。

基於提出之過驅電壓與電流調校之運算放大器設計方法論，應用於不同組態的四種運算放大器設計，分別為：兩級組態、疊接組態、摺疊疊接組態與軌對軌輸入組態共四種運算放大器；同時，四種組態運算放大器設計分別以 TSMC 0.18 μm 與 0.35 μm 兩種製程技術去實現設計，以觀察提出之基於過驅電壓與電流調校之運算放大器設計方法論之實用性與有效性。實驗結果證實，本文提出之基於過驅電壓與電流調校之運算放大器設計方法適用於四種不同組態的運算放大器電路架構的設計，並適用於 TSMC CMOS 0.35 μm 與 0.18 μm 兩種不同製程技術，本研究所提出之方法除了可應用於多種電路架構與製程技術，並且具有下列優點：設計時間可大幅減少、初始設計的規格完成度高以及保有設計者對參數變動的敏感度。因此，本研究提出之基於過驅電壓與電流調校之運算放大器設計方法論為實用而有效的。

關鍵詞：運算放大器、過驅電壓

Abstract

In this thesis, a novel operational amplifier (OPA) design methodology by using the relation of overdrive-voltage and current regulation is proposed. The proposed design methodology has advantages of easy design, reduced iterative refinements, applicable to many operation amplifier circuit structures, and so on.

Based on the proposed design methodology, operational amplifiers are designed for four configurations including two-stage structure, cascode structure, folded-cascode structure and rail-to-rail input structure. In addition, four operational amplifier structures are designed for both TSMC 0.35 μm and 0.18 μm process technologies by using the proposed design approach for instance. The simulation results fully meet the requirements of specification for different operational amplifier configurations and process technologies. Therefore, the proposed operation amplifier design methodology is valid and practical.

Keywords: Operational Amplifier, Overdrive-Voltage

目錄

中文摘要	I
英文摘要(Abstract)	II
目錄	III
圖目錄	V
表目錄	VII
第一章 緒論	1
1.1 前言	1
1.2 研究動機	2
第二章 運算放大器結構	3
2.1 兩級組態	3
2.1.1 電路架構	3
2.1.2 偏移電壓	4
2.1.3 輸入共模範圍與輸出擺幅	5
2.1.4 電壓增益	7
2.1.5 頻率響應與相位邊限	10
2.1.6 迴轉率	12
2.2 疊接組態	14
2.2.1 電路架構	14
2.2.2 偏移電壓	15
2.2.3 輸入共模範圍與輸出擺幅	15
2.2.4 電壓增益	17
2.2.5 頻率響應	18
2.2.6 迴轉率	19
2.3 摺疊疊接組態	20
2.3.1 電路架構	20
2.3.2 偏移電壓	21
2.3.3 輸入共模範圍與輸出擺幅	21
2.3.4 電壓增益	23
2.3.5 頻率響應	24
2.3.6 迴轉率	25
2.4 軌對軌輸入組態	26
2.4.1 電路架構	26

2.4.2 偏移電壓-----	27
2.4.3 輸入共模範圍與輸出擺幅-----	27
2.4.4 電壓增益-----	28
2.4.5 頻率響應-----	29
2.4.6 迴轉率-----	30
2.5 比較-----	30
第三章 設計方法論-----	31
3.1 設計方法與流程-----	31
3.1.1 設計流程-----	31
3.1.2 偏壓電流的決定-----	35
3.1.3 通道長度與本質增益-----	35
3.1.4 過驅電壓的選擇-----	36
3.2 兩級組態之設計-----	38
3.3 疊接組態之設計-----	51
3.4 摺疊疊接組態之設計-----	60
3.5 軌對軌輸入組態之設計-----	69
3.6 討論-----	78
第四章 電路最佳化-----	79
4.1 兩級組態之最佳化-----	79
4.2 疊接組態之最佳化-----	83
4.3 摺疊疊接組態之最佳化-----	88
4.4 軌對軌輸入組態之最佳化-----	93
第五章 結論-----	99
參考文獻-----	101
作者簡歷-----	103

圖目錄

圖 2.1	典型兩級 CMOS 運算放大器架構	3
圖 2.2	兩級運算放大器之小信號等效電路	7
圖 2.3	加上一個與 C_C 串聯的電阻 R_C 後的等效電路	11
圖 2.4	以一大步級信號輸入一單增益隨耦器	12
圖 2.5	疊接運算放大器的電路架構	14
圖 2.6	疊接運算放大器的小信號等效電路	18
圖 2.7	摺疊疊接運算放大器的電路架構	20
圖 2.8	軌對軌輸入運算放大器的電路架構	26
圖 3.1	規格需求與初始設計之關係圖	31
圖 3.2	典型的主動負載差動放大器	33
圖 3.3	單獨取出 M1 並加上三個端點電壓	33
圖 3.4	設計流程圖	34
圖 3.5	過驅電壓與本質增益的關係	37
圖 3.6	兩級組態之波德圖與相位邊限 ($0.18\mu\text{m}$)	45
圖 3.7	兩級組態之迴轉率 ($0.18\mu\text{m}$)	45
圖 3.8	兩級組態之輸出擺幅 ($0.18\mu\text{m}$)	46
圖 3.9	兩級組態之輸入共模範圍 ($0.18\mu\text{m}$)	46
圖 3.10	兩級組態之波德圖與相位邊限 ($0.35\mu\text{m}$)	49
圖 3.11	兩級組態之迴轉率 ($0.35\mu\text{m}$)	49
圖 3.12	兩級組態之輸出擺幅 ($0.35\mu\text{m}$)	50
圖 3.13	兩級組態之輸入共模範圍 ($0.35\mu\text{m}$)	50
圖 3.14	疊接組態之波德圖與相位邊限 ($0.18\mu\text{m}$)	54
圖 3.15	疊接組態之迴轉率 ($0.18\mu\text{m}$)	54
圖 3.16	疊接組態之輸出擺幅 ($0.18\mu\text{m}$)	55
圖 3.17	疊接組態之輸入共模範圍 ($0.18\mu\text{m}$)	55
圖 3.18	疊接組態之波德圖與相位邊限 ($0.35\mu\text{m}$)	58
圖 3.19	疊接組態之迴轉率 ($0.35\mu\text{m}$)	58
圖 3.20	疊接組態之輸出擺幅 ($0.35\mu\text{m}$)	59
圖 3.21	疊接組態之輸入共模範圍 ($0.35\mu\text{m}$)	59
圖 3.22	摺疊疊接組態之波德圖與相位邊限 ($0.18\mu\text{m}$)	63
圖 3.23	摺疊疊接組態之迴轉率 ($0.18\mu\text{m}$)	63
圖 3.24	摺疊疊接組態之輸出擺幅 ($0.18\mu\text{m}$)	64
圖 3.25	摺疊疊接組態之輸入共模範圍 ($0.18\mu\text{m}$)	64
圖 3.26	摺疊疊接組態之波德圖與相位邊限 ($0.35\mu\text{m}$)	67
圖 3.27	摺疊疊接組態之迴轉率 ($0.35\mu\text{m}$)	67
圖 3.28	摺疊疊接組態之輸出擺幅 ($0.35\mu\text{m}$)	68
圖 3.29	摺疊疊接組態之輸入共模範圍 ($0.35\mu\text{m}$)	68
圖 3.30	軌對軌輸入組態之波德圖與相位邊限 ($0.18\mu\text{m}$)	72
圖 3.31	軌對軌輸入組態之迴轉率 ($0.18\mu\text{m}$)	72

圖 3.32	軌對軌組態之輸出擺幅(0.18 μ m)-----	73
圖 3.33	軌對軌輸入組態之輸入共模範圍(0.18 μ m)-----	73
圖 3.34	軌對軌輸入組態之波德圖與相位邊限(0.35 μ m)-----	76
圖 3.35	軌對軌輸入組態之迴轉率(0.35 μ m)-----	76
圖 3.36	軌對軌組態之輸出擺幅(0.35 μ m)-----	77
圖 3.37	軌對軌輸入組態之輸入共模範圍(0.35 μ m)-----	77
圖 4.1	最佳化後的兩級組態之波德圖與相位邊限(0.18 μ m)-----	80
圖 4.2	最佳化後的兩級組態之迴轉率(0.18 μ m)-----	80
圖 4.3	最佳化後的兩級組態之輸出擺幅(0.18 μ m)-----	81
圖 4.4	最佳化後的兩級組態組態之輸入共模範圍(0.18 μ m)-----	81
圖 4.5	最佳化後的兩級組態之波德圖與相位邊限(0.35 μ m)-----	82
圖 4.6	最佳化後的兩級組態之迴轉率(0.35 μ m)-----	82
圖 4.7	最佳化後的兩級組態之輸出擺幅(0.35 μ m)-----	83
圖 4.8	最佳化後的兩級組態組態之輸入共模範圍(0.35 μ m)-----	83
圖 4.9	最佳化後的疊接組態之波德圖與相位邊限(0.18 μ m)-----	85
圖 4.10	最佳化後的疊接組態之迴轉率(0.18 μ m)-----	85
圖 4.11	最佳化後的疊接組態之輸出擺幅(0.18 μ m)-----	86
圖 4.12	最佳化後的疊接組態組態之輸入共模範圍(0.18 μ m)-----	86
圖 4.13	最佳化後的疊接組態之波德圖與相位邊限(0.35 μ m)-----	87
圖 4.14	最佳化後的疊接組態之迴轉率(0.35 μ m)-----	87
圖 4.15	最佳化後的疊接組態之輸出擺幅(0.35 μ m)-----	88
圖 4.16	最佳化後的疊接組態組態之輸入共模範圍(0.35 μ m)-----	88
圖 4.17	最佳化後的摺疊疊接組態之波德圖與相位邊限(0.18 μ m)-----	90
圖 4.18	最佳化後的摺疊疊接組態之迴轉率(0.18 μ m)-----	90
圖 4.19	最佳化後的摺疊疊接組態之輸出擺幅(0.18 μ m)-----	91
圖 4.20	最佳化後的摺疊疊接組態組態之輸入共模範圍(0.18 μ m)-----	91
圖 4.21	最佳化後的摺疊疊接組態之波德圖與相位邊限(0.35 μ m)-----	92
圖 4.22	最佳化後的摺疊疊接組態之迴轉率(0.35 μ m)-----	92
圖 4.23	最佳化後的摺疊疊接組態之輸出擺幅(0.35 μ m)-----	93
圖 4.24	最佳化後的摺疊疊接組態組態之輸入共模範圍(0.35 μ m)-----	93
圖 4.25	最佳化後的軌對軌輸入組態之波德圖與相位邊限(0.18 μ m)-----	95
圖 4.26	最佳化後的軌對軌輸入組態之迴轉率(0.18 μ m)-----	95
圖 4.27	最佳化後的軌對軌輸入組態之輸出擺幅(0.18 μ m)-----	96
圖 4.28	最佳化後的軌對軌輸入組態組態之輸入共模範圍(0.18 μ m)-----	96
圖 4.29	最佳化後的軌對軌輸入組態之波德圖與相位邊限(0.35 μ m)-----	97
圖 4.30	最佳化後的軌對軌輸入組態之迴轉率(0.35 μ m)-----	97
圖 4.31	最佳化後的軌對軌輸入組態之輸出擺幅(0.35 μ m)-----	98
圖 4.32	最佳化後的軌對軌輸入組態組態之輸入共模範圍(0.35 μ m)-----	98

表目錄

表 2.1	不同運算放大器組態間的效能比較-----	31
表 3.1	不同尺寸的 NMOS 電晶體所各自擁有的最高本質增益-----	36
表 3.2	運算放大器規格之一-----	38
表 3.3	M1 與 M2 的操作點分析結果-----	39
表 3.4	修正後的 M1 與 M2 的尺寸與操作點分析-----	40
表 3.5	M5 與 M6 的尺寸與操作點分析結果-----	41
表 3.6	差動對 M3、M4 的尺寸與操作點分析結果-----	41
表 3.7	M8 與 M7 的尺寸與操作點分析結果-----	43
表 3.8	組成兩級組態後的操作點分析結果-----	43
表 3.9	兩級組態初始設計的效能模擬結果(0.18 μ m)-----	47
表 3.10	兩級組態進行電晶體獨立的操作點分析(0.35 μ m)-----	47
表 3.11	合成兩級組態後的操作點分析(0.35 μ m)-----	48
表 3.12	兩級組態的效能模擬結果(0.35 μ m)-----	51
表 3.13	運算放大器規格之二-----	52
表 3.14	疊接組態進行電晶體獨立操作點分析的結果(0.18 μ m)-----	52
表 3.15	合成疊接組態後操作點分析結果(0.18 μ m)-----	53
表 3.16	疊接組態之初始設計效能模擬結果(0.18 μ m)-----	56
表 3.17	疊接組態進行電晶體獨立操作點分析的結果(0.35 μ m)-----	56
表 3.18	合成疊接組態後的操作點分析結果(0.35 μ m)-----	57
表 3.19	疊接組態之初始設計效能模擬結果(0.35 μ m)-----	60
表 3.20	運算放大器規格之三-----	60
表 3.21	摺疊疊接組態進行電晶體獨立操作點分析的結果(0.18 μ m)-----	61
表 3.22	合成摺疊疊接組態後的操作點分析結果(0.18 μ m)-----	62
表 3.23	摺疊疊接組態之初始設計效能模擬結果(0.18 μ m)-----	65
表 3.24	摺疊疊接組態進行電晶體獨立操作點分析的結果(0.35 μ m)-----	65
表 3.25	合成摺疊疊接組態後的操作點分析結果(0.35 μ m)-----	66
表 3.26	摺疊疊接組態之初始設計效能模擬結果(0.35 μ m)-----	69
表 3.27	運算放大器規格之四-----	69
表 3.28	軌對軌輸入組態進行電晶體獨立操作點分析的結果(0.18 μ m)-----	70
表 3.29	合成軌對軌輸入組態後的操作點分析結果(0.18 μ m)-----	71
表 3.30	軌對軌輸入組態之初始設計效能模擬結果(0.18 μ m)-----	74
表 3.31	軌對軌輸入組態進行電晶體獨立操作點分析的結果(0.35 μ m)-----	74
表 3.32	合成軌對軌輸入組態後的操作點分析結果(0.35 μ m)-----	75
表 3.33	軌對軌輸入組態之初始設計效能模擬結果(0.35 μ m)-----	78
表 4.1	兩級組態最佳化後的元件尺寸與偏壓電流-----	79
表 4.2	最佳化後的兩級組態之效能模擬結果-----	84
表 4.3	疊接組態最佳化後的元件尺寸與偏壓電流-----	84
表 4.4	最佳化後的疊接組態之效能模擬結果-----	89

表 4.5	摺疊疊接組態最佳化後的元件尺寸與偏壓電流-----	89
表 4.6	最佳化後的摺疊疊接組態之效能模擬結果-----	94
表 4.7	軌對軌輸入組態最佳化後的元件尺寸與偏壓電流-----	94
表 4.8	最佳化後的軌對軌輸入組態之效能模擬結果-----	99



第一章 緒論

1.1 前言

自然界的訊號大多是以類比的形式存在，而類比信號相較於數位信號而言較不易處理與運用，因此，在各種特殊應用上，會利用類比電路先將類比信號做前置處理，之後再轉換成數位信號的形式進行運算與控制。運算放大器(Operational Amplifier, OPA)是類比電路中最為關鍵的元件，其應用非常的廣泛，如信號放大、信號取樣、類比數位轉換(Analog- to-Digital Converter, ADC)、濾波.....等等，這些電路的效能好壞往往都取決於運算放大器的特性參數，如共模拒斥比(Common Mode Rejection Ratio, CMRR)、頻寬(Bandwidth)、開迴路增益(Open-loop Gain)、相位邊限(Phase Margin, PM)、偏移電壓(Offset Voltage)、迴轉率(Slew Rate, SR)、輸入共模範圍(Input Common Mode Range, ICMR)、輸出擺幅(Output Swing).....等。運算放大器由原本的離散式元件組裝到今日的積體化，其性能被大大的提升，而隨著積體電路製程技術的蓬勃發展，電路效能也不斷的在突破，但由於類比電路中各項參數之間始終維持著互相限制的關係，使得類比電路的設計變得複雜而且困難。因此，許多的設計法則以及自動化設計工具軟體亦被發展出來，但時至今日，類比電路的設計仍然需要仰賴設計者的經驗輔助才得以快速完成，而不同的設計者便會發展出不同的設計方法，但彼此之間必定有相容之處。

1.2 研究動機

運算放大器是最常被使用的主動元件之一，它已廣泛的被應用於目前各項非常熱門的領域如生醫電子(Bio-Medical Electronic)、通訊(Communication)、電源管理(Power-Management)等。運算放大器通常決定了一個系統的效能，也因為它是如此的重要，所以對於運算放大器的研究始終持續不斷[1]-[9]。對類比電路設計而言，運算放大器的設計是必需學習的，因為它是類比電路中最重要的基石。但是類比電路需多次驗證，設計較為複雜且需考慮的因素較多，其設計過程是一種利用疊代法則來尋求解答的最佳化，這對於電路設計的初學者而言是非常耗時與較難學習的。

文獻[10]-[12]提出一個基於手算分析(Hand Calculation)並利用電路規格來推導電晶體尺寸的設計方法。由於使用的近似公式不夠精確，模擬與手算分析的結果會有很大的誤差，因此電路規格通常無法符合，但此法仍提供了非常重要的設計流程。文獻[13]-[14]提出一個利用 g_m 與 I_D 的比值關係，來推算出電晶體尺寸的方法，通稱為 g_m/I_D 法。此法利用模擬工具來建立所需的設計參數表，因此有較好的準確性而且快速，是目前非常受歡迎的設計方法。

本研究旨在提出一種新的運算放大器設計方法，可以應用於多種電路架構，此方法提供簡易快速且無複雜之計算過程，並保有設計者對參數變動的敏感度；在本研究中將以案例實作過程來說明所提出之新的運算放大器設計方法，並輔助以模擬結果來驗證設計結果，證明本研究的運算放大器設計方法為有效而實用的。

第二章 運算放大器結構

運算放大器有許多不同的電路結構，這些電路都各自擁有其特性，理想上，一個運算放大器應具備無窮大之電壓增益與輸入阻抗，但實際運算放大器電路特性僅能趨近於這些數值，在本章中將探討運算放大器常見的幾種架構，並個別分析其電路特性，最後針對各項效能參數進行比較，瞭解不同架構之應用範疇與設計需求。

2.1 兩級組態

2.1.1 電路架構

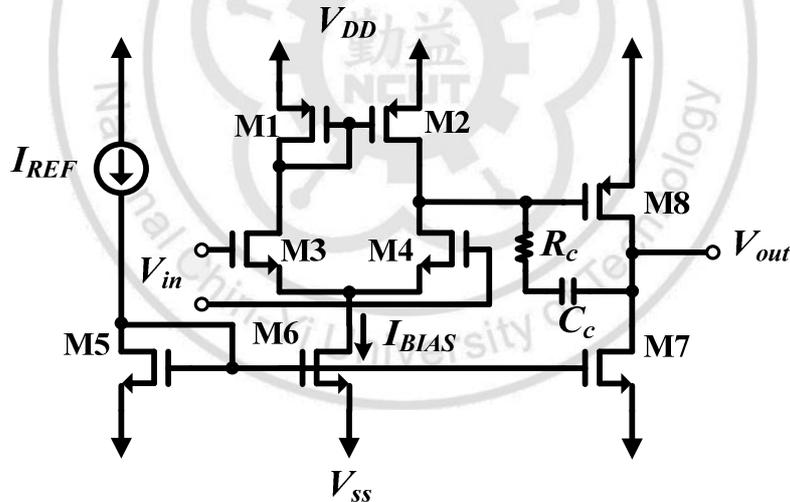


圖 2.1 典型兩級 CMOS 運算放大器架構

兩級運算放大器之電路如圖 2.1 所示。這個簡單且優雅的電路已經成為一個經典的電路，並應用在多種 VLSI(Very Large Scale Integrated Circuits)系統設計之中。電路由兩個增益級組成，第一級由差動對 M3-M4 以及它們的電流鏡負載 M1-M2 組成。這個差動放大器擁有一

個足夠的增益範圍，並把差動信號轉換成單端信號，同時也提供一個合理的共模拒斥比。

差動對是由 M5、M6、M7 所組成的電流鏡的兩個輸出電晶體之一的 M6 作為偏壓。電流鏡由參考電流 I_{REF} 饋入， I_{REF} 通常是藉著把一個精密電阻接到正電源電壓 V_{DD} ；如果積體電路中另有更精密的正參考電壓，則接到這個參考電壓。

第二個增益級由共源極(Common Source)電晶體 M8 以及他的負載 M7 所構成。第二級通常提供一個大的輸出擺幅，此外，它也參與運算放大器的頻率補償(Frequency Compensation)處理，為了要保證運算放大器在不同負回授量之下能穩定操作，開迴路增益必須對頻率以均勻的-20dB/十倍速率下降。因而必須在相當低的頻率加入一個極點(Pole)並將之安排為頻率響應的主極點(Dominant Pole)。

2.1.2 偏移電壓

在輸入級中元件不可避免的不匹配會造成輸入偏移電壓的上升。因為元件不匹配為隨機的形式，所產生的偏移電壓為隨機偏移電壓(Random Offset)。而另一種形式的輸入偏移電壓，稱之為系統偏移電壓(Systematic Offset)，它是出現在所有的元件都完美對稱的時候，這個可預測的系統偏移電壓可以經由小心的設計將它降到最低。

為了瞭解系統性偏移電壓是如何在圖 2.1 中發生的，將兩輸入端接地，若輸入級能完美的平衡，則在 M1 的汲極電壓將會等於 M2 的汲極電壓，而這個電壓亦是 M8 的閘極電壓，換句話說，一個等於 V_{GS2} 的電壓加到 M8 的閘—源極之間，因此，M8 的汲極電流 I_8 將會和 M2 的

汲極電流 $I_{BIAS}/2$ 有關，且關係式為：

$$I_8 = \frac{(W/L)_8}{(W/L)_2} (I_{BIAS}/2) \quad (2.1)$$

為了在輸出點不會有偏移電壓的出現，這個電流必須剛好等於 M7 所負荷的電流 I_7 ，它會和尾電流源電晶體 M6 有關：

$$I_7 = \frac{(W/L)_7}{(W/L)_6} I_{BIAS} \quad (2.2)$$

這使得 $I_8=I_7$ 的條件可以由(2.1)及(2.2)兩式求得：

$$\frac{(W/L)_8}{(W/L)_2} = 2 \frac{(W/L)_7}{(W/L)_6} \quad (2.3)$$

如果這個條件不能吻合，系統偏移電壓就會產生。

2.1.3 輸入共模範圍與輸出擺幅

參考圖 2.1 並考慮當兩個輸入端短路在一起並接到電壓 V_{ICM} 時， V_{ICM} 的最高值必須夠大以使 M3—M4 維持在飽和區。因此 V_{ICM} 的最高值至多只能比 M3 的汲極電壓 ($V_{DD} - V_{GS1} = V_{DD} - V_{TH1} - V_{OV1}$) 高一個 V_{TH3} ，因此：

$$V_{ICM} \leq V_{DD} - V_{TH1} - V_{OV1} + V_{TH3} \quad (2.4)$$

V_{ICM} 的最低值應確保 M6 留在飽和區操作，即跨過 M6 的電壓 V_{DS6} 不應低於 V_{OV6} 。相同的，M6 的汲極電壓不能超過 $V_{SS} + V_{OV6}$ ，因此 V_{ICM} 的下限為：

$$V_{ICM} \geq V_{SS} + V_{OV6} + V_{TH3} + V_{OV3} \quad (2.5)$$

合併(2.4)與(2.5)式可得輸入共模範圍為：

$$V_{SS} + V_{OV6} + V_{TH3} + V_{OV3} \leq V_{ICM} \leq V_{DD} - V_{TH1} - V_{OV1} + V_{TH3} \quad (2.6)$$

過驅電壓降低了輸入共模範圍，因而由 V_{ICM} 的觀點來看， V_{OV} 應儘可能的選擇較小的值。

運算放大器的輸出信號擺幅所容許範圍的下限是由維持 M7 操作在飽和區的條件所決定的，而上限是由維持 M8 操作在飽和區的條件所決定，因此：

$$V_{SS} + V_{OV8} \leq V_{out} \leq V_{DD} - V_{OV7} \quad (2.7)$$

由上式可再次觀察到為了獲得寬廣的輸出電壓擺幅範圍，M7 和 M8 的過驅電壓應儘可能的小，然而這個要求會砥觸提高單增益頻寬 f_T 的需求。運算放大器的一個重要需求便是能使其輸出端直接接回負輸入端以形成一個單增益放大器，對這樣的連接方式， V_{out} 容許範圍與 V_{ICM} 的容許範圍必須有實質的交疊。

2.1.4 電壓增益

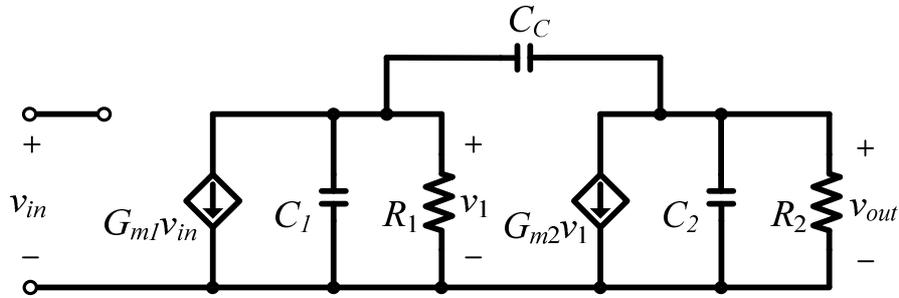


圖 2.2 兩級運算放大器之小信號等效電路

為了決定電壓增益與頻率響應，考慮圖 2.2 的小信號等效電路模型，其中兩個增益級都以轉導放大器為模型，輸入阻抗實質上等於無窮大。第一級的轉導 G_{m1} 等於 M3 與 M4 的轉導：

$$G_{m1} = g_{m3} = g_{m4} \quad (2.8)$$

因為 M3 與 M4 操作在相同的偏壓電流 $I_{BIAS}/2$ 與相同的過驅電壓 $V_{OV1} = V_{OV2}$ ，故可寫成：

$$G_{m1} = \frac{2(I_{BIAS}/2)}{V_{OV3}} = \frac{I_{BIAS}}{V_{OV3}} \quad (2.9)$$

電阻 $R1$ 代表第一級的輸出電阻，所以：

$$R_1 = r_{o2} // r_{o4} \quad (2.10)$$

其中

$$r_{o2} = \frac{V_{A2}}{I_{BIAS} / 2} \quad (2.11)$$

及

$$r_{o4} = \frac{V_{A4}}{I_{BIAS} / 2} \quad (2.12)$$

所以第一級的增益為：

$$A_1 = -G_{m1} R_1 = -g_{m1} (r_{o2} // r_{o4}) = -\frac{2}{\left(\frac{1}{V_{A2}} + \frac{1}{V_{A4}} \right)} V_{OV3} \quad (2.13)$$

由上式可觀察到把差動對電晶體 M3 及 M4 操作在較低的過驅電壓，以及選擇較長的通道長度以提高爾利電壓 V_A (Early Voltage) [12] 都可以提高增益 A_1 的絕對值，但這兩種作法都會使放大器的頻率響應劣化。

第二級的轉導 G_{m2} 為：

$$G_{m2} = g_{m8} = \frac{2I_{D8}}{V_{OV8}} \quad (2.14)$$

電阻 R_2 代表第二級的輸出阻抗，因此：

$$R_2 = r_{o7} // r_{o8} \quad (2.15)$$

其中

$$r_{o7} = \frac{V_{A7}}{I_{D7}} \quad (2.16)$$

及

$$r_{o8} = \frac{V_{A8}}{I_{D8}} = \frac{V_{A8}}{I_{D7}} \quad (2.17)$$

第二級的電壓增益可如下求得：

$$A_2 = -G_{m2}R_2 = -g_{m8}(r_{o7} // r_{o8}) = -\frac{\frac{2}{V_{OV8}}}{\left(\frac{1}{V_{A7}} + \frac{1}{V_{A8}}\right)} \quad (2.18)$$

同樣的從上式也可以觀察到若要提高 A_2 的絕對值，M8 必須操作在低過驅電壓，M8 及 M7 的通道長度必須加長，然而，這兩種做法都會減少放大器的頻寬，這需要讓設計者做一個重要的取捨。整體的直流電壓增益為 A_1A_2 的乘積：

$$A_V = A_1A_2 = -G_{m1}R_1G_{m2}R_2 = g_{m3}g_{m8}(r_{o2} // r_{o4})(r_{o7} // r_{o8}) \quad (2.19)$$

最後，運算放大器的輸出阻抗為第二級的輸出阻抗：

$$R_o = r_{o7} // r_{o8} \quad (2.20)$$

因此 R_o 可以很大，然而，因為晶片上的電路很少有推動大負載的場合，大的開路輸出阻抗通常不是問題。

2.1.5 頻率響應與相位邊限

參考圖 2.2 的等效電路，電容 C_1 為第一級輸出節點與地之間的總電容，電容 C_2 代表運算放大器輸出節點與地之間的總電容，其中包括放大器負責推動的負載電容 C_L ，通常 C_L 遠大於電晶體內部的寄生電容，所以 C_2 遠大於 C_1 。整個電路有兩個極點與一個右半平面(Right Half-Plane, RHP)上的零點，其近似式可表示為：

$$f_{p1} \cong \frac{1}{2\pi R_1 R_2 G_{m1} C_C} \quad (2.21)$$

$$f_{p2} \cong \frac{G_{m2}}{2\pi C_2} \quad (2.22)$$

$$f_z \cong \frac{G_{m2}}{2\pi C_C} \quad (2.23)$$

f_{p1} 為主極點，它是由米勒倍乘的 C_C 及 R_1 所造成的。為了使增益以均勻 $-20\text{dB}/十倍$ 的斜率下降到 0dB ，單增益頻率：

$$f_T = \frac{G_{m1}}{2\pi C_C} \quad (2.24)$$

$f_T = G_{m1}/2\pi C_C$ 必須低於 f_{p2} 及 f_z ，因此在設計上必須滿足下列兩個條件：

$$\frac{G_{m1}}{C_C} < \frac{G_{m2}}{C_2} \quad (2.25)$$

$$G_{m1} < G_{m2} \quad (2.26)$$

CMOS 兩級運算放大器的其中一種頻率補償方法稱為米勒補償，它是一種極點分離的做法，利用米勒倍乘效應來提供一個頻率為 f_{p1} 的主極點並把次極點移到 f_T 之上以增加相位邊限，相位邊限可如下式求得：

$$PM = +180^\circ - \tan^{-1}[A_V(0)] - \tan^{-1}\left(\frac{f_T}{|f_{p2}|}\right) - \tan^{-1}\left(\frac{f_T}{|f_z|}\right) \quad (2.27)$$

其中 PM 為相位邊限， A_V 為直流增益。相位邊限的大小會顯著的影響閉迴路增益，因此在設計上通常要求在所需規格內求取最小的相位安全邊限。

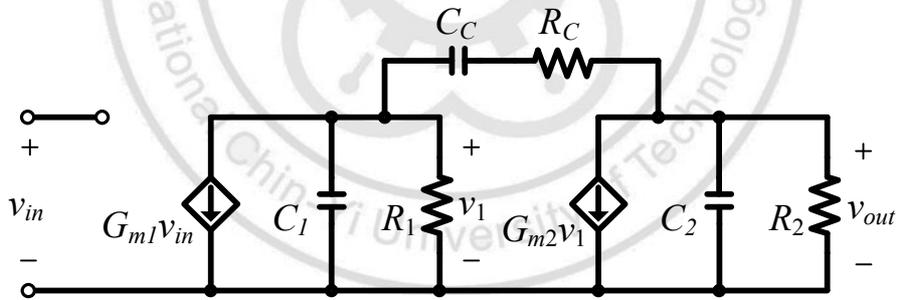


圖 2.3 加上一個與 C_C 串聯的電阻 R_C 後的等效電路

對於因零點而造成額外相位差的問題有一個簡單的解決方法，如圖 2.3 所示，將米勒補償電容 C_C 串接一個電阻 R_C ，這樣可將零點移到左半平面(Left Half-Plane)上，加入 R_C 後的零點位置可如下式求得：

$$f_z = \frac{1}{2\pi C_c \left(\frac{1}{G_{m2}} - R_c \right)} \quad (2.28)$$

由上式可知，若選擇 $R_C=1/G_{m2}$ ，零點將會被移到無窮大，另一個更好的選擇是讓 $R_C>1/G_{m2}$ ，這樣會把零點移到左半平面上，變成增加相位安全邊限。

2.1.6 迴轉率

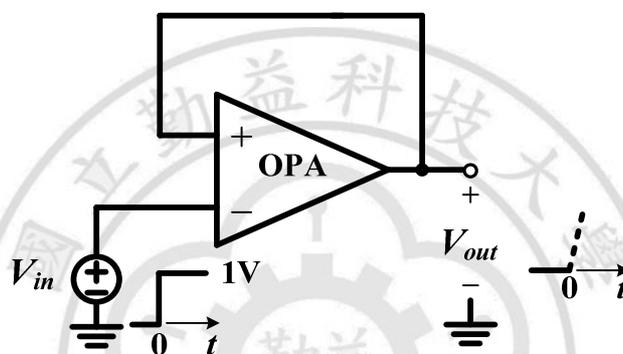


圖 2.4 以一大步級信號輸入一單增益隨耦器

考慮示於圖 2.4 的單增益隨耦器，輸入為 1V 的步階信號。由於放大器的動態特性，在時間為零的瞬間，輸出並不會改變。因此，在輸入加入之後，整個步階信號會以差動信號的形式出現在兩個輸入端之間，這樣大的信號必然會超過關閉差動對某一邊電晶體所需的電壓，而把全部的偏壓電流集中到另一邊的電晶體。以圖 2.1 為例，將大信號加至 M3 的閘極，M4 則與輸出端連接形成單增益形式，此時 M4 將會被關閉，M3 則會傳導全部的電流 I_{BIAS} ，因此 M2 會從 C_C 提取電流 I_{BIAS} ，輸出電壓將以 I_{BIAS}/C_C 的斜率值上升：

$$V_{out}(t) = \frac{I_{BIAS}}{C_C} t \quad (2.29)$$

因此迴轉率 SR 為：

$$SR = \frac{I_{BIAS}}{C_C} \quad (2.30)$$

單增益頻率 f_T 與迴轉率 SR 之間有一個重要的關係，合併(2.24)、(2.30)兩式並由 $G_{m1}=g_{m3}=I_{BIAS}/V_{OV3}$ 可得如下這個關係式：

$$SR = 2\pi f_T V_{OV3} \quad (2.31)$$

因此，對於某一給定的 f_T ，迴轉率由第一級操作的過驅電壓所決定，把 M3 與 M4 操作在較大的 V_{OV} 可得到較高的迴轉率。就一給定的偏壓電流 I_{BIAS} 而言，若 M3 與 M4 為 p 通道元件，則可以得到較大的 V_{OV} 值，這是在 CMOS 運算放大器的第一級中選用 p 通道元件的一個重要原因，而還有一個原因是因為這樣可以在第二級使用 n 通道元件，因為 n 通道元件比起相當尺寸的 p 通道元件有較大的轉導， G_{m2} 會比較高，可以得到較高的次極點頻率以及相對較高的 f_T 。

2.2 疊接組態

2.2.1 電路架構

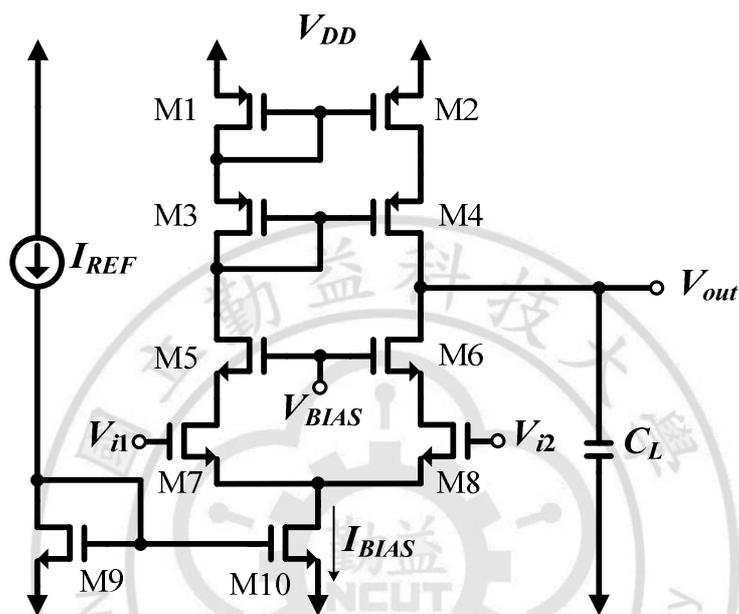


圖 2.5 疊接運算放大器的電路架構

疊接運算放大器的電路圖如圖 2.5 所示，輸出由單端取出，M7 與 M8 做為差動對且偏壓於一個 $I_{BIAS}/2$ 的電流，M9 與 M10 組成偏壓電路提供 I_{BIAS} 的偏壓電流，M5 與 M6 為疊接電晶體且其閘極接到一個固定的直流電壓 V_{BIAS} ，為了使疊接組態在並聯後的結果仍可以得到高輸出阻抗，其負載的輸出阻抗也必須擁有同樣等級的大小才行，所以負載使用疊接電流鏡，由電晶體 M1—M4 組成。 C_L 為輸出節點的總對地電容，它包括電晶體內部的寄生電容與下一級的負載電容，在此與兩級電路不同的是，疊接組態的頻率補償是利用負載電容來達成，所以 C_L

還包括了補償電容。產生 V_{BIAS} 的電路在此雖未畫出，但 V_{BIAS} 的選定對設計而言是非常重要的。

2.2.2 偏移電壓

以圖 2.5 的單級疊接運算放大器來說，其系統偏移電壓的產生是由於上半部的 PMOS 電晶體與下半部的 NMOS 電晶體阻抗不匹配所產生。流經 M2、M4、M6、M8 的電流 $I_{BIAS}/2$ 在每個電晶體都會產生壓降，而每個電晶體的壓降即是其汲—源極電壓，由於每個電晶體的尺寸不同，所產生的內部電阻也不同，因此，當 $I_{BIAS}/2$ 的電流流經每個電晶體時就會造成不同的壓降。當輸出節點以上的 PMOS 電晶體總壓降 $V_{P\ tot}$ 與輸出節點以下的 NMOS 電晶體總壓降 $V_{N\ tot}$ 不平衡時，輸出端就會產生一個偏移電壓：

$$V_{offset} = V_{P\ tot} - V_{N\ tot} \quad (2.32)$$

若要消除這個偏移電壓，且當 $V_{DD} = -V_{SS}$ ，則在設計時就必須滿足下式：

$$V_{SD2} + V_{SD4} = V_{DS6} + V_{DS8} + V_{DS10} \quad (2.33)$$

2.2.3 輸入共模範圍與輸出擺幅

將兩輸入端短路並接到一個固定電壓 V_{ICM} ， V_{ICM} 的最高值是讓 M3

與 M4 的過驅電壓能在小於汲—源極電壓的狀況下維持在飽和區工作，故此值只能比 M7 與 M8 的汲極電壓高一個臨界電壓，所以 V_{ICM} 的上限為：

$$V_{ICM \max} \leq V_{D8} + V_{TH8} \quad (2.34)$$

亦可寫成：

$$V_{ICM \max} \geq V_{DD} - V_{OV2} - V_{TH2} - V_{OV4} - V_{TH4} - V_{OV6} + V_{TH8} \quad (2.35)$$

V_{ICM} 的最低值是要能夠使 M10 維持在飽和區工作，與兩級電路的相同，所以 V_{ICM} 的下限為：

$$V_{ICM \min} = V_{SS} + V_{OV10} + V_{OV8} + V_{TH8} \quad (2.36)$$

結合(2.35)、(2.36)兩式可得輸入共模範圍：

$$V_{SS} + V_{OV10} + V_{OV8} + V_{TH8} \leq V_{ICM} \leq V_{DD} - V_{OV2} - V_{TH2} - V_{OV4} - V_{TH4} - V_{OV6} \quad (2.37)$$

V_{out} 的最大值須使 M2 與 M4 維持在飽和區，由於 M2 與 M4 的閘極與汲極電壓相同，當源—汲極電壓 V_{SD} 與臨界電壓 V_{TH} 相等時，電晶體將會操作在飽和區邊緣，故 V_{out} 的上限為：

$$V_{out\ max} = V_{DD} - V_{TH2} - V_{TH4} \quad (2.38)$$

此值比 V_{DD} 低兩個臨界電壓，這是疊接電路較不理想的地方，不過另一邊就較為理想。 V_{out} 的最低值須維持 M6、M8、M10 維持在飽和區操作，故 V_{out} 的下限為：

$$V_{out\ min} = V_{SS} + V_{OV10} + V_{OV8} + V_{OV6} \quad (2.39)$$

此值至少需比 V_{SS} 大三個過驅電壓。疊接運算放大器在次微米製程下較無發揮空間，原因是疊接組態本身的輸入共模範圍與輸出擺幅已被受限，加上供應電壓日漸降低，所以在先進製程中疊接組態的應用將會備受考驗。

2.2.4 電壓增益

疊接運算放大器的轉導 G_m 等於差動對電晶體個別的 g_m ：

$$G_m = g_{m7} = g_{m8} = \frac{I_{BIAS}}{V_{OV8}} \quad (2.40)$$

輸出阻抗 R_o 為疊接放大器輸出阻抗與疊接電流鏡輸出阻抗的並聯，所以：

$$R_o = g_{m6}r_{o6}r_{o8} // g_{m4}r_{o4}r_{o2} \quad (2.41)$$

結合(2.40)與(2.41)兩式可以得到電壓增益：

$$A_v = g_{m8}(g_{m6}r_{o6}r_{o8} // g_{m4}r_{o4}r_{o2}) \quad (2.42)$$

疊接組態的高輸出阻抗特性經常被用來提升電壓增益。

2.2.5 頻率響應

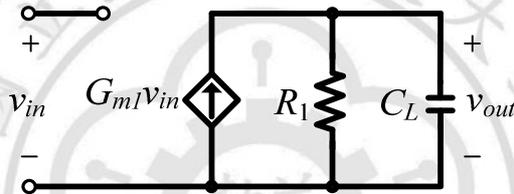


圖 2.6 疊接運算放大器的小信號等效電路

疊接運算放大器的小信號等效電路如圖 2.6 所示。由於疊接組態具有屏蔽米勒電容效應[12]的特性，所以其頻率響應較兩級組態佳，參考圖 2.6 可寫出其輸入與輸出之關係式為：

$$\frac{v_{out}}{v_{in}} = \frac{G_m R_o}{1 + SC_L R_o} \quad (2.43)$$

其主極點為：

$$f_p = \frac{1}{2\pi C_L R_o} \quad (2.44)$$

而單增益頻率 f_T 為：

$$f_T = G_m R_o f_p = \frac{G_m}{2\pi C_L} \quad (2.45)$$

從設計的觀點， C_L 的值應該要使 $f=f_T$ 時由非主極點產生的額外相位小到能滿足相位邊限的需求。若 C_L 太小而無法達到這個要求，可將之加大。增加負載電容在不同的電路架構中會引起不同的效應。在兩級電路中，若增加 C_L ，次極點的頻率下降，相位邊限會減少。而在此電路中剛好相反， C_L 增加時 f_T 下降，而相位安全邊限會增加，原因是因為在疊接組態中 C_L 並不會使極點分離，而增加 C_L 會單純的將單增益頻率 f_T 的位置往靠近原點的地方移動，使頻寬減少，因此會增加相位安全邊限。

2.2.6 迴轉率

參考圖 2.5 的電路，當輸入端加入一個大的差動信號時，M7 或 M8 其中之一會關閉，假設 M8 被關閉，則 M6 亦會被關閉，此時 M7 會導通所有的偏壓電流 I_{BIAS} 。因為電流鏡的作用，M2 與 M4 的路徑亦會流過相同的電流，此電流將會流到輸出端，因此，輸出端的信號將會以一線性斜率上升，此斜率即為疊接組態的迴轉率：

$$SR = \frac{I_{BIAS}}{C_L} \quad (2.46)$$

結合(2.40)、(2.45)與(2.46)可得 SR 與 f_T 的關係如下：

$$SR = 2\pi f_T V_{ov8} \quad (2.47)$$

與兩級之關係式相同。

2.3 摺疊疊接組態

2.3.1 電路架構

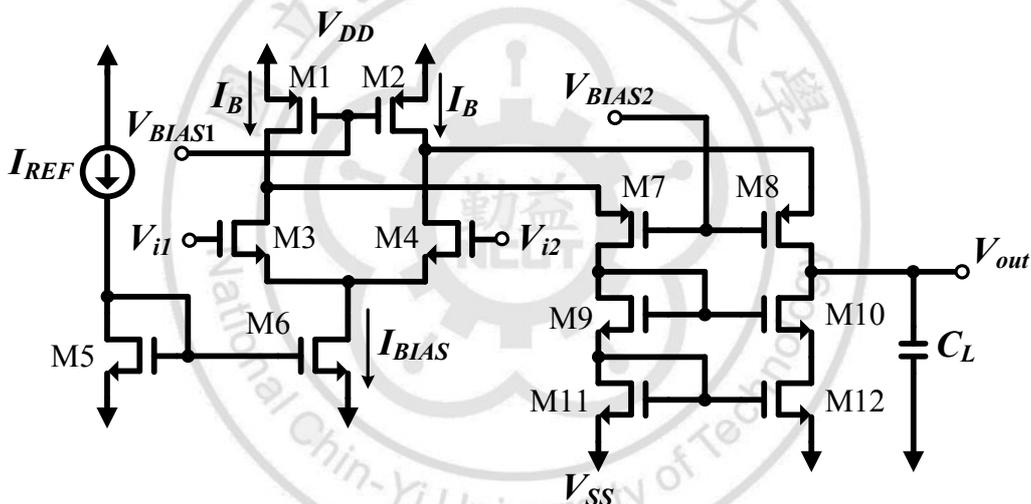


圖 2.7 摺疊疊接運算放大器的電路架構

圖 2.7 所示為 CMOS 摺疊疊接運算放大器的結構。在此，M3 及 M4 構成輸入差動對，M7 及 M8 為疊接電晶體，且其閘極被接到一個固定的直流電壓 V_{BIAS2} ，因此等於信號接地。輸入差動對是以一定電流源 I_{BIAS} 做偏壓，因此電晶體 M3 與 M4 的偏壓電流分別為 $I_{BIAS}/2$ 。由 M7 與 M8 各自汲極上的節點方程式可分別求出其偏壓電流為 $(I_B -$

$I_{BIAS}/2$)。令 I_B 等於 I_{BIAS} 可使所有電晶體接操作在 $I_{BIAS}/2$ 的偏壓電流之下，然而，通常 I_B 的值會大於 I_{BIAS} 。

假若完全實現因疊接結構所帶來的高輸出阻抗的優點，那麼電流鏡負載的輸出電阻也必須作得一樣高才行，這就是在圖 2.7 的電路中使用疊接電流鏡 M9—M12 的原因。電路輸出端的 C_L 代表的是輸出節點的總電容，它包括電晶體內部的寄生電容與實際的負載電容以及為了作頻率補償特地加上的額外電容，這裡與兩級架構不同的是，兩級架構需要加上一個另外的補償電容 C_C ，但在此電路中是用負載電容來作頻率補償。

電晶體 M1 與 M2 是用來提供固定偏壓電流 I_B 的，M5 與 M6 則是用來提供定電流 I_{BIAS} 來偏壓差動對。電路中用來產生偏壓電壓 V_{BIAS1} 、 V_{BIAS2} 的電路並未畫出，儘管如此，如何選擇這些偏壓電壓是非常重要的，所以必須瞭解此電路的輸入共模範圍與輸出擺幅。

2.3.2 偏移電壓

摺疊疊接運算放大器與疊接運算放大器之產生系統偏移電壓的原因相同，皆是由於輸出端上下兩部分的電晶體的汲—源極電壓的總和不平衡所產生，參考圖 2.7，當 $V_{DD} = -V_{SS}$ ，要消除此偏移電壓必須滿足下式：

$$V_{SD2} + V_{SD8} = V_{DS10} + V_{DS12} \quad (2.48)$$

2.3.3 輸入共模範圍與輸出擺幅

為了求輸入共模範圍，將兩個輸入端短路在一起並接到電壓 V_{ICM} 。 V_{ICM} 的最高值的限制是使 M3 及 M4 永遠維持在飽和區，因此 $V_{ICM \max}$ 最高只能比 M3 與 M4 的汲極電壓高一個 V_{TH3} 。而這兩個電晶體的汲極電壓是由 V_{BIAS2} 決定並需容許跨過 M1 與 M2 的電壓至少等於他們的過驅電壓。假設 M1 與 M2 確實操作在飽和區的邊緣， $V_{ICM \max}$ 將為：

$$V_{ICM \max} = V_{DD} - |V_{OV1}| + V_{TH3} \quad (2.49)$$

此值可以大過 V_{DD} ，比起雙級電路這是一個重大的改進。 V_{BIAS1} 之值必須適當的選擇以產生所需的 I_B ，同時也要讓 M1 與 M2 操作在較小的 V_{OV} 值。 V_{ICM} 的最小值與兩級電路的相同，即：

$$V_{ICM \min} = V_{SS} + V_{OV6} + V_{OV3} + V_{TH3} \quad (2.50)$$

結合(2.49)與(2.50)兩式可得輸入共模範圍：

$$V_{SS} + V_{OV6} + V_{OV3} + V_{TH3} \leq V_{ICM} \leq V_{DD} - |V_{OV1}| + V_{TH3} \quad (2.51)$$

V_{out} 容許範圍的上限由維持 M2 及 M8 在飽和區的條件決定，其中 M2 只要有過驅電壓 V_{OV2} 跨在源—汲極之上就可以操作在飽和區。因此

若我們選擇 V_{BIAS2} 值使 M2 操作在飽和區邊緣就可以得到 V_{out} 正擺幅的最大值，此 V_{BIAS} 值為：

$$V_{BIAS2} = V_{DD} - |V_{OV2}| - V_{SG8} \quad (2.52)$$

V_{out} 的上限將為：

$$V_{out\ max} = V_{DD} - |V_{OV2}| - |V_{OV8}| \quad (2.53)$$

此值比 V_{DD} 低兩個過驅電壓。然而再另一邊的狀況就沒這麼好了，因為 M10 的閘極電壓為 $V_{SS} + V_{GS11} + V_{GS9}$ ，當 M10 達到飽和區邊緣，即當 V_{out} 降到比 M10 的閘極電壓低一個 V_{TH6} 時，可得 V_{out} 的最低值：

$$V_{out\ min} = V_{SS} + V_{OV11} + V_{OV9} + V_{TH6} \quad (2.54)$$

注意此值比 V_{SS} 高兩個過驅電壓加上一個臨界電壓，這是使用疊接電流鏡的一個缺點。

2.3.4 電壓增益

摺疊疊接運算放大器其實就是一個具有一個無窮大的輸入電阻、一個轉導 G_m 與一個輸出阻抗 R_o 的轉導放大器， G_m 等於差動對電晶體個別的 g_m ：

$$G_m = g_{m3} = g_{m4} = \frac{I_{BIAS}}{V_{OV3}} \quad (2.55)$$

輸出阻抗 R_o 為疊接放大器輸出阻抗與疊接電流鏡輸出阻抗的並聯，因此：

$$R_o = [g_{m8}r_{o8}(r_{o2} // r_{o4})] // g_{m10}r_{o10}r_{o12} \quad (2.56)$$

結合(2.55)與(2.56)兩式可以得到電壓增益：

$$A_v = g_{m3} \{ [g_{m8}r_{o8}(r_{o2} // r_{o4})] // g_{m10}r_{o10}r_{o12} \} \quad (2.57)$$

因為摺疊疊接運算放大器是一個轉導放大器，它又被稱為運算轉導放大器(Operational Transconductance Amplifier, OTA)，它高達 $g_m r_o^2$ 的輸出阻抗能使單一級的放大器實現相當高的電壓增益。

2.3.5 頻率響應

疊接組態擁有屏蔽(Shielding Property)輸入元件的特性[10]，使其輸出端電壓免於變化，因此，摺疊疊接運算放大器的頻率響應極佳。它在輸入端、疊接電晶體連接處(即 M7 與 M8 的源極)以及在輸出端都有極點，通常前兩個極點的頻率很高。當加入很大的負載電容 C_L 時，輸出端的極點會變成主極點，由圖 2.7 可得到與疊接運算放大器相同的關係式，所以其主極點與單頻率增益分別可以(2.44)與(2.45)式表示。

2.3.6 迴轉率

考慮圖 2.7，當大信號被加入輸入端使得差動對電晶體 M4 截止時，另一個電晶體 M3 會導通全部的偏壓電流 I_{BIAS} ，此時 M7 的電流將為 $(I_B - I_{BIAS})$ ，而 M8 的電流將為 I_B 。電流鏡將會看到輸入電流 $(I_B - I_{BIAS})$ 流過 M9 與 M11，因此在 M10 的汲極電流將為 $(I_B - I_{BIAS})$ ，這使得在輸出節點流進 C_L 的電流將為 $I_8 - I_{10} = I_B - (I_B - I_{BIAS}) = I_{BIAS}$ 。因此輸出電壓 V_{out} 將會呈線性斜坡上升，斜率為 I_{BIAS}/C_L ，即為其迴轉率。摺疊疊接組態與疊接組態之迴轉率相等，可參考(2.46)式。在設計時選擇 $I_B > I_{BIAS}$ 的原因是要避免把電流鏡 M7、M9、M11 完全關閉，如果電流鏡被關閉則電路會無法正常工作，通常 I_B 會設計為 110%~120% 的 I_{BIAS} 。結合 (2.55)、(2.45) 與 (2.46) 三式可得出 SR 與 f_T 的關係如下：

$$SR = 2\pi f_T V_{OV3} \quad (2.58)$$

與兩級電路的關係式相同，然而此關係式只在 $I_B > I_{BIAS}$ 時成立。

2.4 軌對軌輸入組態

2.4.1 電路架構

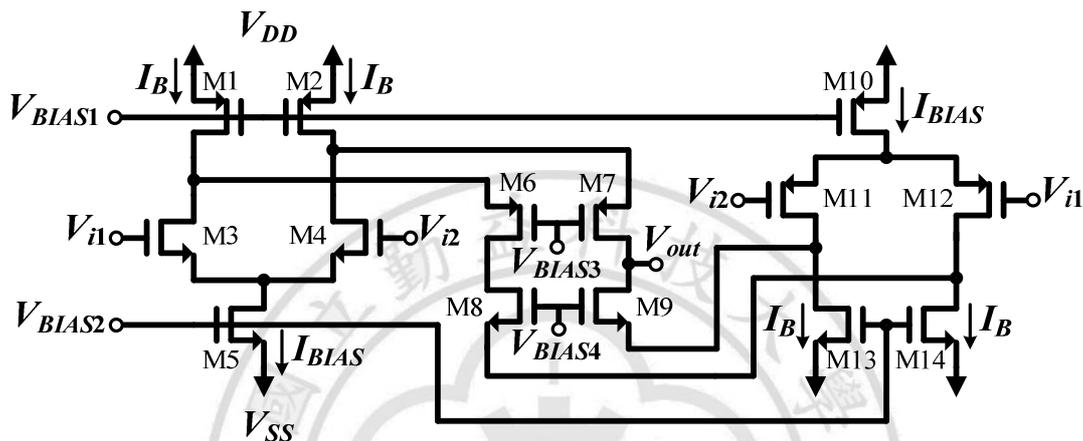


圖 2.8 軌對軌輸入運算放大器的電路架構

摺疊疊接組態的輸入共模範圍的上限雖然超過 V_{DD} ，但下限卻遠大於 V_{SS} 。如果把輸入差動對改用 PMOS 電晶體，則上下限的情況會倒換過來。所以，如果把一個 NMOS 差動對與另一個 PMOS 差動對並聯起來，如圖 2.8 所示，會使輸入級的共模範圍在上下限都能超過電源電壓，這就是軌對軌輸入操作的電路架構。為了使電路看起來簡單，上圖並未畫出兩差動對輸入端的並聯連結與提供固定電壓 $V_{BIAS1-4}$ 的電路，其中負載電容 C_L 亦未畫出。兩輸入差動對的正輸入端與負輸入端分別被接在一起，電晶體 M6 與 M7 是差動對 M3 與 M4 的疊接電晶體，而 M8 與 M9 是 M11 與 M12 的疊接電晶體。輸出電壓 V_{out} 由疊接電晶體的汲極直接以單端的方式取出。軌對軌輸入操作可使摺疊疊接組態

的輸入共模範圍擴展到正負電源，此架構已被用到許多商用的運算放大器之上。

2.4.2 偏移電壓

對於各種不同架構的運算放大器來說，其系統偏移電壓的產生原因大致上都相同，可以直接由觀察其輸出端路徑而得出結果。軌對軌輸入架構的系統偏移電壓亦是受輸出端路徑的 PMOS 與 NMOS 電晶體所影響，其上半部的 PMOS 電晶體 M1、M2、M6、M7 與下半部的 NMOS 電晶體 M8、M9、M13、M14，若是能經由電性設計使其在各自的汲—源極電壓的總和取得平衡，即可消除在輸出端所產生的系統偏移電壓，因此，其關係式為：

$$V_{SD2} + V_{SD7} = V_{DS9} + V_{DS13} \quad (2.59)$$

2.4.3 輸入共模範圍與輸出擺幅

軌對軌輸入架構的輸入共模範圍的上限發生在 NMOS 差動對工作而 PMOS 差動對被關閉時，此時的輸入共模範圍上限為：

$$V_{ICM \max} = V_{DD} - V_{OV2} + V_{TH3} \quad (2.60)$$

此值將可高過 V_{DD} ，而共模輸入範圍的下限發生在 PMOS 差動對工作

而 NMOS 差動對關閉時，因此輸入共模範圍的下限為：

$$V_{ICM \min} = V_{SS} + V_{OV14} - V_{TH12} \quad (2.61)$$

此值將可低過 V_{SS} 。

輸出端的電壓擺幅的上限由維持 M2 與 M7 在飽和區工作的條件決定，M2 與 M7 的閘極皆是外接固定電壓，所以當其汲—源極電壓等於過驅電壓時，電晶體將操作在飽和區邊緣，故可得到輸出擺幅的上限為：

$$V_{out \max} = V_{DD} - V_{OV2} - V_{OV7} \quad (2.62)$$

由於是上下對稱的電路結構，所以輸出擺幅下限亦是由維持電晶體 M9 與 M14 在飽和區操作的條件決定，所以可得到：

$$V_{out \min} = V_{SS} + V_{OV14} + V_{OV9} \quad (2.63)$$

2.4.4 電壓增益

若設計兩組差動對之過驅電壓相等，當兩組差動對同時操作時，輸出端將會被饋入兩倍的電流，此時電路轉導為：

$$G_m = g_{m4} = g_{m12} = \frac{I_{BIAS}}{V_{OV4}} = \frac{I_{BIAS}}{V_{OV12}} \quad (2.64)$$

輸出阻抗 R_o 為疊接放大器輸出阻抗與疊接電流鏡輸出阻抗的並聯，因此：

$$R_o = [g_{m6}r_{o6}(r_{o2} // r_{o4})] // [g_{m8}r_{o8}(r_{o11} // r_{o13})] \quad (2.65)$$

結合(2.65)與(2.66)兩式可得電壓增益為：

$$A_v = g_{m4} \{ [g_{m6}r_{o6}(r_{o2} // r_{o4})] // [g_{m8}r_{o8}(r_{o11} // r_{o13})] \} \quad (2.66)$$

然而，這是假設兩組差動對同時操作，這只發生在一定的 V_{ICM} 範圍之內，此範圍是由 NMOS 差動對共模輸入範圍的下限與 PMOS 差動對共模輸入範圍的上限決定，超出這個範圍，兩組差動對只有其中之一能夠工作，此時輸出端的電流會減半而使轉導 G_m 減半，電壓增益就會降為(2.66)式的一半。

2.4.5 頻率響應

軌對軌輸入摺疊疊接組態的小信號等效電路可參考圖 2.6。其頻率響應關係式與疊接組態、摺疊疊接組態相同，只是其輸出阻抗與輸出端對地電容各有不同而已，所以其支被性極點與單頻率增益亦分別與(2.44)、(2.45)式同。但是此情況的前提是兩組差動對同時工作，否則其頻率響應亦會改變。

2.4.6 迴轉率

考慮圖 2.8 之電路，當一個大信號加入輸入端時，電晶體 M4 與 M11、M12 將被關閉，此時 M3 將會導通全部的偏壓電流 I_{BIAS} ，而 M6 與 M8 則會流入一個 $(I_B - I_{BIAS})$ 的電流，M7 則會流入一個 I_B 的電流。由於電流鏡 M8 與 M9 的關係，M9 的汲極電流將會等於 $(I_B - I_{BIAS})$ ，所以輸出端將會被饋入一個 I_{BIAS} 的電流，因此輸出電壓將會以一固定斜率 I_{BIAS}/C_L 呈線性上升，此斜率即為迴轉率，與上述之疊接組態，摺疊疊接組態相同。結合 (2.45)、(2.46) 與 (2.65) 三式求出迴轉率與單增益頻率之關係式，可得出相同的結果。

2.5 比較

在本章中我們對於運算放大器的討論引進了四個基本組態，分別是兩級組態、疊接組態、摺疊疊接組態與軌對軌輸入組態。表 2.1 整理出了每個運算放大器的重要參數，比較與了解這些電路的特性以對應其應用是非常重要的。

表 2.1 不同運算放大器組態間的效能比較

	Gain	Output Swing	Speed	P_d	Noise
Two-Stage	Highest	Highest	Low	Medium	Low
Cascode	High	Low	Highest	Low	Low
Folded-Cascode	Medium	Medium	High	High	Medium
Rail-to-Rail	Medium	Medium	Medium	High	High

第三章 設計方法論

3.1 設計方法與流程 (Design Approaches and Flow)

3.1.1 設計流程

運算放大器的設計步驟大略可以分成兩個部份，首先，經由不同的設計方法來產生一個描述電路中所有主動元件與被動元件連接情形的電路圖，其中包含電晶體尺寸與被動元件的數值等等，在這個階段所得出的結果可稱之為初始設計(Initial Design)，而初始設計必須與規格需求有一定程度的謀合。第二個部份就是針對所給定的規格，將初始設計做最佳化，使每一項效能參數都能滿足規格的需求，這個部份通常都是進行電晶體的尺寸微調工作，經過最佳化的調整後才算完成了整個設計，圖 3.1 即描述了這個概念。

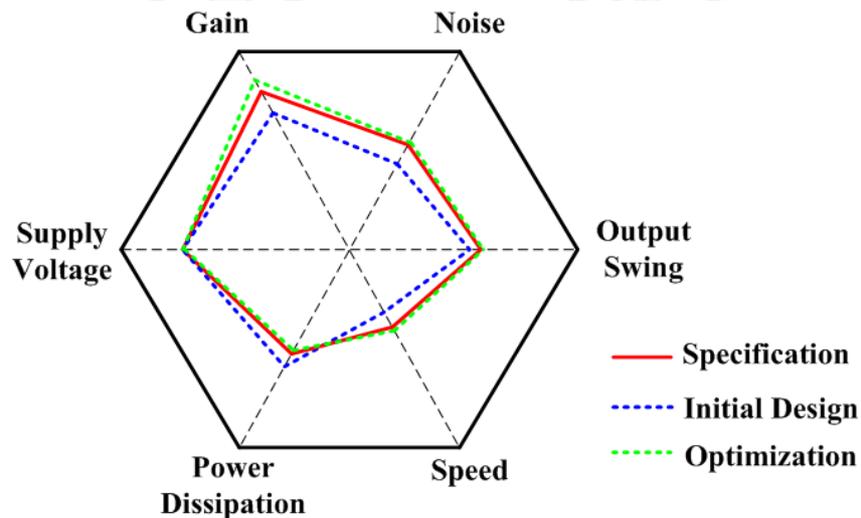


圖 3.1 規格需求與初始設計之關係圖

那要如何產生一個與規格需求相近的初始設計呢？以一個單一 MOS 電晶體來說，本質增益(Intrinsic Gain)與單增益頻率(Unit-Gain Frequency)這兩者之間存在著互相限制的關係，因此，若是要設計一個高增益的運算放大器，則其頻寬就會相對的降低，反之亦然。對運算放大器而言，最重要的效能參數即是增益與頻寬，所以必須依照其規格需求來做取捨，而過驅電壓對增益與頻寬皆有很大的影響，考慮 3.1 與 3.2 式[12]：

$$A_0 = \frac{2V'_A L}{V_{ov}} \quad (3.1)$$

$$f_T \cong \frac{1.5\mu_n V_{ov}}{2\pi L^2} \quad (3.2)$$

其中 A_0 為本質增益、 V'_A 為製程參數、 L 為電晶體通道長度、 f_T 為單增益頻率、 μ_n 為載子移動率；由上式可看出，當過驅電壓 V_{ov} 低的時候，增益會上升，頻寬會下降，而當過驅電壓高的時候則相反，這個部份在後續會有更詳細的討論。本論文的研究重點就是藉由過驅電壓來設定電路的特性，並快速的產生一個與規格需求相近的初始設計，進而創造出一個新的設計方法。

本文所提之方法可以概述如下：首先，在多數的設計中，當每個電晶體都操作在飽和區時，電路通常能夠正常工作，也就是說當電晶體全部操作在飽和區時，就能夠擁有一定程度的基礎效能。為了將電晶體設計在飽和區操作，本文針對所提出的方法做了一項定義：任何電路之中的任一個 MOS 電晶體被單獨取出後，其原先所流過的電流，

可藉由加入汲、閘、源極三個端點電壓以及調整電晶體尺寸來產生同樣的電流。

圖 3.2 為一個典型的差動放大器電路，當電路平衡的時候， I_{BIAS} 平均分配在 M1-M3 與 M2-M4 兩條路徑，故其電流皆為 $I_{BIAS}/2$ ，其中，M2 的電晶體尺寸為 $(W/L)_2$ ，三個端點電壓分別為 V_{D2} 、 V_{G2} 與 V_{S2} ，若將 M2 電晶體單獨取出，並在其三端點都加上欲設計的電壓值 V_D 、 V_G 與 V_S 如圖 3.3 所示。若此三端點電壓滿足飽和區操作的條件，且將尺寸調整為 (W/L) 就可以得到與原先電路中相同的電流 $I_{BIAS}/2$ ，當 M2 的電流等於 $I_{BIAS}/2$ 時，即使將尺寸已被調整為 (W/L) 的 M2 放回原電路中，也不會改變已設計好的三端點電壓的值，因為尺寸已經被適當的調整以負荷 $I_{BIAS}/2$ 的電流，此時三端點電壓依然是 V_D 、 V_G 與 V_S 。本文將會以此法來設計電晶體進入飽和區操作，並實作四種不同的電路架構。

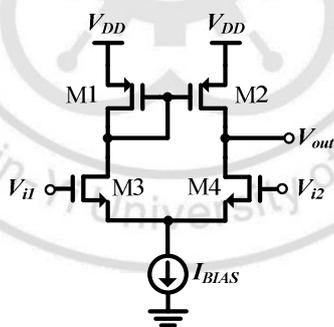


圖 3.2 典型的主動負載差動放大器

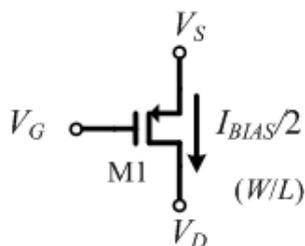


圖 3.3 單獨取出 M1 並加上三個端點電壓

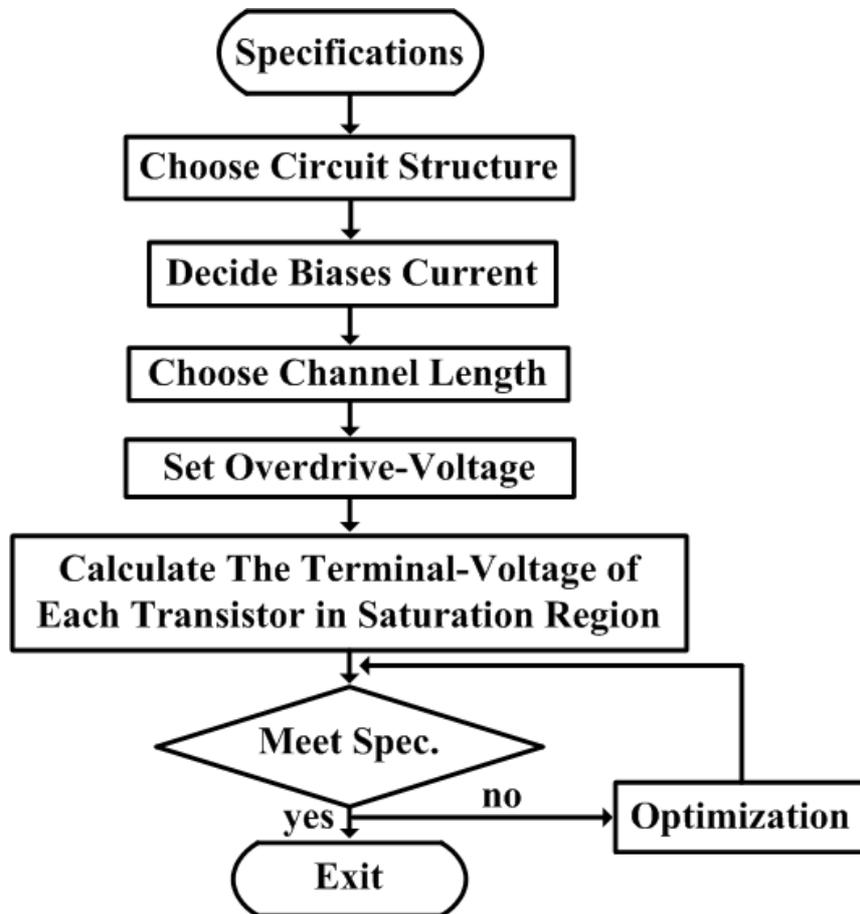


圖 3.4 設計流程圖

圖 3.4 為本論文所提出之設計流程，首先，必須先訂定所有的需求與邊界條件，然後針對這些規格來選擇要使用的電路架構，對大多數的情況而言，電路架構在整個設計的過程中都不會改變，但有時必須調整所選擇的電路架構以獲得某些特性，在必要時甚至要創造新的電路架構。接著要選擇偏壓電流(Bias Current)、電晶體通道長度(Length)與過驅電壓，這三項參數的選擇將會決定初使設計的電路特性，在接下來的三個小節 3.1.2~3.1.4 我們將詳細探討這三項參數對電路的影響。

3.1.2 偏壓電流的決定

偏壓電流的大小與迴轉率、頻寬成正比，選擇較大的偏壓電流對於電路來說就能夠有較大的驅動力與速度，但是相對的功率消耗也會增加。因此，必須依照規格的需求來決定偏壓電流的大小，通常有兩種方法可以幫助設計者來估計這個值。第一種方法就是利用偏壓電流與迴轉率的公式來估算，由式(2.30)與(2.46)可知，多數的運算放大器電路架構其迴轉率都與偏壓電流和輸出端的負載電容有關(兩級架構是與補償電容有關)，因此我們可就規格中迴轉率的需求與負載來估算出偏壓電流大約的值。第二種方法則是以功率消耗和供應電壓的邊限條件來求出可容許的最大偏壓電流的值。因為偏壓電流是直流電流，所以可藉由規格需求中所訂定的功率消耗上限與供應電壓來求出此值，然後就以此值來做為設計參數。不管使用何種方法，若是初始設計無法完全滿足規格，則偏壓電流仍然會被適當的調整。

3.1.3 通道長度與本質增益

電晶體的通道長度會影響到臨界電壓與本質增益的大小。我們利用 12 個不同尺寸的 NMOS 電晶體進行本質增益的模擬，表 3.1 整理出 12 個不同尺寸的 NMOS 電晶體所各自擁有的最高本質增益值。本質增益[12]的定義為單一個 MOS 電晶體的轉導 g_m 與輸出阻抗 r_o 的乘積，它所代表的意思就是單一個電晶體直流增益的極限值。因此，若是需要高增益，則必須選擇高本質增益的電晶體，由表 3.1 可知，本質增益與

通道長度 L 成正比，且幾乎與電晶體的寬度 W 無關，這間接說明了本質增益與汲極電流 I_D 無關，因此，通道長度較長的電晶體其本質增益會較高。我們可藉由規格的需求來選擇適當的電晶體長度，一般來說，所選擇的電晶體，其擁有的最高本質增益必須大於電路所需要的直流增益。

表 3.1 不同尺寸的 NMOS 電晶體所各自擁有的最高本質增益

Size(W/L)	Intrinsic Gain
4 μ /0.5 μ	219
8 μ /0.5 μ	224
12 μ /0.5 μ	225
8 μ /1 μ	333
16 μ /1 μ	333
24 μ /1 μ	333
12 μ /1.5 μ	431
24 μ /1.5 μ	431
36 μ /1.5 μ	431
16 μ /2 μ	519
32 μ /2 μ	519
48 μ /2 μ	519

3.1.4 過驅電壓與電流調校

我們利用 12 個不同尺寸的電晶體來模擬本質增益與過驅電壓的關係，以觀察過驅電壓對電路設計的影響，模擬結果如圖 3.5 所示。我們可以看出，不同尺寸的電晶體的本質增益大小雖然不一樣，但是其最高值幾乎都發生在同一個過驅電壓的區間範圍內，這就說明了當過驅電壓設定在這個範圍時，電晶體會得到較大的本質增益，並且電路的直流增益也會因此提升。因此，過驅電壓的選擇將會決定電路在直流增益與頻寬上的特性，因為這兩者是互相限制的。一般來說，若需要

高增益，則過驅電壓必須要適當的低，通常為 0.1 ~ 0.3V 之間，若頻寬的需求較高，則過驅電壓亦要適當的提高。對於 NMOS 與 PMOS 來說，由於 PMOS 的載子移動率(Mobility)較低，所以 PMOS 的過驅電壓通常會選擇一個稍大於 NMOS 過驅電壓的值，以降低電晶體尺寸。

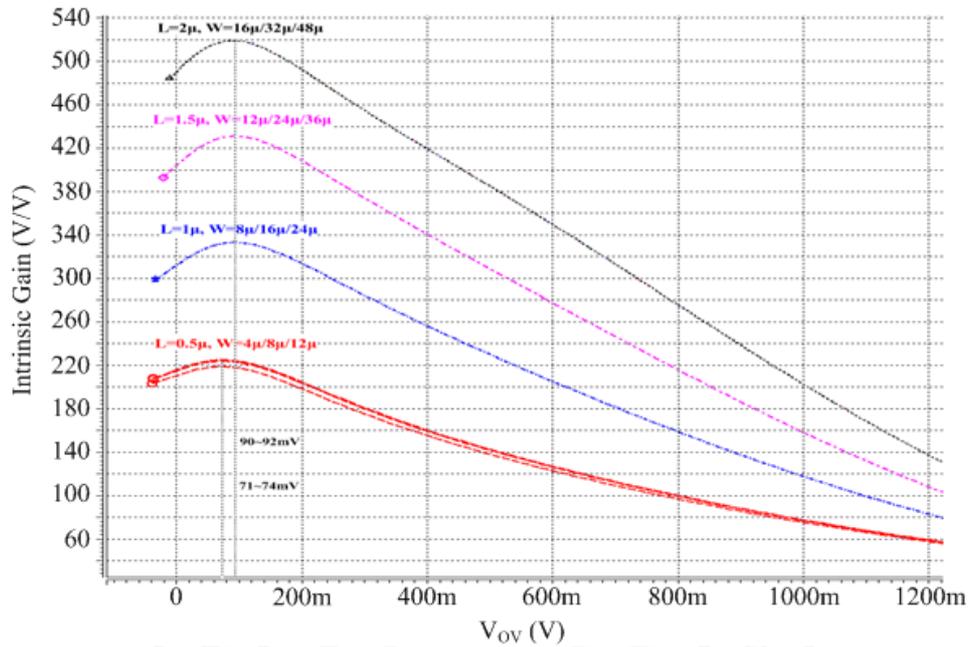


圖 3.5 過驅電壓與本質增益的關係

決定了過驅電壓之後也就決定了電路的初始特性，接著就可以進行直流分析來推算電路中各節點的電壓，考慮操作在飽和區的條件如 (3.1) 式所示：

$$V_{DS} \geq (V_{GS} - V_{TH}) \quad (3.3)$$

其中 $(V_{GS} - V_{TH})$ 即為過驅電壓，利用上式即可推算出電晶體操作在飽和區時的各端點電壓，然後對每個電晶體個別加上這些電壓並藉由

HSpice 進行操作點分析來比對汲極電流的值，這個步驟即為電流調校。經過反覆的調整尺寸，當汲極電流完全相等於原電路的電流時，則推算出的節點電壓將成立，此時就可以得到電晶體的尺寸。如此反覆的使用同樣的方法，將每個電晶體的尺寸都找出來後，初始設計就完成了，接著針對各項效能參數作模擬量測，然後進行最佳化的尺寸微調，使初始設計能完全符合規格的需求。

3.2 兩級組態之設計

以下將分別以四種不同的電路架構來實現四個不同的規格需求，並使用 $0.18\mu\text{m}$ 與 $0.35\mu\text{m}$ 兩種製程來模擬。兩級組態的電路架構如圖 2.1 所示，規格需求如表 3.1 所示，首先，電源供應上限為 3V，故使用 V_{DD} 與 V_{SS} 分別為 +1.5V、-1.5V，偏壓電流可藉由(2.30)式來決定，計算出的結果為 $22\mu\text{A}$ ，取 $30\mu\text{A}$ 。考慮到需同時滿足增益以及頻寬的需求，電晶體通道長度與過驅電壓設為 $1\mu\text{m}$ 與 0.2V，接下來即可對電路進行直流分析以獲取各節點電壓。

表 3.2 運算放大器規格之一

Specification	Requirement
Supply Voltage	3V
DC Gain	$\geq 80 \text{ dB}$
Phase Margin	$\geq 60^\circ$
Gain-Bandwidth	$\geq 10\text{MHz}$
Common Mode Rejection Ratio	$\geq 80 \text{ dB}$
Slew Rate	$\geq 20\text{V}/\mu\text{s}$
Input Common Mode Range	$\geq 2\text{V}$
Output Swing	$\geq 2\text{V}$
Loading	$\geq 5\text{pF}$
Power dissipation	$\leq 1\text{mW}$

首先，針對 M1 與 M2 進行設計，M1、M2 為一個尺寸匹配的 PMOS 電流鏡負載，而 PMOS 在 0.18 μm 製程下，當通道長度為 1 μm 且不考慮本體效應時，臨界電壓的典型值約為 0.46V。因此，根據電晶體必須操作在飽和區的原則，考慮 3.3 式可得出 M1、M2 的源-閘極電壓為 $V_{SG1} = V_{THP} + V_{OV} = 0.46\text{V} + 0.2\text{V} = 0.66\text{V}$ ，故 M1、M2 的閘極、汲極電壓 $V_{G1} = V_{D1} = V_{G2} = V_{D2} = 0.84\text{V}$ ，接著利用 HSpice 來進行模擬，將所得到的三端點電壓都加在一個 PMOS 電晶體上，操作點分析的結果如表 3.2 所示，Netlist 檔的範例如下：

Netlist:

```
M1 VD VG VS VB PCH W=8 $\mu$  L=1 $\mu$  M=1
VD VD GND 0.84
VG VG GND 0.84
VS VS GND 1.5
VB VB GND 1.5
.op
```

表 3.3 M1 與 M2 的操作點分析結果

Device	M1&M2
Tech.	TSMC 0.18 μm
Size	8 μ /1 μ
Region	Saturation
I_D	11.7454 μ
V_{GS}	-660.0000m
V_{DS}	-660.0000m
V_{BS}	0
V_{TH}	-458.4255m
V_{OV}	-201.5745 m
g_m	98.2040 μ
g_{ds}	560.7221n

Netlist 範例中的電晶體通道寬度 $W = 8\mu$ 是隨機決定的，此值可為任意值，而以這個電晶體尺寸所得出的電流可以當作一個基準值，然

後依照汲極電流與電晶體通道寬度的比值關係來進行調整。由表 3.2 可以得知電晶體操作在飽和區，汲極電流 I_D 為 $11.7454\mu\text{A}$ ，而就預設的偏壓電流而言，M1、M2 電晶體流過的電流為 $I_{BIAS} / 2 = 15\mu\text{A}$ ，故需調整尺寸以負荷 $15\mu\text{A}$ 的電流，尺寸的調整可利用下列的關係式來計算出適當的電晶體通道寬度 $W(\text{Width})$ ：

$$\frac{W_1}{W_2} = \frac{I_{D1}}{I_{D2}} \quad (3.4)$$

其中 I_{D1} 為基準值電流 $11.7454\mu\text{A}$ ， I_{D2} 則為電晶體的預設汲極電流 $15\mu\text{A}$ ，於是可得電晶體通道寬度 $W = 8\mu \times (15\mu \div 11.745\mu) = 10.2\mu$ ，再將此值代入 Netlist 檔做修正，然後再進行一次操作點分析即可得到非常接近預設電流的值 $15.0051\mu\text{A}$ ，如表 3.3 所示。當調整後的尺寸所產生的電流完全相等於預設值時，則原先所計算出的端點電壓亦會相等。

表 3.4 修正後的 M1 與 M2 的尺寸與操作點分析

Device	M1&M2
Tech.	TSMC 0.18 μm
Size	10.2 $\mu\text{m}/1\mu$
Region	Saturation
I_D	15.0051 μ
V_{GS}	-660.0000m
V_{DS}	-660.0000m
V_{BS}	0
V_{TH}	-458.6379m
V_{OV}	-201.3621m
g_m	125.5656 μ
g_{ds}	716.9955n

接著進行 NMOS 電晶體 M5 與 M6 的設計，M5 與 M6 是尺寸匹配的電流源電路，NMOS 的臨界電壓典型值為 0.48V ，運用同樣的方式即

可得出 M5 的閘極、汲極電壓 $V_{G5}=V_{D5}=-0.82V$ ，M6 的汲極電壓由於會受到第一級電路的影響，所以會與 M5 的汲極電壓不相等，加上通道長度調變效應的影響，M5、M6 的汲極電流會產生一差值，這個差值電流會使參考電流無法完美的被複製，因此，偏壓電流將會出現些微的偏移量，這個偏移量可經由適當的調整 M6 電晶體的尺寸來獲得抵補。得到了 M5 的閘極、汲極電壓之後，可利用同樣的方式與預設電流進行比對然後獲得其尺寸；在進一步確認 M6 的汲極電壓之前，M5 與 M6 是互相匹配的，所以可預設 $V_{D5}=V_{D6}=-0.82V$ 且他們的尺寸相同，其操作點分析如表 3.4 所示。

差動對電晶體 M3、M4 因為受到本體效應的影響，其臨界電壓值將會產生變動，故無法套用 NMOS 的典型值來計算出源極電壓，所以先以 $V_{D5}=V_{D6}=-0.82V$ 作為參考值，之後再進行修正。差動對的三個端點電壓分別為 $V_{D3}=V_{D4}=0.84V$ 、 $V_{G3}=V_{G4}=0V$ 、 $V_{S3}=V_{S4}=-0.82V$ ，進行電流比對與操作點分析的結果如表 3.5 所示。圖中可以看出差動對 M3、M4 的臨界電壓 $V_{TH3}=0.65V$ ，對過驅電壓為 $0.2V$ 而言，閘-源極電壓 V_{GS3} 應為 $0.85V$ ，由於只與參考值相差 $0.03V$ ，所以將不再進行修正。

表 3.5 M5 與 M6 的尺寸與操作點分析結果

Device	M5&M6
Tech.	TSMC 0.18 μ m
Size	3.3 μ /1 μ
Region	Saturation
I_D	30.2852 μ
V_{GS}	680.0000m
V_{DS}	680.0000m
V_{BS}	0
V_{TH}	483.5568m
V_{OV}	196.4432m
g_m	250.3559 μ
g_{ds}	1.3236 μ

表 3.6 差動對 M3、M4 的尺寸與操作點分析結果

Device	M3&M4
Tech.	TSMC 0.18 μ m
Size	2.1 μ /1 μ
Region	Saturation
I_D	15.0181 μ
V_{GS}	820.0000m
V_{DS}	1.6600
V_{BS}	-680.0000m
V_{TH}	651.8614m
V_{OV}	168.1386m
g_m	138.5811 μ
g_{ds}	448.7827n

到目前為止，第一級的部分已經完成，現在要進行第二級的共源極組態的設計，第二級電路的設計著重在相位邊限與頻寬的需求，通常必須加入補償電路來增加相位邊限，兩級運算放大器典型的補償型式為米勒補償(Miller Compensation)，加入米勒補償電路後的輸出端與輸入端的等效對地總電阻與電容將會分別決定主極點與次極點的位置，並產生一個 RHP 零點(Right Half-Plane Zero)。極點的產生是因為負載電容通常遠大於寄生電容而第一級的輸出阻抗通常很大，對於一個具有兩個極點與一個 RHP 零點的運算放大器模型而言，一般相位邊

限為 60° 被認為是最佳值，其值可以(2.26)式求得，假設直流增益 A_V 很大，當零點等於 10 倍的 GB ，次極點等於 2.2 倍的 GB 時，可得到 60° 的相位邊限，要得到 10 倍 GB 的零點可套用以下的關係式：

$$g_{m8} \geq 10g_{m4} \quad (3.6)$$

其中 g_{m4} 與 g_{m8} 分別為電晶體 M4 與 M8 的轉導值，由於已經知道電晶體 M4 的轉導為 $g_{m4}=138\mu$ ，故 M8 的轉導 $g_{m8}=1.38m$ 。令輸出偏移電壓(Offset Voltage)為理想的 0V，即可求出轉導為 1.38m 的電晶體尺寸與汲極電流 I_{D8} ，而電晶體 M7 的汲極電流 I_{D7} 必須等於 I_{D8} ，則預設的偏移電壓才會為理想的 0V，M8 與 M7 電晶體的尺寸與操作點分析結果如表 3.6、3.7 所示。最後，利用這些個別模擬出來的尺寸代入圖 2.1 進行模擬，表 3.7 為完整電路模擬時的操作點分析，可以看出組合成完整電路後，所有電晶體皆如預期的操作在飽和區，且原先設計的節點電壓與汲極電流皆很相近。

表 3.7 M8 與 M7 的尺寸與操作點分析結果

Device	M8	M7
Tech.	TSMC 0.18 μ m	
Size	110 μ /1 μ	17.3 μ /1 μ
Region	Saturation	Saturation
I_D	167.4579 μ	167.8379 μ
V_{GS}	-660.0000m	680.0000m
V_{DS}	-1.5	1.5
V_{BS}	0	0
V_{TH}	-458.4443m	483.0890m
V_{OV}	-201.5557m	196.9110m
g_m	1.3898m	137.33 μ
g_{ds}	6.0546 μ	4.5102 μ

表 3.8 組成兩級組態後的操作點分析結果

Device	M1&M2	M3&M4	M5	M6	M7
Tech.	TSMC 0.18 μ m				
Size	10.2 μ /1 μ	2.1 μ /1 μ	3.3 μ /1 μ	3.3 μ /1 μ	17.3 μ /1 μ
Region	Saturation	Saturation	Saturation	Saturation	Saturation
I_D	15.0042 μ	15.0008 μ	30.0000 μ	30.0016 μ	166.7643 μ
V_{GS}	-659.9928m	819.8982m	678.8640m	678.8640m	678.8640m
V_{DS}	-659.9928m	1.6599	678.8640m	680.1018m	1.6084
V_{BS}	0	-680.1018m	0	0	0
V_{TH}	-458.6379m	651.8835m	483.5570m	483.5567m	483.0640m
V_{OV}	-201.3549m	168.0147m	196.6328m	196.6331m	195.8000m
g_m	125.5616 μ	138.4968 μ	249.1591 μ	249.1719 μ	1.3694m
g_{ds}	716.9622n	448.4621n	1.3142 μ	1.3116 μ	4.4219 μ
Device	M8				
Tech.	TSMC 0.18 μ m				
Size	110 μ /1 μ				
Region	Saturation				
I_D	166.7886 μ				
V_{GS}	659.9928m				
V_{DS}	1.3916				
V_{BS}	0				
V_{TH}	458.4693m				
V_{OV}	201.5235m				
g_m	1.3860m				
g_{ds}	4.4219 μ				

在進行各項效能模擬之前，必須先對兩級電路做頻率補償，如先前 2.1 節所提，兩級架構通常使用米勒補償，考慮(2.25)、(2.28)與(3.6)三式，可得出 $C_C=0.22C_L=1.1\text{pF}$ 、 $R_C=1/g_{m8}=1/1.3898\text{m}=0.7\text{K}\Omega$ ，取 1.1pF 與 0.4K Ω 來進行各項效能模擬。各項效能參數的模擬結果如圖 3.6~3.9 所示，並將結果整理於表 3.9。以上是以 0.18 μ m 製程來設計與模擬，我們依照此法並使用 0.35 μ m 製程再對表 3.2 之規格重新設計一次，以證明此法並不限於單一製程使用。

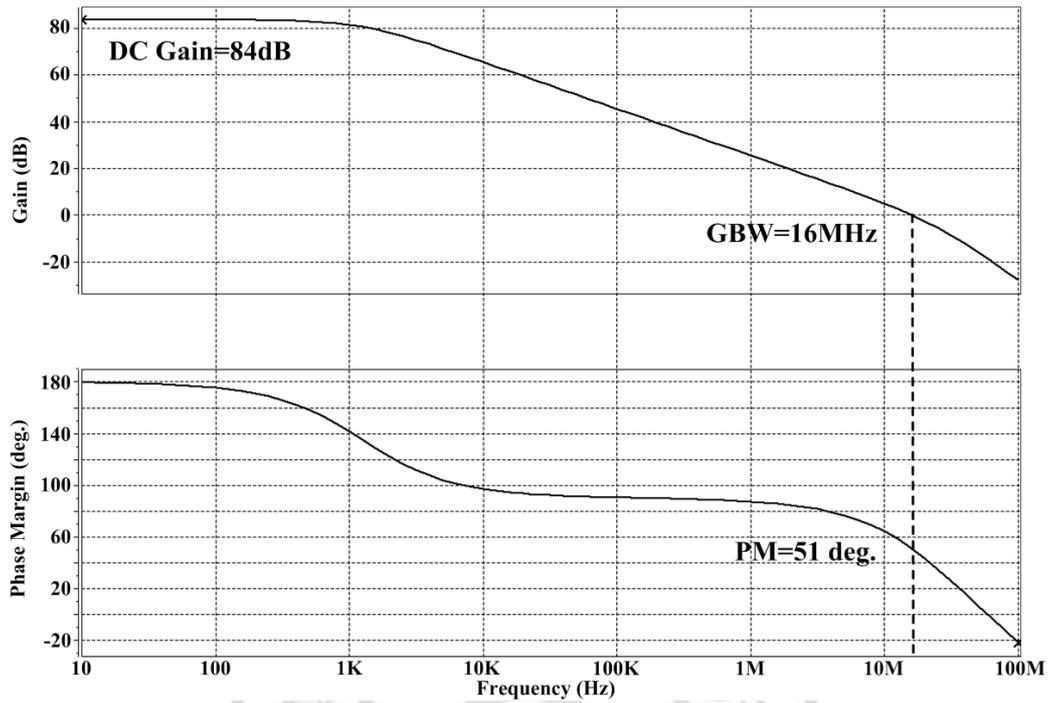


圖 3.6 兩級組態之波德圖與相位邊限 PM (0.18 μ m)

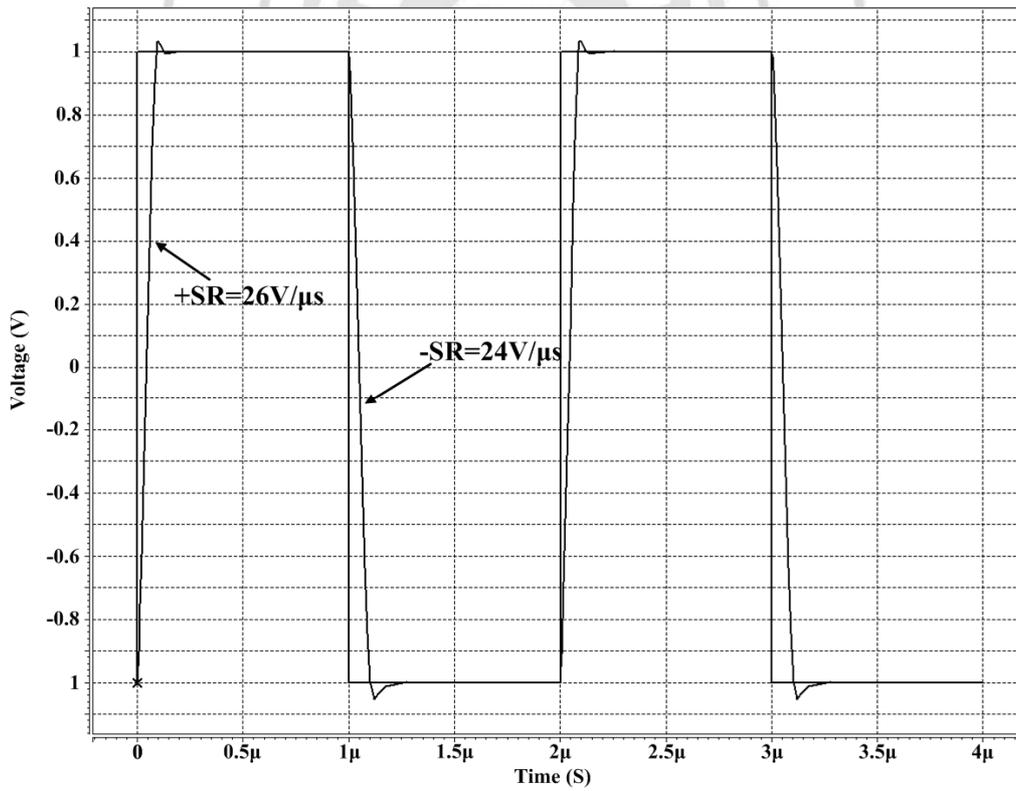


圖 3.7 兩級組態之迴轉率(0.18 μ m)

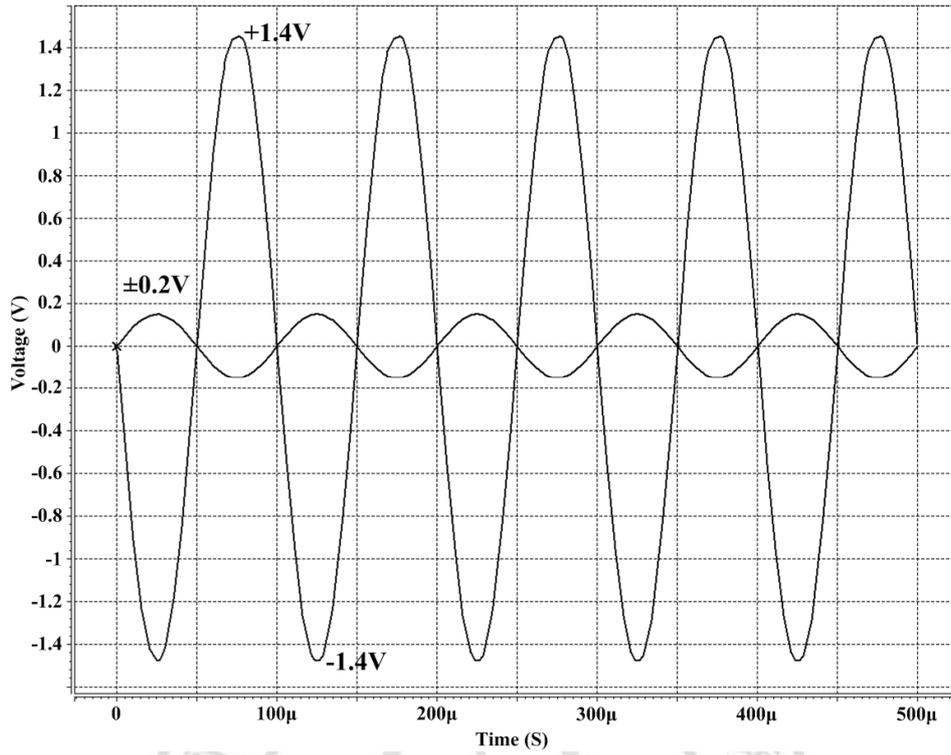


圖 3.8 兩級組態之輸出擺幅(0.18μm)

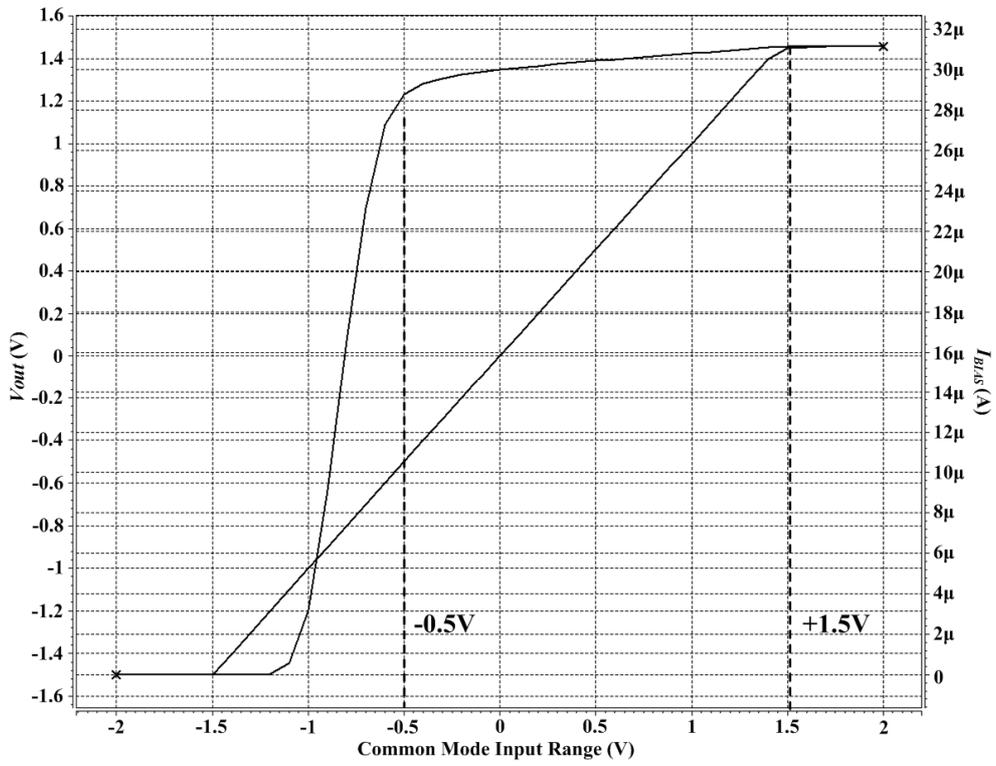


圖 3.9 兩級組態之輸入共模範圍(0.18μm)

表 3.9 兩級組態初始設計的效能模擬結果(0.18 μm)

Specification	Initial Design
Technology	TSMC 0.18 μm
Supply Voltage	$\pm 1.5\text{V}$
DC Gain	84dB
Phase Margin	51 $^\circ$
Gain-Bandwidth	16MHz
Common Mode Rejection Ratio	89dB
Slew Rate	24V/ μs
Input Common Mode Range	-0.5~+1.5
Output Swing	$\pm 1.4\text{V}$
Loading	5pF
Power dissipation	0.68mW

以下為使用 TSMC 0.35 μm 製程設計的模擬結果：

表 3.10 兩級組態進行電晶體獨立的操作點分析(0.35 μm)

Device	M1&M2	M3&M4	M5	M6	M7
Tech.	TSMC 0.35 μm				
Size	10.6 $\mu\text{m}/1\mu$	3.9 $\mu\text{m}/1\mu$	6.7 $\mu\text{m}/1\mu$	6.7 $\mu\text{m}/1\mu$	37.3 $\mu\text{m}/1\mu$
Region	Saturation	Saturation	Saturation	Saturation	Saturation
I_D	15.0111 μ	14.8182 μ	30.2048 μ	29.9230 μ	170.7208 μ
V_{GS}	-950.0000m	900.0000m	770.0000m	770.0000m	770.0000m
V_{DS}	-950.0000m	1.4500	770.0000m	600.0000m	1.5
V_{BS}	0	-600.0000m	0	0	0
V_{TH}	-752.8433m	715.8837m	565.2282m	565.6026m	564.1522m
V_{OV}	-197.1567m	184.1163m	204.7718m	204.3974m	205.8478m
g_m	125.3652 μ	135.4969 μ	256.0620 μ	254.2334 μ	1.4274m
g_{ds}	1.4362 μ	645.3016n	1.5525 μ	1.8084 μ	7.2737 μ
Device	M8				
Tech.	TSMC 0.35 μm				
Size	156 $\mu\text{m}/0.8\mu$				
Region	Saturation				
I_D	170.7528 μ				
V_{GS}	-950.0000m				
V_{DS}	-1.5				
V_{BS}	0				
V_{TH}	-738.0332m				
V_{OV}	-211.9668m				
g_m	1.3556m				
g_{ds}	14.4761 μ				

表 3.10 中，M5 與 M6 選擇不同尺寸的原因是為了要抵補 M6 較低的汲一源極電壓，如此，與 M5 所產生的電流差量就可以減少。而 M6 的汲一源極電壓較低的原因是為了要設計差動對 M3 與 M4 的過驅電壓為 0.2V。下表為組合成兩級電路後的操作點分析結果。

表 3.11 合成兩級組態後的操作點分析(0.35 μ m)

Device	M1&M2	M3&M4	M5	M6	M7
Tech.	TSMC 0.35 μ m				
Size	10.6 μ /1 μ	3.9 μ /1 μ	6.7 μ /1 μ	6.7 μ /1 μ	37.3 μ /1 μ
Region	Saturation	Saturation	Saturation	Saturation	Saturation
I_D	14.8602 μ	14.8602 μ	30.0000 μ	29.7204 μ	169.4364 μ
V_{GS}	-948.8059m	900.2464m	769.2026m	769.2026m	769.2026m
V_{DS}	-948.8059m	1.4514	769.2026m	599.7536m	1.4793
V_{BS}	0	-599.7536m	0	0	0
V_{TH}	-752.8511m	715.8233m	565.2296m	565.6029m	564.2012m
V_{OV}	-195.9548m	184.4231m	203.9730m	203.4490m	205.0014m
g_m	124.6687 μ	135.6922 μ	255.2132 μ	253.3944 μ	1.4221m
g_{ds}	1.4256 μ	646.3093 μ	1.5458 μ	1.7988 μ	7.2510 μ
Device	M8				
Tech.	TSMC 0.35 μ m				
Size	105/1 μ				
Region	Saturation				
I_D	169.4365 μ				
V_{GS}	-948.8059m				
V_{DS}	-1.5207				
V_{BS}	0				
V_{TH}	-737.8671m				
V_{OV}	-210.9388m				
g_m	1.3503m				
g_{ds}	14.3416 μ				

接下來要設計補償電路以進行效能模擬，由(2.25)、(2.28)與(3.6)三式，可得出 $C_C=0.22C_L=1.1\text{pF}$ 、 $R_C=1/g_{m8}=1/2.4951\text{m}=0.4007\text{K}\Omega$ ，取 1.1pF 與 0.4K Ω 。各項效能模擬如圖 3.10~3.13 所示，並整理其結果於表 3.12。

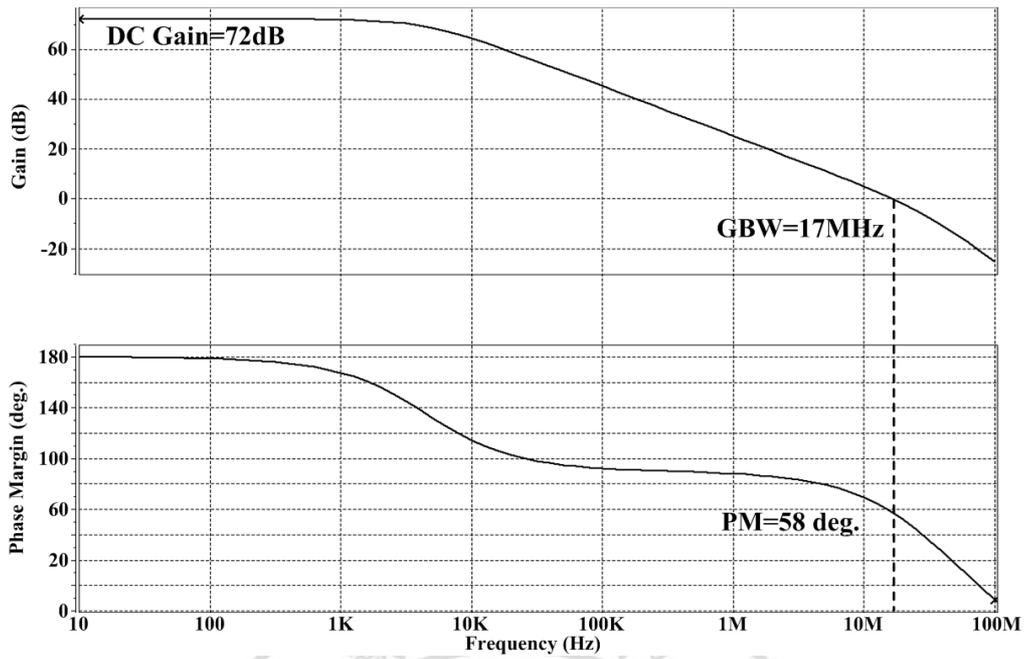


圖 3.10 兩級組態之波德圖與相位邊限(0.35 μ m)

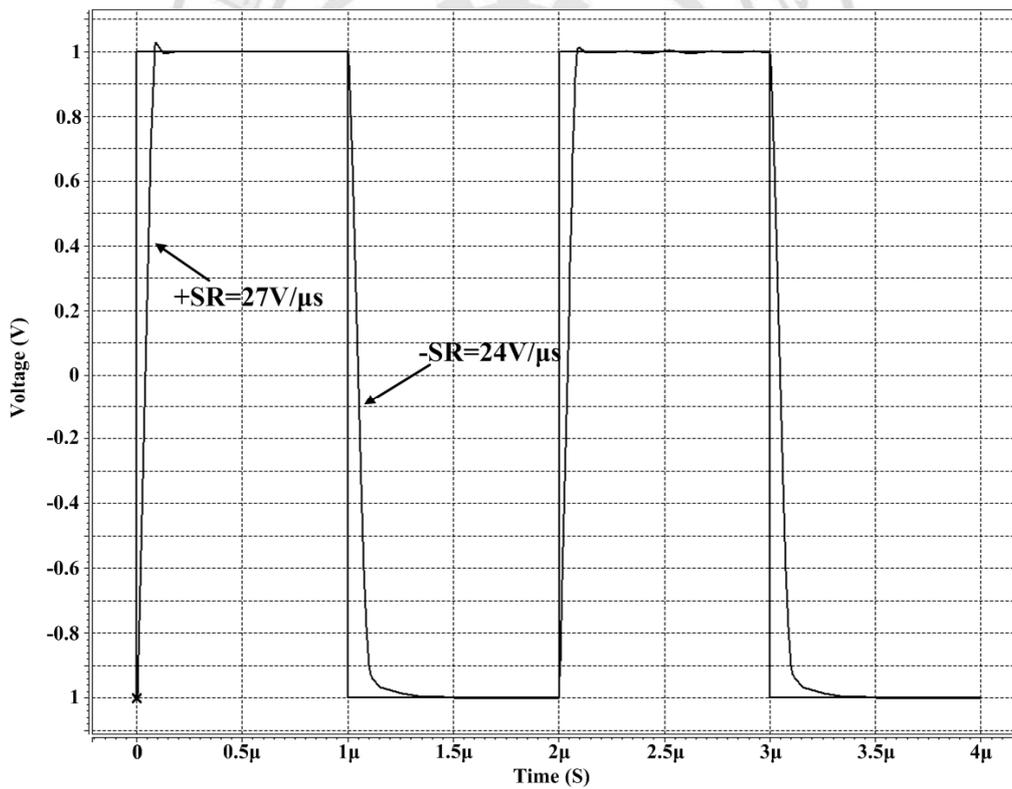


圖 3.11 兩級組態之迴轉率(0.35 μ m)

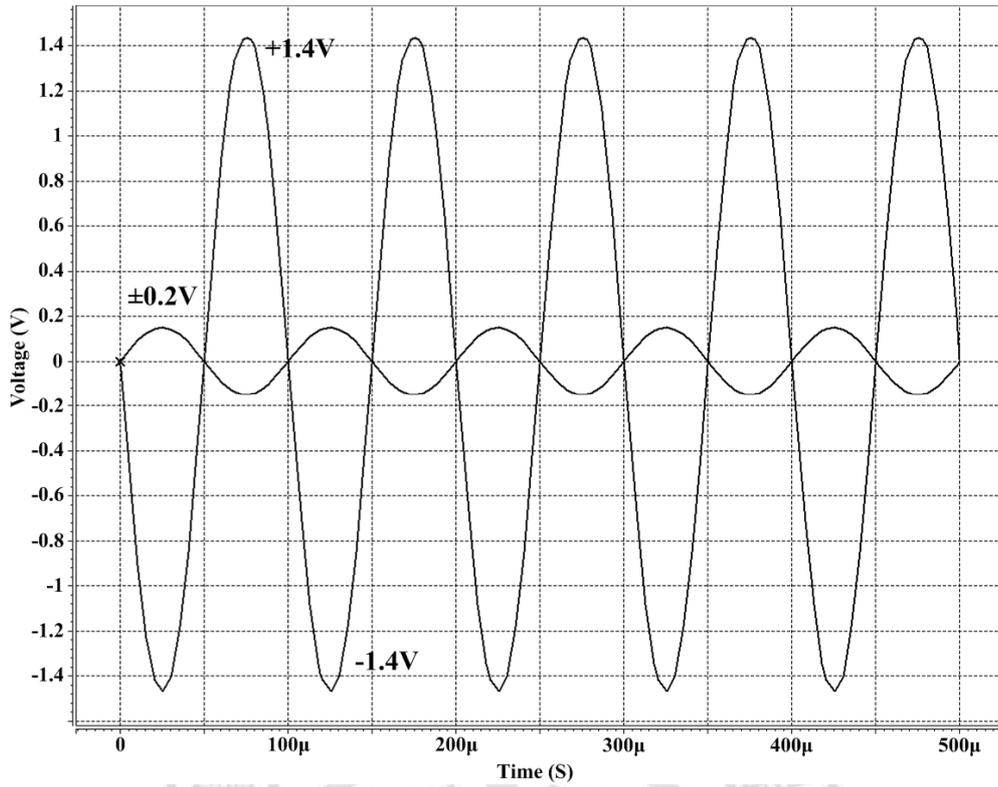


圖 3.12 兩級組態之輸出擺幅(0.35μm)

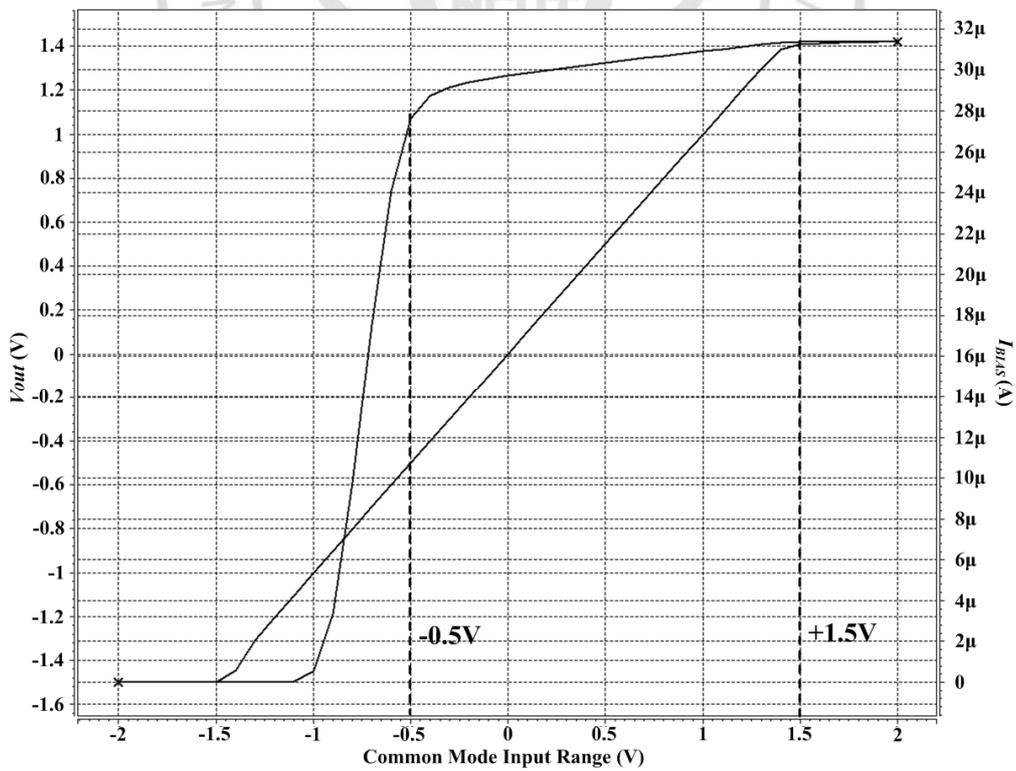


圖 3.13 兩級組態之輸入共模範圍(0.35μm)

表 3.12 兩級組態的效能模擬結果(0.35 μm)

Specification	Initial Design
Technology	TSMC 0.35 μm
Supply Voltage	$\pm 1.5\text{V}$
DC Gain	72dB
Phase Margin	58 $^\circ$
Gain-Bandwidth	17MHz
Common Mode Rejection Ratio	81dB
Slew Rate	24V/ μs
Input Common Mode Range	-0.5~+1.5
Output Swing	$\pm 1.4\text{V}$
Loading	5pF
Power dissipation	0.69mW

如所預期的，初始設計具有一定的基礎效能，最後即是針對尺寸及參數進行微調使電路能夠符合規格需求。電路的最佳化是一項複雜的工作，本文將於第四章再進行詳細討論，以下的 3.3 至 3.5 節將以此設計方法來完成其餘三種不同電路組態的設計，但由於設計過程中需頻繁的運用模擬工具，且有許多步驟與本節的重複性極高，故在以下的四個小節中將省略掉部分的模擬結果以減少篇幅，只呈現各個電路的初始設計結果來佐證。

3.3 疊接組態之設計

疊接組態之電路架構如圖 2.5 所示，規格需求列於表 3.13。首先，電源供應上限為 3V，故使用 V_{DD} 與 V_{SS} 分別為 +1.5V、-1.5V。偏壓電流可參考(2.46)式來估算，故可得到 $I_{BIAS}=100\mu\text{A}$ 。電晶體通道長度與過驅電壓選擇 1 μm 與 0.2V。接著開始計算電路中每個節點的電壓，

並執行每個電晶體獨立的操作點分析並將結果記錄於表 3.14。

表 3.13 運算放大器規格之二

Specification	Requirement
Supply Voltage	3V
DC Gain	≥ 60 dB
Gain-Bandwidth	≥ 20 MHz
Common Mode Rejection Ratio	≥ 80 dB
Slew Rate	≥ 20 V/ μ s
Input Common Mode Range	≥ 0.5 V
Output Swing	≥ 1 V
Loading	≥ 5 pF
Power dissipation	≤ 1 mW

表 3.14 疊接組態進行電晶體獨立操作點分析的結果(0.18 μ m)

Device	M1&M2	M3&M4	M5&M6	M7&M8
Tech.	TSMC 0.18 μ m			
Size	34 μ /1 μ	37.9 μ /1 μ	6.2 μ /1 μ	5 μ /1 μ
Region	Saturation	Saturation	Saturation	Saturation
I_D	50.0514 μ	50.0395 μ	50.1295 μ	49.5125 μ
V_{GS}	-660.0000m	-840.0000m	970.0000m	850.0000m
V_{DS}	-660.0000m	-840.0000m	200.0000m	650.0000m
V_{BS}	0	0	-1.3000	650.0000m
V_{TH}	-458.6379m	-645.6866m	773.9048 m	644.2327m
V_{OV}	-201.3621m	-194.3134m	196.0952m	205.7673m
g_m	418.8394 μ	430.0839 μ	359.5040 μ	391.1145 μ
g_{ds}	2.3916 μ	2.1213 μ	83.1767 μ	2.3055 μ
Device	M9&M10			
Tech.	TSMC 0.18 μ m			
Size	10.6 μ /1 μ			
Region	Saturation			
I_D	100.1929 μ			
V_{GS}	680.0000m			
V_{DS}	680.0000m			
V_{BS}	0			
V_{TH}	483.2779m			
V_{OV}	196.7221m			
g_m	825.2106 μ			
g_{ds}	4.2927 μ			

接著，將得出的尺寸套入疊接組態的電路中，然後進行整體電路的操作點分析，其結果彙整於表 3.15 所示。

表 3.15 合成疊接組態後操作點分析結果(0.18 μ m)

Device	M1&M2	M3&M4	M5&M6	M7&M8
Tech.	TSMC 0.18 μ m			
Size	34 μ /1 μ	37.9 μ /1 μ	6.2 μ /1 μ	5 μ /1 μ
Region	Saturation	Saturation	Saturation	Saturation
I_D	49.9327 μ	49.9327 μ	49.9327 μ	49.9327 μ
V_{GS}	-659.7179m	-839.6782m	969.5161m	850.8712m
V_{DS}	-659.7179m	-839.6782m	200.1200m	651.3551m
V_{BS}	0	-659.7179m	-1.3005	-649.1288m
V_{TH}	-458.6380m	-645.6155m	773.9938m	644.0420m
V_{OV}	-201.0799m	170.2295m	195.5223m	206.8292m
g_m	418.3271 μ	429.6157 μ	359.3672 μ	392.7203 μ
g_{ds}	2.3873 μ	2.1180 μ	82.2843 μ	2.3192 μ
Device	M9&M10			
Tech.	TSMC 0.18 μ m			
Size	10.6 μ /1 μ			
Region	Saturation			
I_D	100.0000 μ			
V_{GS}	679.7673m			
V_{DS}	679.7673m			
V_{BS}	0			
V_{TH}	483.2780m			
V_{OV}	196.4893m			
g_m	824.4100 μ			
g_{ds}	4.2865 μ			

最後，以此初始設計進行各項規格的模擬，其模擬結果之波德圖與相位邊限呈現於圖 3.14、迴轉率呈現於圖 3.15、輸出擺幅呈現於圖 3.16、輸入共模範圍呈現於圖 3.17，並將設計結果彙整紀錄於表 3.16。

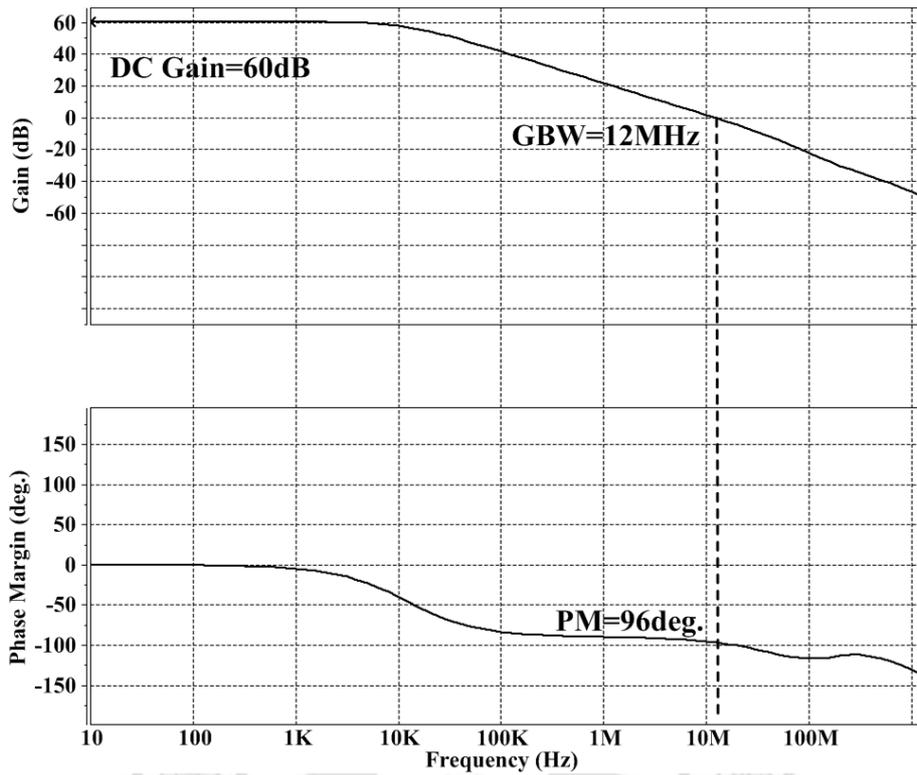


圖 3.14 疊接組態之波德圖與相位邊限(0.18 μ m)

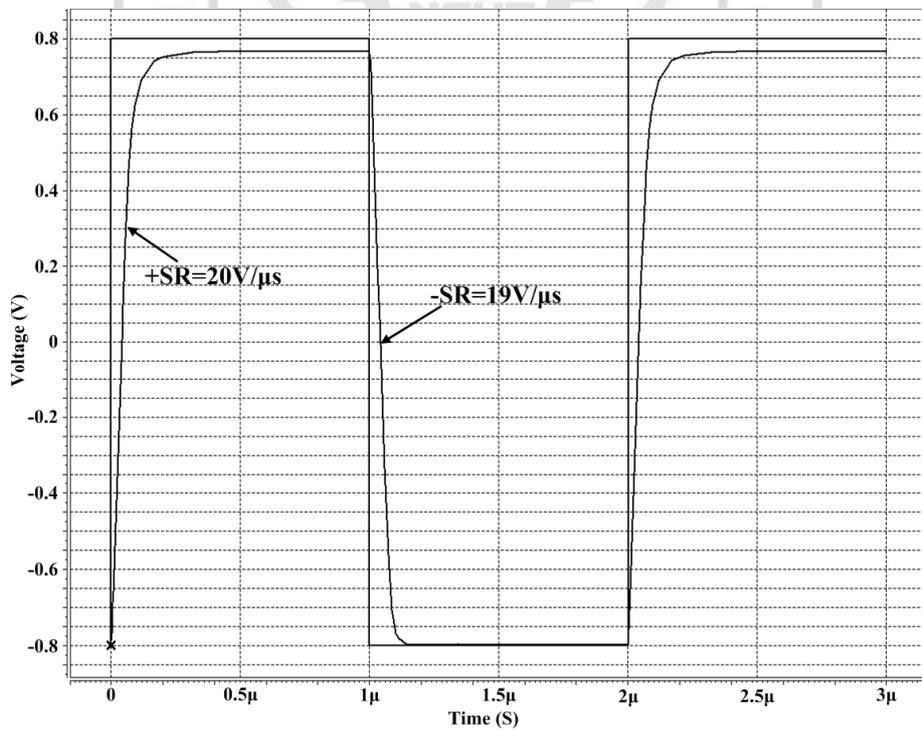


圖 3.15 疊接組態之迴轉率(0.18 μ m)

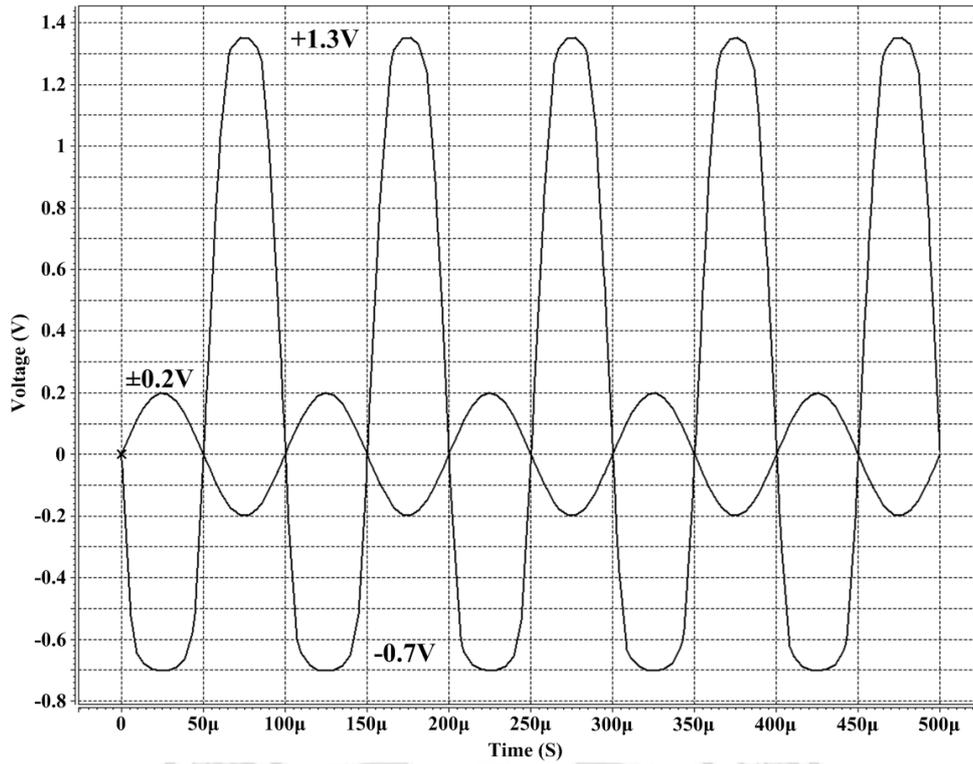


圖 3.16 以反向放大器架構來模擬疊接組態之輸出擺幅，電阻比為 1:10 (0.18 μ m)

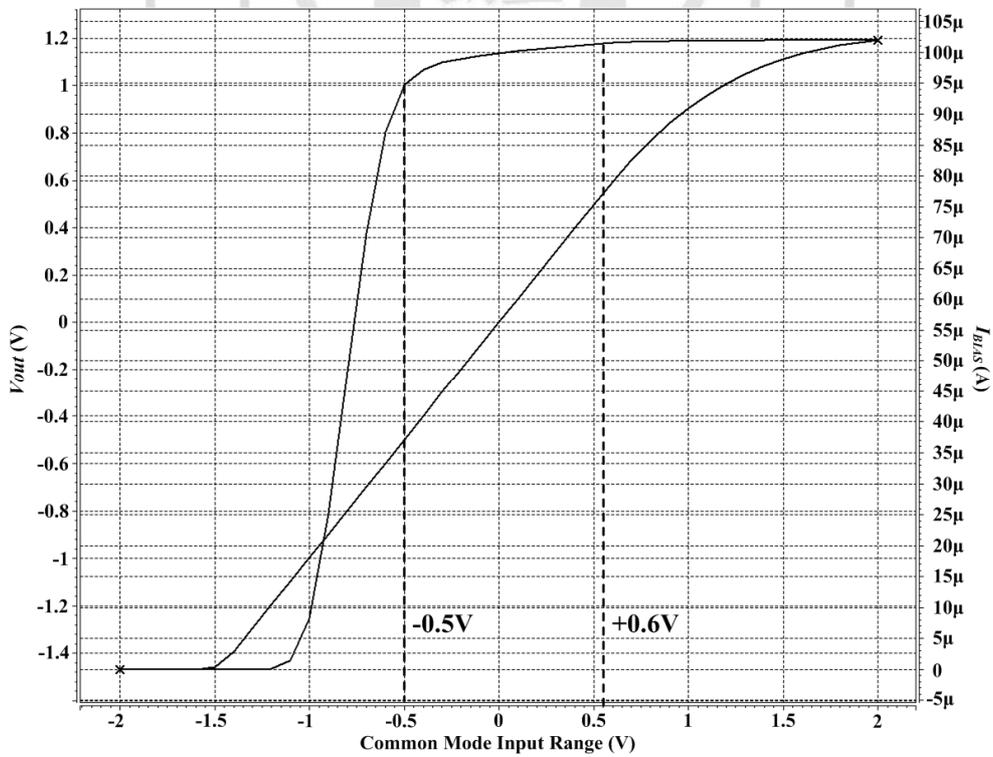


圖 3.17 疊接組態之輸入共模範圍(0.18 μ m)

表 3.16 疊接組態之初始設計效能模擬結果(0.18 μ m)

Specification	Initial Design
Tech.	TSMC 0.18 μ m
Supply Voltage	$\pm 1.5V$
DC Gain	60 dB
Gain-Bandwidth	12MHz
Common Mode Rejection Ratio	100 dB
Slew Rate	19V/ μ s
Input Common Mode Range	-0.5V~+0.6V
Output Swing	-0.7V~+1.3V
Loading	5pF
Power dissipation	0.6mW

接下來，要以 0.35 μ m 製程技術來進行模擬，由於 0.35 μ m 製程技術之臨界電壓較高，而電源電壓仍為 3V，故將過驅電壓調整為 0.16V~0.18V，表 3.17 為使用 TSMC 0.35 μ m 製程技術進行電晶體獨立操作點分析設計的模擬結果彙整，合成疊接組態後的操作點分析結果呈現於表 3.18。

最後，以此初始設計進行各項規格的模擬，其模擬結果分別顯示於圖 3.18~3.21，並彙整紀錄於表 3.19。

表 3.17 疊接組態進行電晶體獨立操作點分析的結果(0.35 μ m)

Device	M1&M2	M3&M4	M5&M6	M7&M8
Tech.	TSMC 0.35 μ m			
Size	39.4 μ /1 μ	40.2 μ /1 μ	15.2 μ /1 μ	17.5 μ /1 μ
Region	Saturation	Saturation	Saturation	Saturation
I_D	50.0651 μ	50.0130 μ	50.1686 μ	50.0614 μ
V_{GS}	-930.000m	-1.0900	940.0000m	890.0000m
V_{DS}	-930.0000m	-1.0900	200.0000m	170.0000m
V_{BS}	0	930.0000m	-780.0000m	-610.0000m
V_{TH}	-746.1110m	-906.2766m	766.9724m	728.9178m
V_{OV}	-183.8890m	-183.7234m	173.0276m	161.0822m
g_m	440.5317 μ	447.8817 μ	457.2781 μ	470.1491 μ
g_{ds}	5.2360 μ	4.8188 μ	45.2666 μ	73.8640 μ

Device	M9	M10
Tech.	TSMC 0.35 μ m	
Size	29.7 μ /1 μ	29.9 μ /1 μ
Region	Saturation	Saturation
I_D	100.2733 μ	100.1908 μ
V_{GS}	740.0000m	740.0000m
V_{DS}	740.0000m	610.0000m
V_{BS}	0	0
V_{TH}	566.9320m	567.2043m
V_{OV}	173.0680m	172.7957m
g_m	977.7182 μ	978.8764 μ
g_{ds}	5.5658 μ	6.0694 μ

表 3.18 合成疊接組態後的操作點分析結果(0.35 μ m)

Device	M1&M2	M3&M4	M5&M6	M7&M8
Tech.	TSMC 0.35 μ m			
Size	39.4 μ /1 μ	40.2 μ /1 μ	15.2 μ /1 μ	17.5 μ /1 μ
Region	Saturation	Saturation	Saturation	Saturation
I_D	49.9600 μ	49.9600 μ	49.9600 μ	49.9600 μ
V_{GS}	-929.7639m	-1.0898	939.6312m	889.8029m
V_{DS}	-929.7639m	-1.0898	200.0192m	170.1717m
V_{BS}	0	929.7639m	-780.3688m	-610.1971m
V_{TH}	-746.1128m	-906.2432m	767.0537m	728.9631m
V_{OV}	-183.6511m	-183.5568m	172.5775m	160.8398m
g_m	440.0104 μ	447.6223 μ	456.5954 μ	470.0491 μ
g_{ds}	5.2281 μ	4.8154 μ	44.8174 μ	73.2306 μ

Device	M9	M10
Tech.	TSMC 0.35 μ m	
Size	29.7 μ /1 μ	29.9 μ /1 μ
Region	Saturation	Saturation
I_D	100.0000 μ	99.9200 μ
V_{GS}	739.7215m	739.7215m
V_{DS}	739.7215m	610.1971m
V_{BS}	0	0
V_{TH}	566.9326m	567.2038m
V_{OV}	172.7889m	172.5177m
g_m	976.3181 μ	977.4909 μ
g_{ds}	5.5564 μ	6.0561 μ

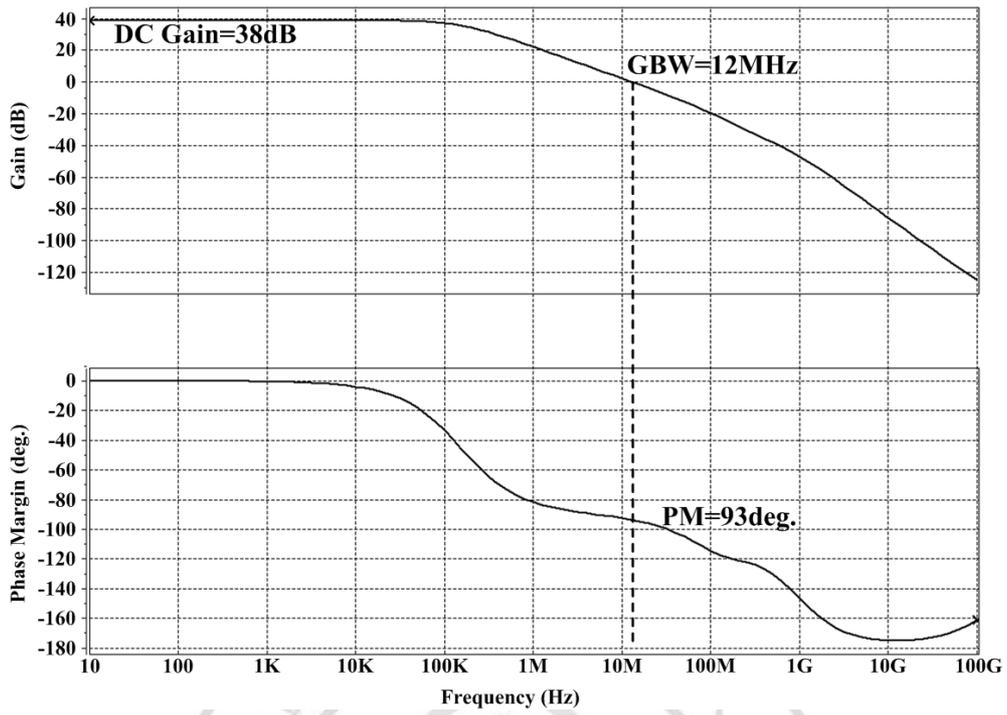


圖 3.18 疊接組態之波德圖與相位邊限(0.35 μ m)

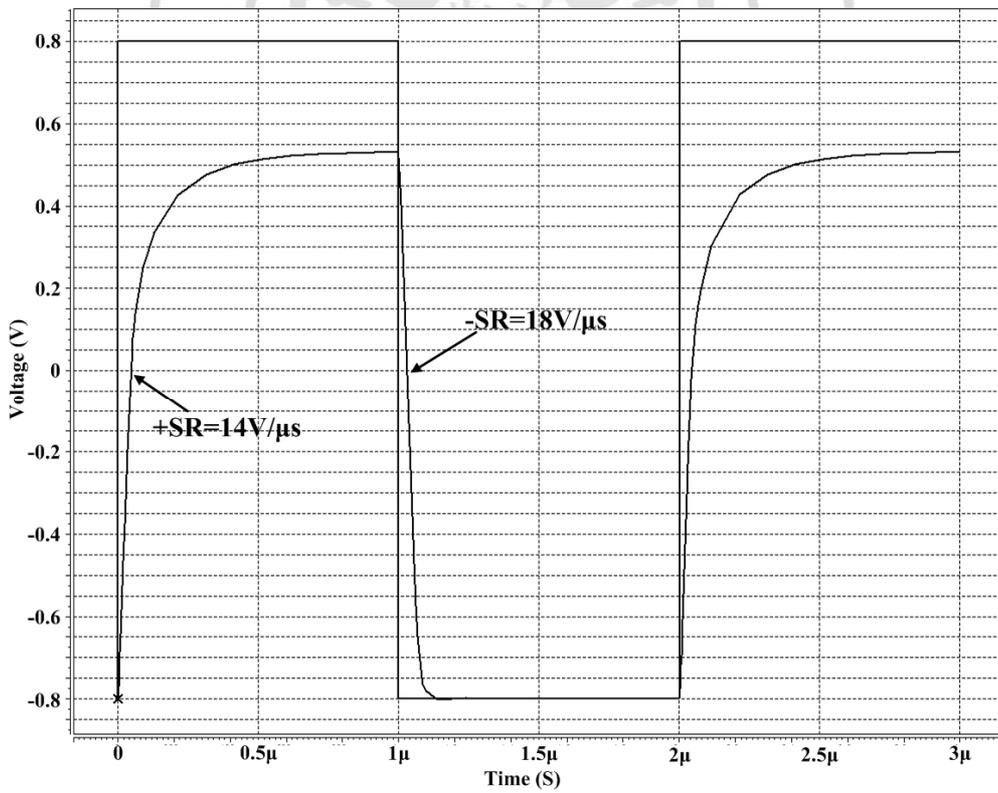


圖 3.19 疊接組態之迴轉率(0.35 μ m)

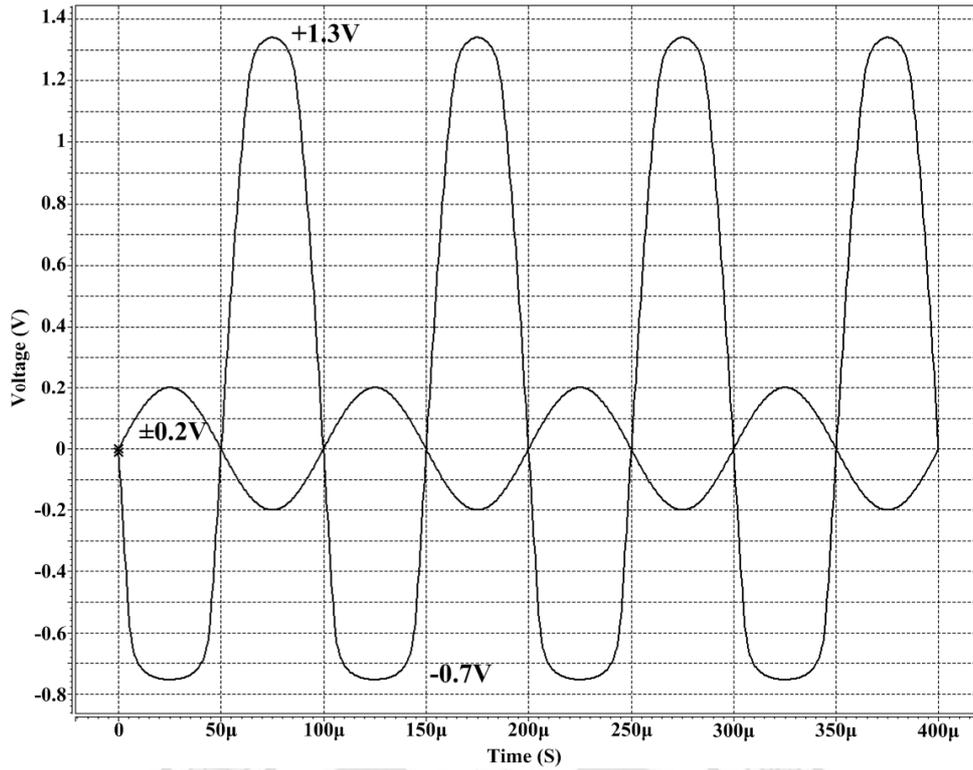


圖 3.20 疊接組態之輸出擺幅(0.35μm)

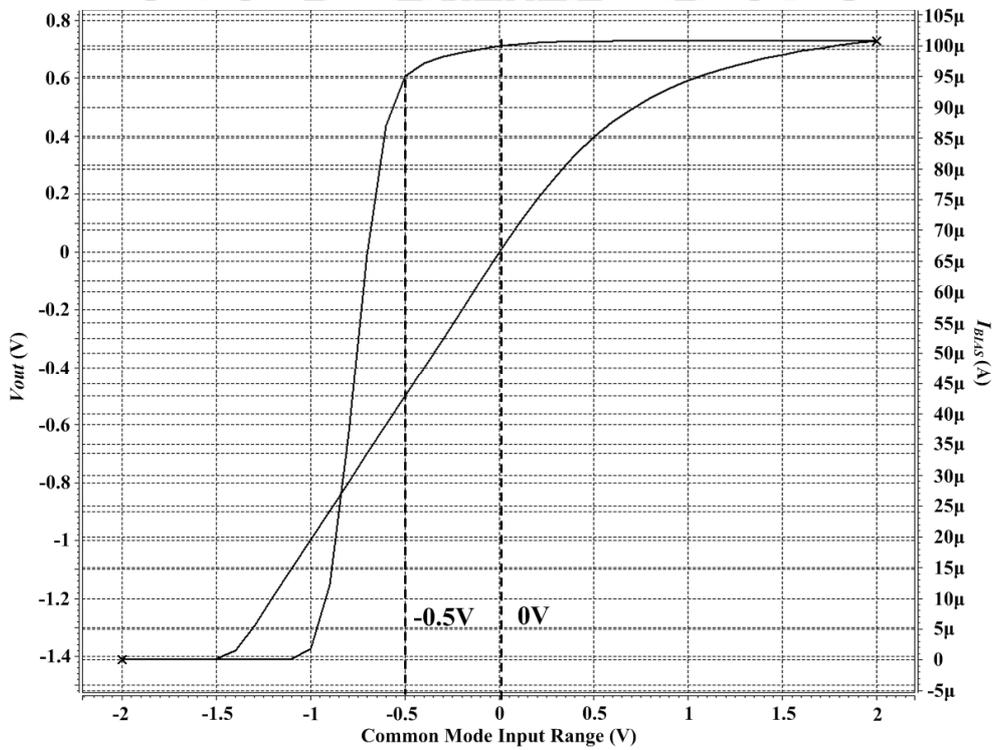


圖 3.21 疊接組態之輸入共模範圍(0.35μm)

表 3.19 疊接組態之初始設計效能模擬結果(0.35 μ m)

Specification	Initial Design
Tech.	TSMC 0.35 μ m
Supply Voltage	$\pm 1.5V$
DC Gain	39 dB
Gain-Bandwidth	13MHz
Common Mode Rejection Ratio	78 dB
Slew Rate	14V/ μ s
Input Common Mode Range	-0.5V~0V
Output Swing	-0.6V~+0.8V
Loading	5pF
Power dissipation	0.6mW

3.4 摺疊疊接組態之設計

摺疊疊接組態之電路架構如圖 2.7 所示，規格需求列於表 3.20。電源供應依然使用其上限的 3V， V_{DD} 與 V_{SS} 分別為 +1.5V、-1.5V。偏壓電流亦可參考(2.46)式來估算，可得 $I_{BIAS} = 100\mu A$ ， I_B 則設定為 $110\mu A$ 。電晶體通道長度與過驅電壓選擇 $1\mu m$ 與 $0.2V$ 。各電晶體的獨立操作點分析結果如表 3.21 所示。

表 3.20 運算放大器規格之三

Specification	Requirement
Supply Voltage	3V
DC Gain	≥ 60 dB
Gain-Bandwidth	≥ 20 MHz
Common Mode Rejection Ratio	≥ 80 dB
Slew Rate	$\geq 20V/\mu s$
Input Common Mode Range	$\geq 2V$
Output Swing	$\geq 1V$
Loading	$\geq 5pF$
Power dissipation	$\leq 2mW$

表 3.21 摺疊疊接組態進行電晶體獨立操作點分析的結果(0.18 μm)

Device	M1&M2	M3&M4	M5	M6
Tech.	TSMC 0.18 μm			
Size	77.7 $\mu\text{m}/1\mu$	4.9 $\mu\text{m}/1\mu$	10.6 $\mu\text{m}/1\mu$	10.6 $\mu\text{m}/1\mu$
Region	Saturation	Saturation	Saturation	Saturation
I_D	110.0564 μ	50.6153 μ	100.1929 μ	100.0610 μ
V_{GS}	-660.0000m	850.0000m	680.0000m	680.0000m
V_{DS}	-250.0000m	2.1000	680.0000m	650.0000m
V_{BS}	0	-650.0000m	0	0
V_{TH}	-458.7324m	643.8419m	483.2779m	483.2849m
V_{OV}	-201.2676m	206.1581m	196.7221m	196.7151m
g_m	901.7299 μ	394.9932 μ	825.2106 μ	824.1635 μ
g_{ds}	38.0525 μ	1.2954 μ	4.2927 μ	4.5129 μ
Device	M7&M8	M9&M10	M11&M12	
Tech.	TSMC 0.18 μm			
Size	39.3 $\mu\text{m}/1\mu$	7.3 $\mu\text{m}/1\mu$	7 $\mu\text{m}/1\mu$	
Region	Saturation	Saturation	Saturation	
I_D	59.9834 μ	60.0755 μ	60.4250 μ	
V_{GS}	-740.0000m	830.0000m	670.0000m	
V_{DS}	-1.2500	830.0000m	670.0000m	
V_{BS}	250.0000m	-670.0000m	0	
V_{TH}	-534.9691m	648.2171m	483.3388m	
V_{OV}	205.0309m	181.7829m	186.6612m	
g_m	491.7871 μ	524.1627 μ	519.1489 μ	
g_{ds}	2.2154 μ	2.2399 μ	2.6547 μ	

接著將得出的尺寸套入摺疊疊接組態的電路中，然後進行整體電路的操作點分析，其結果彙整紀錄如表 3.22 所示。

表 3.22 合成摺疊疊接組態後的操作點分析結果(0.18 μm)

Device	M1&M2	M3&M4	M5	M6
Tech.	TSMC 0.18 μm			
Size	77.7 $\mu\text{m}/1\mu$	4.9 $\mu\text{m}/1\mu$	10.6 $\mu\text{m}/1\mu$	10.6 $\mu\text{m}/1\mu$
Region	Saturation	Saturation	Saturation	Saturation
I_D	110.0536 μ	49.9378 μ	100.0 μ	99.8756 μ
V_{GS}	-660.0000m	848.5942m	679.7673m	679.7673m
V_{DS}	-249.9261m	2.0987	679.7673m	651.4058m
V_{BS}	0	-651.4058m	0	0
V_{TH}	-458.7324m	644.1489m	483.7800m	483.2845m
V_{OV}	-201.2676m	204.4453m	195.9873m	196.4828m
g_m	901.6754 μ	392.4289 μ	824.4100 μ	823.4232 μ
g_{ds}	38.1019 μ	1.2850 μ	4.2865 μ	4.4933 μ
Device	M7&M8	M9&M10	M11&M12	
Tech.	TSMC 0.18 μm			
Size	39.3 $\mu\text{m}/1\mu$	7.3 $\mu\text{m}/1\mu$	7 $\mu\text{m}/1\mu$	
Region	Saturation	Saturation	Saturation	
I_D	60.0330 μ	60.0330 μ	60.0330 μ	
V_{GS}	-740.0739m	829.7548m	669.2474m	
V_{DS}	-1.2511	829.7548m	669.2474m	
V_{BS}	249.9261m	-669.2474m	0	
V_{TH}	-534.9475m	648.0541m	483.3390m	
V_{OV}	205.1264m	181.7007m	185.9084m	
g_m	491.9990 μ	523.9798 μ	517.4087 μ	
g_{ds}	2.2163 μ	2.2391 μ	2.6417 μ	

最後，以此基於 0.18 μm 製程技術之初始設計進行摺疊疊接組態各項規格的模擬，其模擬結果之波德圖與相位邊限呈現於圖 3.22、摺疊疊接組態之迴轉率呈現於圖 3.23、以反向放大器架構來模擬摺疊疊接組態之輸出擺幅呈現於圖 3.24、摺疊疊接組態之輸入共模範圍呈現於圖 3.25；並將摺疊疊接組態之初始設計效能模擬結果彙整紀錄於表 3.23。

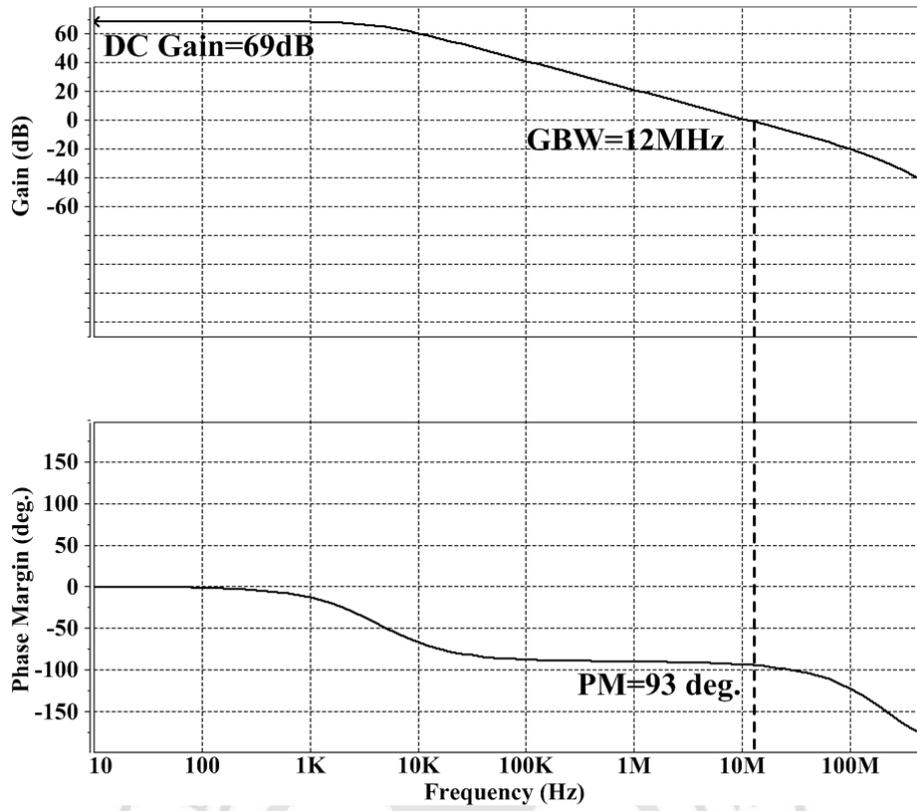


圖 3.22 摺疊疊接組態之波德圖與相位邊限(0.18 μ m)

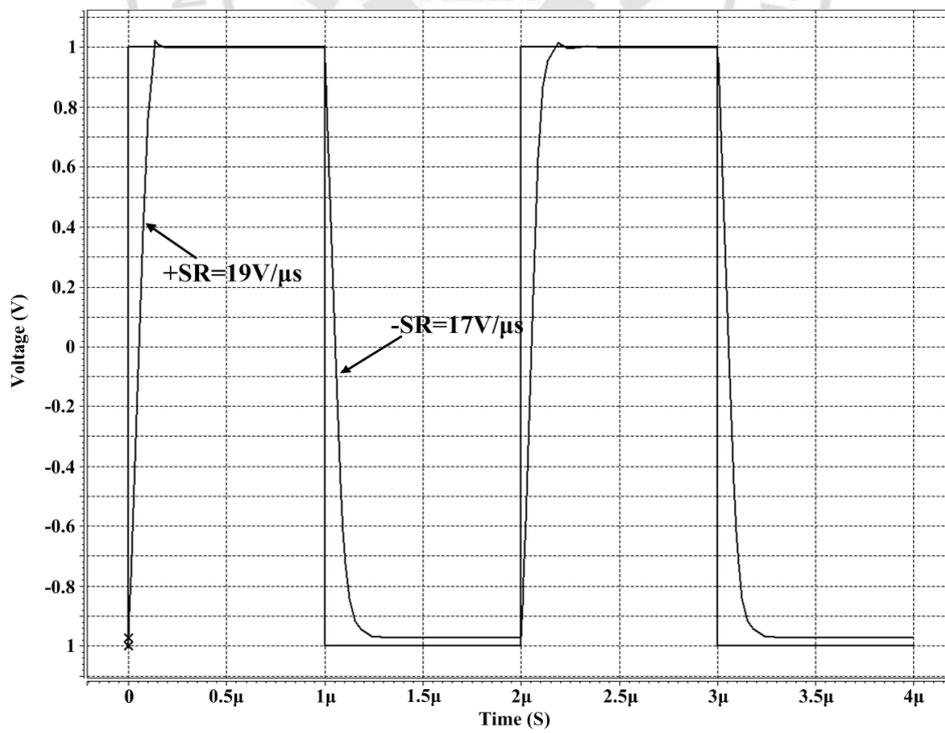


圖 3.23 摺疊疊接組態之迴轉率(0.18 μ m)

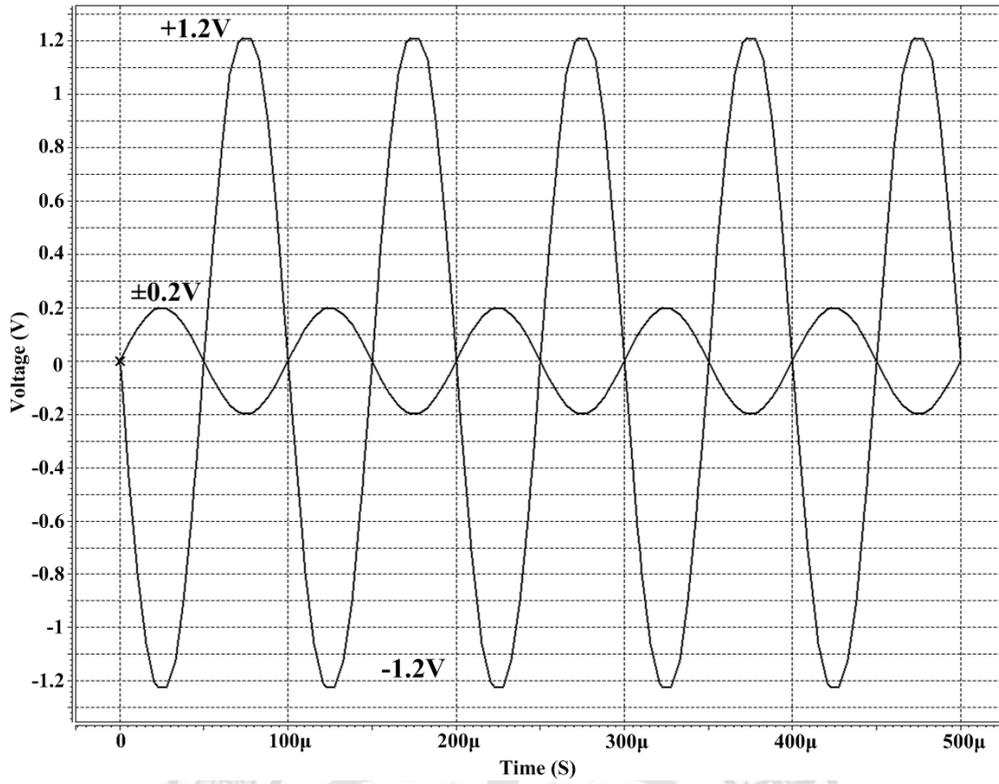


圖 3.24 摺疊疊接組態之輸出擺幅(0.18μm)

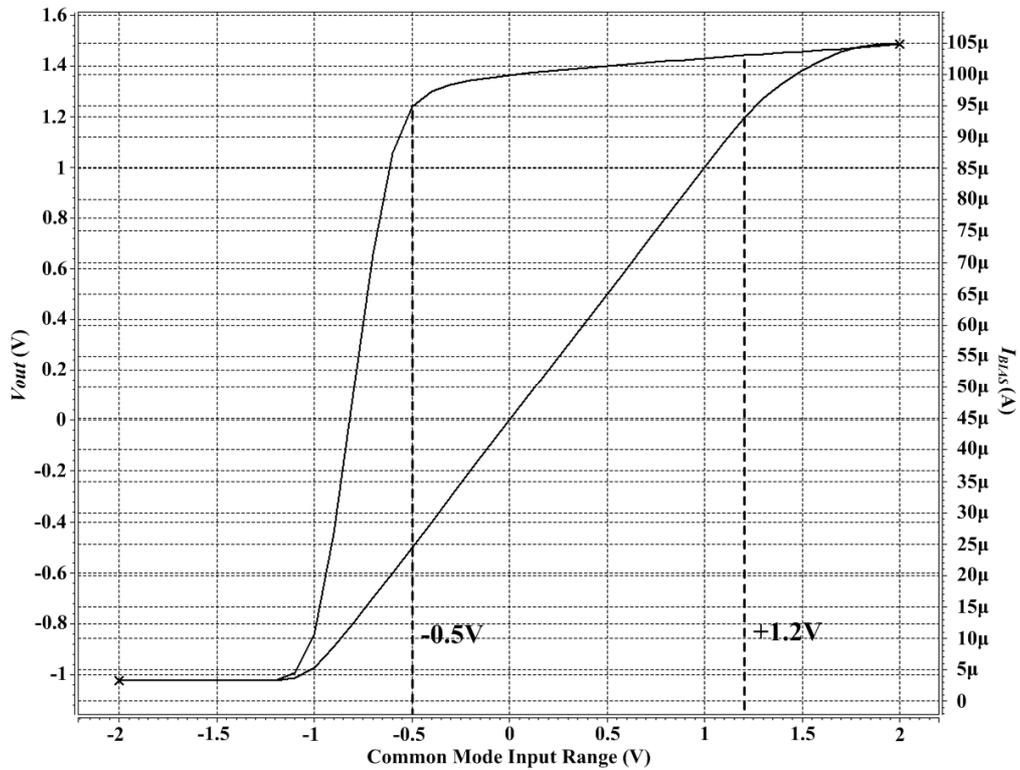


圖 3.25 摺疊疊接組態之輸入共模範圍(0.18μm)

表 3.23 摺疊疊接組態之初始設計效能模擬結果(0.18 μm)

Specification	Initial Design
Tech.	TSMC 0.18 μm
Supply Voltage	$\pm 1.5\text{V}$
DC Gain	69dB
Gain-Bandwidth	12MHz
Common Mode Rejection Ratio	113dB
Slew Rate	17V/ μs
Input Common Mode Range	$-0.5\text{V}\sim+1.2\text{V}$
Output Swing	$\pm 1.2\text{V}$
Loading	5pF
Power dissipation	0.96mW

以下為使用 TSMC 0.35 μm 製程技術設計的模擬結果：

表 3.24 摺疊疊接組態進行電晶體獨立操作點分析的結果(0.35 μm)

Device	M1&M2	M3&M4	M5	M6
Tech.	TSMC 0.35 μm			
Size	80.6 $\mu\text{m}/1\mu$	10.4 $\mu\text{m}/1\mu$	22.4 $\mu\text{m}/1\mu$	22.6 $\mu\text{m}/1\mu$
Region	Saturation	Saturation	Saturation	Saturation
I_D	110.1202 μ	49.7827 μ	99.9337 μ	99.7499 μ
V_{GS}	-950.0000m	920.0000m	770.0000m	770.0000m
V_{DS}	-250.0000m	2.1700	770.0000m	580.0000m
V_{BS}	0	-580.0000m	0	0
V_{TH}	-748.6310m	715.9118m	568.4365m	568.8126m
V_{OV}	-201.3690m	204.0882m	201.5635m	201.1874m
g_m	855.5525 μ	413.8917 μ	858.2231 μ	858.6004 μ
g_{ds}	80.5540 μ	2.0766 μ	5.1712 μ	6.1642 μ
Device	M7&M8	M9&M10	M11&M12	
Tech.	TSMC 0.35 μm			
Size	43.1 $\mu\text{m}/1\mu$	13.6 $\mu\text{m}/1\mu$	13.4 $\mu\text{m}/1\mu$	
Region	Saturation	Saturation	Saturation	
I_D	60.1091 μ	60.0969 μ	60.0291 μ	
V_{GS}	-990.0000m	960.0000m	770.0000m	
V_{DS}	-1.0200	960.0000m	770.0000m	
V_{BS}	250.0000m	-770.0000m	0	
V_{TH}	-794.9055m	762.7597m	568.2159m	
V_{OV}	-195.0945m	197.2403m	201.7841m	
g_m	509.1352 μ	518.7955 μ	515.4649 μ	
g_{ds}	5.9042 μ	2.7531 μ	3.1410 μ	

表 3.25 合成摺疊疊接組態後的操作點分析結果(0.35 μ m)

Device	M1&M2	M3&M4	M5	M6
Tech.	TSMC 0.35 μ m			
Size	80.6 μ /1 μ	10.4 μ /1 μ	22.4 μ /1 μ	22.6 μ /1 μ
Region	Saturation	Saturation	Saturation	Saturation
I_D	110.1085 μ	49.9071 μ	100.0000 μ	99.8143 μ
V_{GS}	-950.0000m	920.2424m	770.0768m	770.0768m
V_{DS}	-249.8547m	2.1704	770.0768m	579.7576m
V_{BS}	0	-579.7576m	0	0
V_{TH}	-748.6321m	715.8542m	568.4364m	568.8132m
V_{OV}	-201.3679m	204.3882m	201.6404m	201.2636m
g_m	855.3298 μ	414.3909 μ	858.5016 μ	858.8661 μ
g_{ds}	80.7463 μ	2.0797 μ	5.1733 μ	6.1697 μ
Device	M7&M8	M9&M10	M11&M12	
Tech.	TSMC 0.35 μ m			
Size	43.1 μ /1 μ	13.6 μ /1 μ	13.4 μ /1 μ	
Region	Saturation	Saturation	Saturation	
I_D	60.1945 μ	60.1945 μ	60.1945 μ	
V_{GS}	-990.1453m	960.2578m	770.3193m	
V_{DS}	-1.0196	960.2578m	770.3193m	
V_{BS}	249.8547m	-770.3193m	0	
V_{TH}	-794.8816m	762.8299m	568.2153m	
V_{OV}	-195.2637m	197.1701m	202.1040m	
g_m	509.5238 μ	519.2065 μ	516.1587 μ	
g_{ds}	5.9115 μ	2.7557 μ	3.1465 μ	

最後，以此基於 TSMC 0.35 μ m 製程技術之初始設計進行摺疊疊接組態各項規格的模擬，其模擬結果之波德圖與相位邊限呈現於圖 3.26、摺疊疊接組態之迴轉率呈現於圖 3.27、以反向放大器架構來模擬摺疊疊接組態之輸出擺幅呈現於圖 3.28、摺疊疊接組態之輸入共模範圍呈現於圖 3.29；並將基於 TSMC 0.35 μ m 製程技術之摺疊疊接組態之初始設計效能模擬結果彙整紀錄於表 3.26。

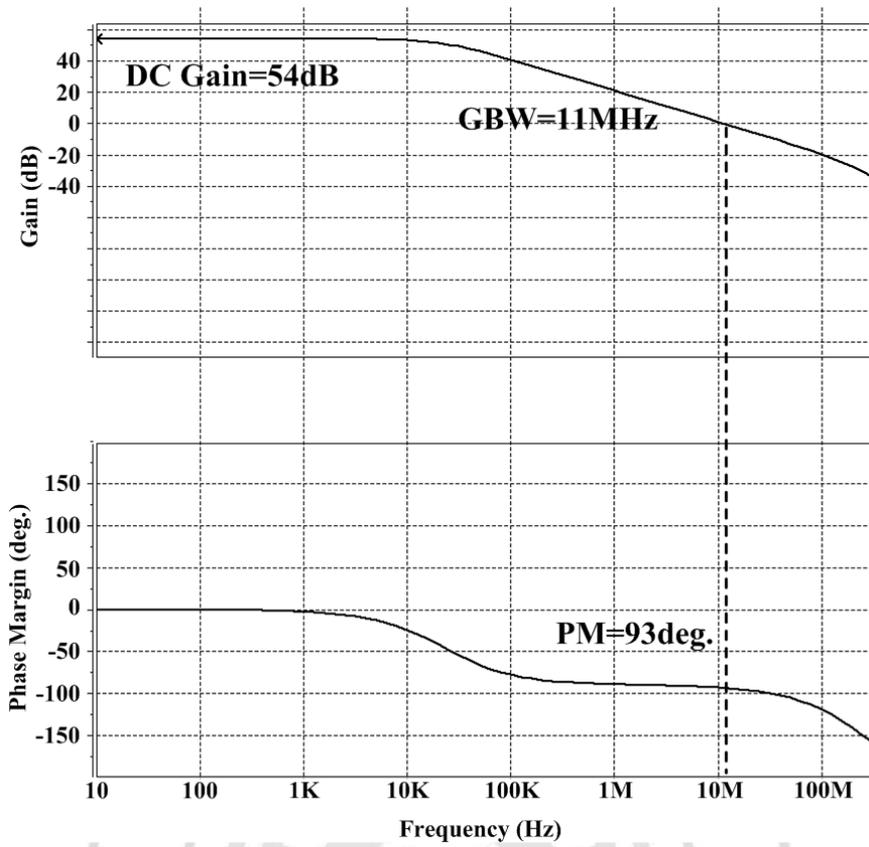


圖 3.26 摺疊疊接組態之波德圖與相位邊限(0.35 μm)

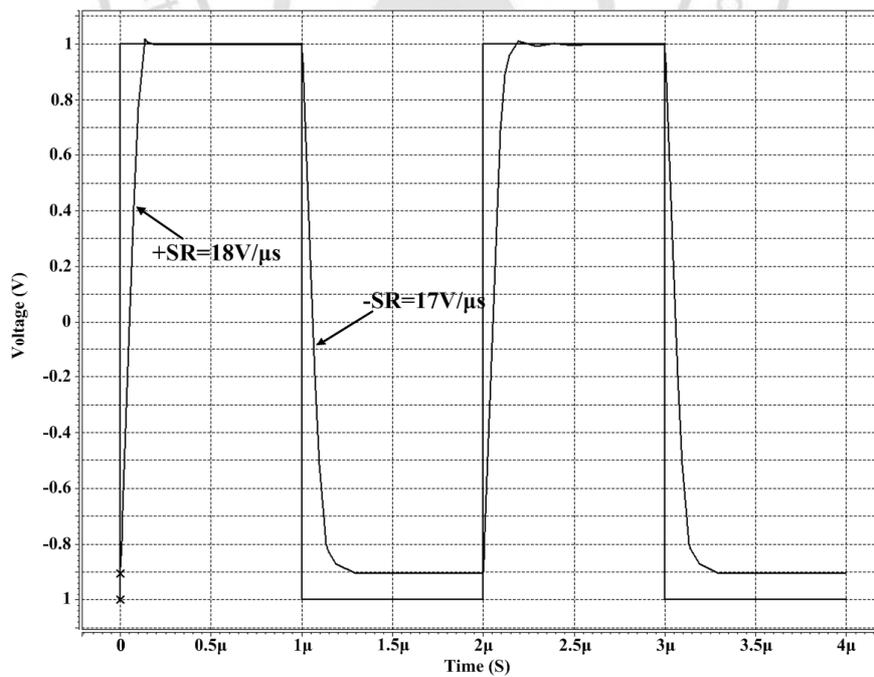


圖 3.27 摺疊疊接組態之迴轉率(0.35 μm)

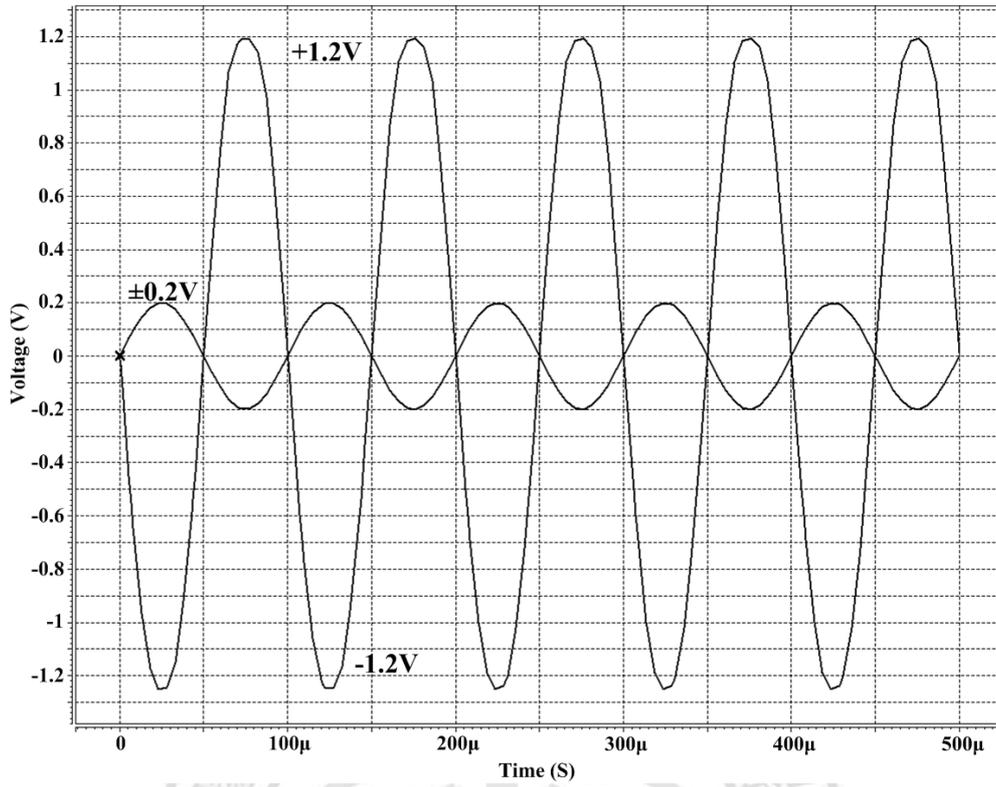


圖 3.28 摺疊疊接組態之輸出擺幅(0.35μm)

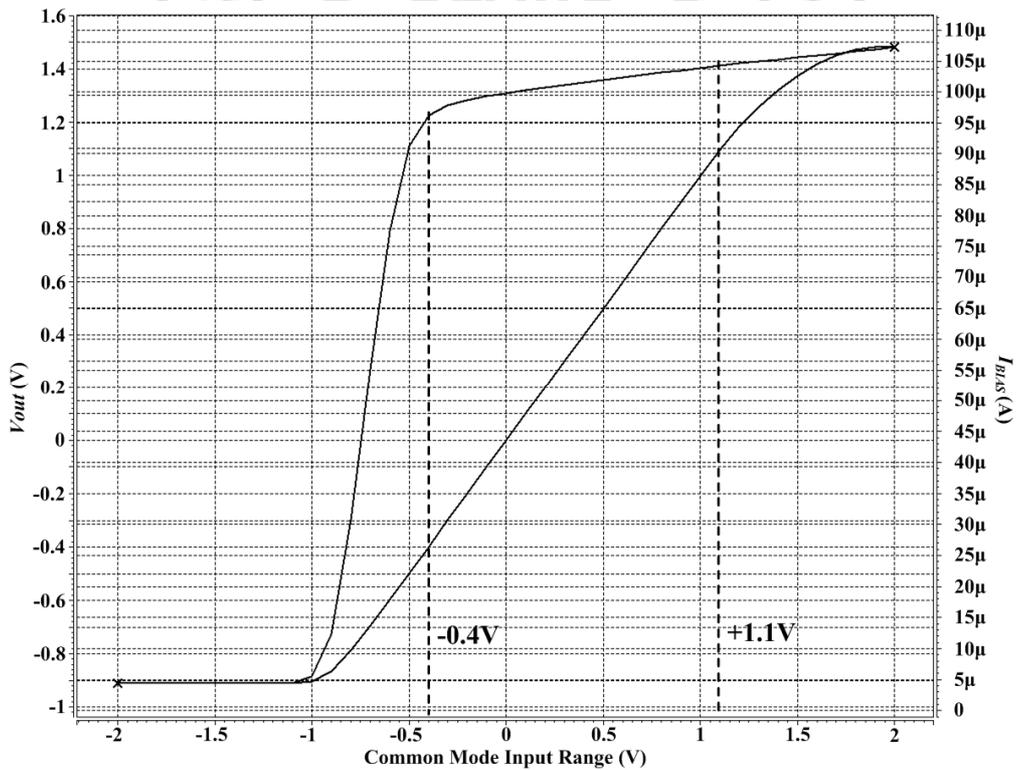


圖 3.29 摺疊疊接組態之輸入共模範圍(0.35μm)

表 3.26 摺疊疊接組態之初始設計效能模擬結果(0.35 μ m)

Specification	Initial Design
Tech.	TSMC 0.35 μ m
Supply Voltage	$\pm 1.5V$
DC Gain	54dB
Gain-Bandwidth	11MHz
Common Mode Rejection Ratio	95dB
Slew Rate	17V/ μ s
Input Common Mode Range	-0.4V~+1.1V
Output Swing	$\pm 1.2V$
Loading	5pF
Power dissipation	0.96mW

3.5 軌對軌輸入組態之設計

軌對軌輸入組態運算放大器之電路架構如圖 2.8 所示，規格需求列於表 3.27。電源供應依然使用其上限的 3V， V_{DD} 與 V_{SS} 分別為 +1.5V、-1.5V。偏壓電流可參考(2.46)式來估算，可得 $I_{BIAS} = 100\mu A$ ， I_B 則設定為 110 μA 。電晶體通道長度與過驅電壓選擇 1 μ m 與 0.2V。各電晶體的獨立操作點分析結果如表 3.28 所示。

表 3.27 運算放大器規格之四

Specification	Require
Supply Voltage	3V
DC Gain	≥ 60 dB
Gain-Bandwidth	≥ 20 MHz
Common Mode Rejection Ratio	≥ 30 dB
Slew Rate	$\geq 20V/\mu$ s
Input Common Mode Range	$\geq \pm 1.5V$
Output Swing	$\geq \pm 1V$
Loading	≥ 5 pF
Power dissipation	≤ 2 mW

表 3.28 軌對軌輸入組態進行電晶體獨立操作點分析的結果(0.18 μ m)

Device	M1&M2	M3&M4	M5	M6&M7
Tech.	TSMC 0.18 μ m			
Size	77.7 μ /1 μ	5.3 μ /1 μ	10.6 μ /1 μ	42.7 μ /1 μ
Region	Saturation	Saturation	Saturation	Saturation
I_D	110.1266 μ	50.0516 μ	100.1031 μ	59.9927 μ
V_{GS}	-660.0000m	840.5842m	680.0000m	-728.1250m
V_{DS}	-251.8750m	2.0887	659.4158m	-1.8417
V_{BS}	0	-659.4158m	0	251.8750
V_{TH}	-458.7319m	645.8192m	483.2827m	-535.3672m
V_{OV}	-201.2681m	194.1808m	196.7173m	-192.7578m
g_m	903.0844 μ	409.2304 μ	824.5019 μ	514.1164 μ
g_{ds}	36.8289 μ	1.3276 μ	4.4396 μ	2.1587 μ
Device	M8&M9	M10	M11&12	M13&M14
Tech.	TSMC 0.18 μ m			
Size	6.2 μ /1 μ	67.9 μ /1 μ	36.2 μ /1 μ	12.3 μ /1 μ
Region	Saturation	Saturation	Saturation	Saturation
I_D	59.9934 μ	99.9712 μ	49.9856 μ	109.9831 μ
V_{GS}	751.1980m	-660.0000m	-839.8276m	680.0000m
V_{DS}	657.6109	-660.1724m	-2.0910	248.8020m
V_{BS}	-248.8020m	0	660.1724	0
V_{TH}	550.0691m	-458.6379m	-645.3742m	483.3772m
V_{OV}	201.1289m	-201.3621m	194.4534m	196.6228m
g_m	484.4176 μ	836.5758 μ	424.2840 μ	864.1844 μ
g_{ds}	2.7041 μ	4.7762 μ	1.7897 μ	66.8801 μ

以此基於 TSMC 0.18 μ m 製程技術之獨立操作點分析的結果進行合成軌對軌輸入組態後的操作點分析結果，並將結果彙整紀錄於表 3.29

表 3.29 合成軌對軌輸入組態後的操作點分析結果(0.18 μ m)

Device	M1&M2	M3&M4	M5	M6&M7
Tech.	TSMC 0.18 μ m			
Size	77.7 μ /1 μ	5.3 μ /1 μ	10.6 μ /1 μ	42.7 μ /1 μ
Region	Saturation	Saturation	Saturation	Saturation
I_D	110.0564 μ	49.7620 μ	100.1057 μ	59.9425 μ
V_{GS}	-660.0000m	840.0000m	680.0000m	-730.0000m
V_{DS}	-250.0000m	2.0900	660.0000m	-1.2500
V_{BS}	0	-660.0000m	0	250.0000
V_{TH}	-458.7324m	645.9458m	483.2826m	-534.9691m
V_{OV}	-201.2676m	194.0542m	196.7174m	-195.0309m
g_m	901.7299 μ	408.0599 μ	824.5226 μ	511.9473 μ
g_{ds}	38.0525 μ	1.3231 μ	4.4352 μ	2.2674 μ
Device	M8&M9	M10	M11&12	M13&M14
Tech.	TSMC 0.18 μ m			
Size	6.2 μ /1 μ	67.9 μ /1 μ	36.2 μ /1 μ	12.3 μ /1 μ
Region	Saturation	Saturation	Saturation	Saturation
I_D	60.4664 μ	99.9703 μ	50.0763 μ	110.0624 μ
V_{GS}	750.0000m	-660.0000m	-840.0000m	680.0000m
V_{DS}	1.2500	-660.0000m	-2.0900	250.0000m
V_{BS}	-250.0000m	0	660.0000	0
V_{TH}	550.2268m	-458.6379m	-645.3310m	483.3769m
V_{OV}	199.7732m	-201.3621m	194.6690m	196.6231m
g_m	489.2454 μ	836.5697 μ	424.6787 μ	865.7130 μ
g_{ds}	1.7222 μ	4.7769 μ	1.7918 μ	65.5185 μ

最後，以此基於 TSMC 0.18 μ m 製程技術之初始設計進行軌對軌輸入組態運算放大器各項規格的模擬，其模擬結果之波德圖與相位邊限呈現於圖 3.30、摺疊疊接組態之迴轉率呈現於圖 3.31、以反向放大器架構來模擬軌對軌輸入組態之輸出擺幅呈現於圖 3.32、軌對軌輸入組態之輸入共模範圍呈現於圖 3.33；並將基於 TSMC 0.35 μ m 製程技術之軌對軌輸入組態之初始設計效能模擬結果彙整紀錄於表 3.30。

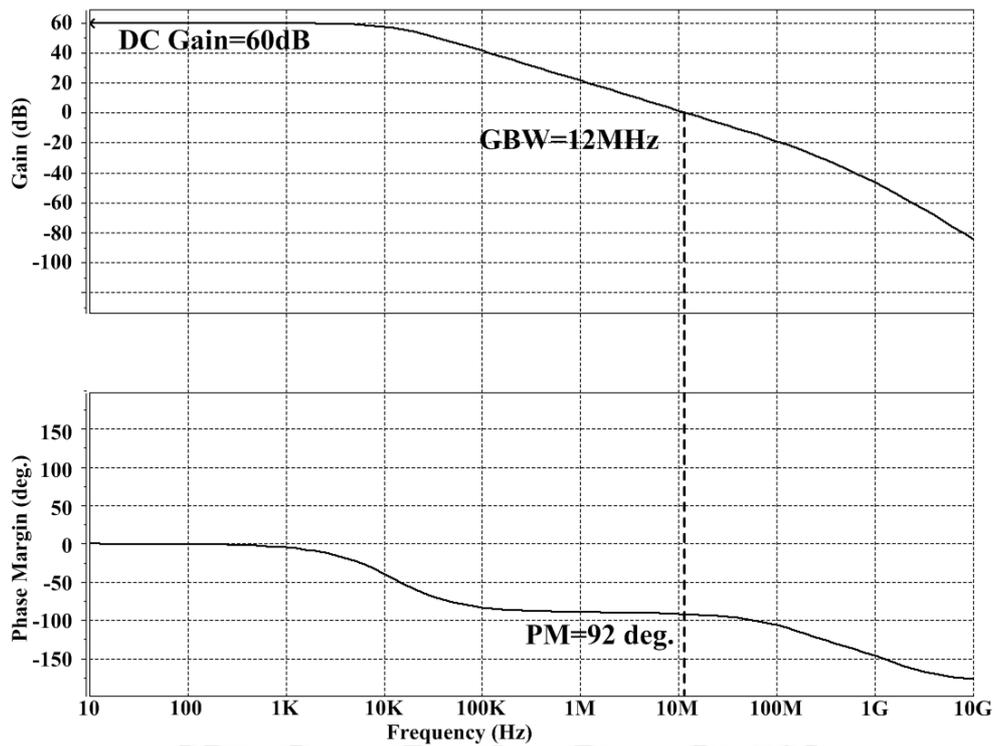


圖 3.30 軌對軌輸入組態之波德圖與相位邊限(0.18 μ m)

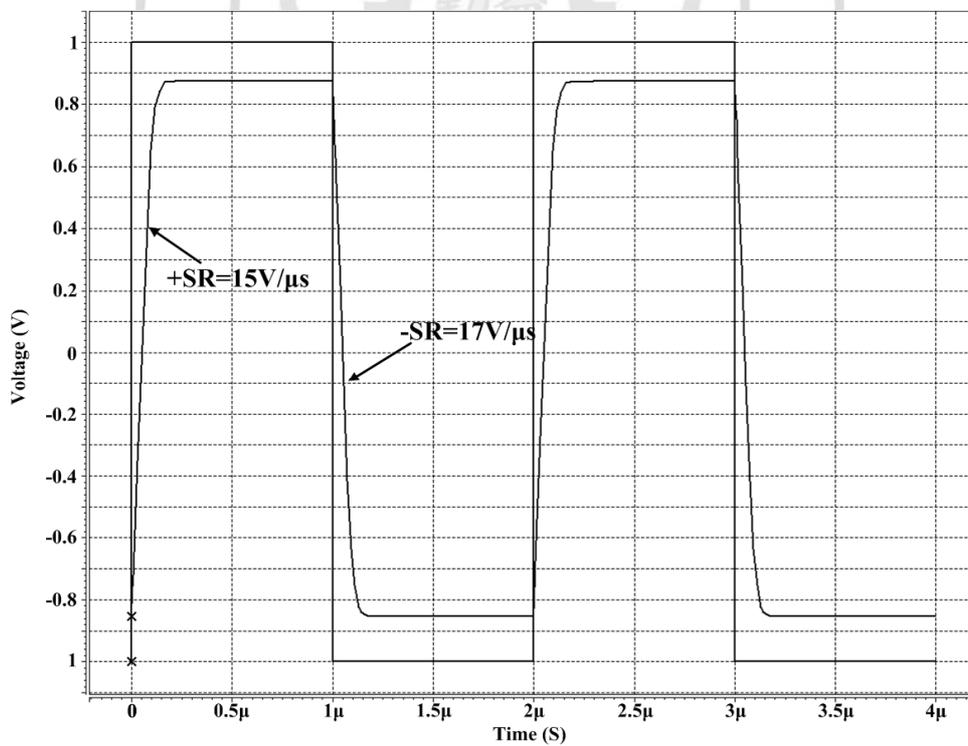


圖 3.31 軌對軌輸入組態之迴轉率(0.18 μ m)

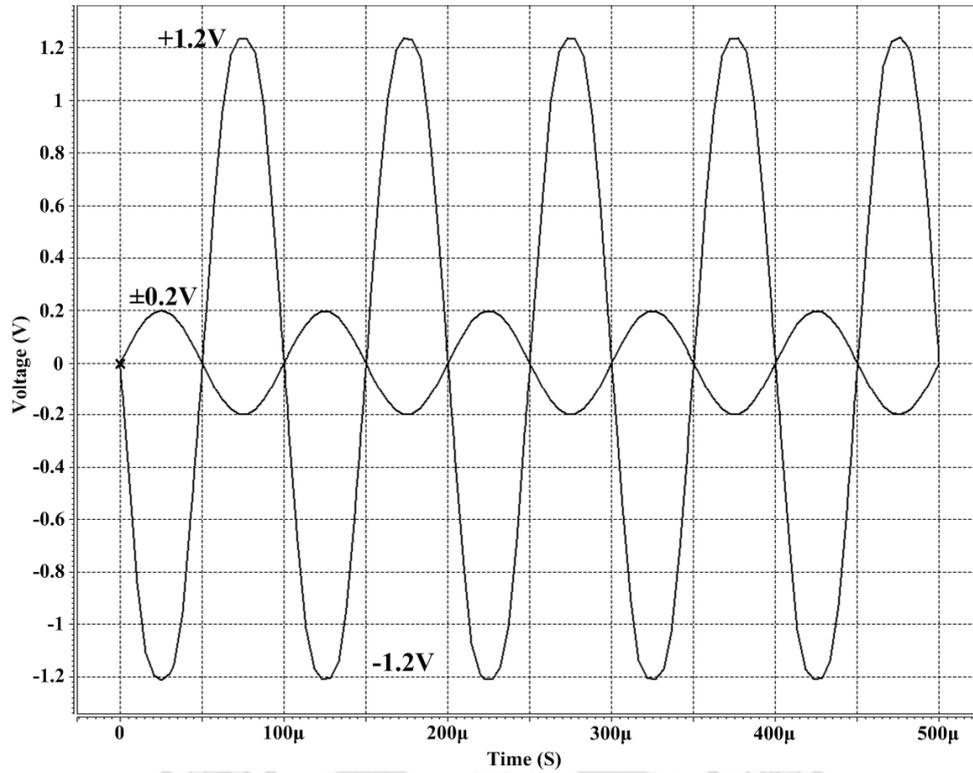


圖 3.32 軌對軌組態之輸出擺幅(0.18 μ m)

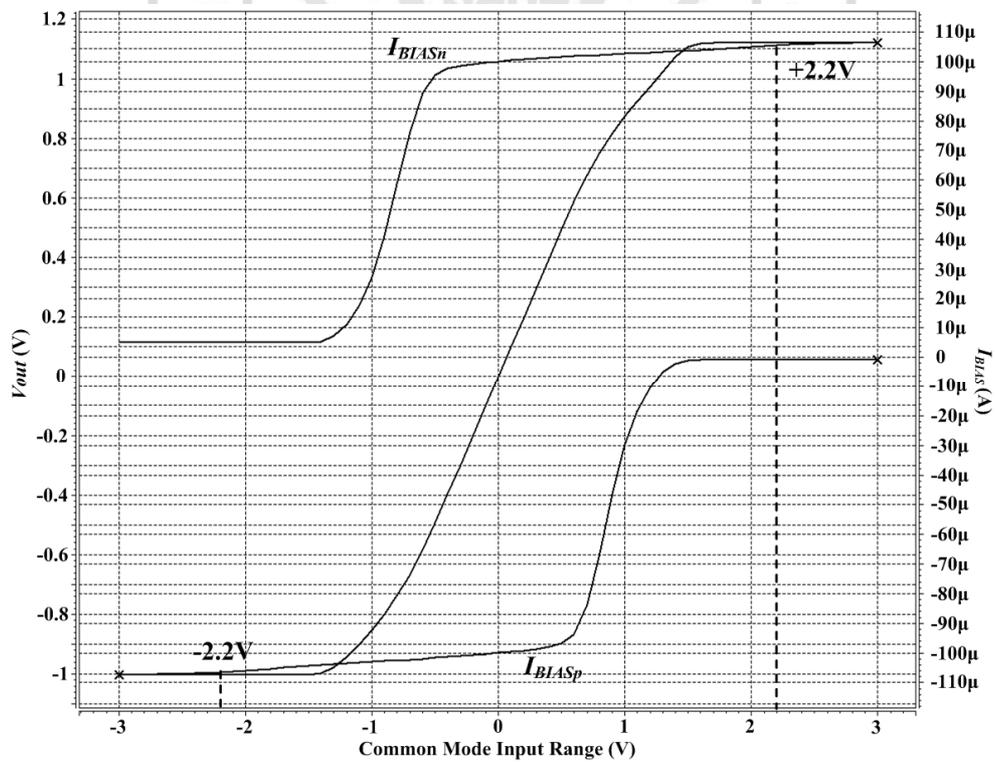


圖 3.33 軌對軌輸入組態之輸入共模範圍(0.18 μ m)

表 3.30 軌對軌輸入組態之初始設計效能模擬結果(0.18 μm)

Specification	Initial Design
Tech.	TSMC 0.18 μm
Supply Voltage	$\pm 1.5\text{V}$
DC Gain	60dB
Gain-Bandwidth	12MHz
Common Mode Rejection Ratio	42dB
Slew Rate	15V/ μs
Input Common Mode Range	$\pm 2.2\text{V}$
Output Swing	$\pm 1.2\text{V}$
Loading	5pF
Power dissipation	0.96mW

以下為使用 TSMC 0.35 μm 製程技術設計軌對軌輸入組態的模擬結果：

表 3.31 軌對軌輸入組態進行電晶體獨立操作點分析的結果(0.35 μm)

Device	M1&M2	M3&M4	M5	M6&M7
Tech.	TSMC 0.35 μm			
Size	80.6 $\mu\text{m}/1\mu$	10.5 $\mu\text{m}/1\mu$	22.7 $\mu\text{m}/1\mu$	38.9 $\mu\text{m}/1\mu$
Region	Saturation	Saturation	Saturation	Saturation
I_D	110.1202 μ	50.2576 μ	100.1852 μ	59.9535 μ
V_{GS}	-950.0000m	920.0000m	770.0000m	-1.0000
V_{DS}	-250.0000m	2.1700	580.0000m	-1.2500
V_{BS}	0	-580.0000m	0	250.0000m
V_{TH}	-748.6310m	715.9480m	568.7851m	-793.7683m
V_{OV}	-201.3690m	204.0520m	201.2149m	-206.2317m
g_m	855.5525 μ	417.9017 μ	862.2200 μ	486.9726 μ
g_{ds}	80.5540 μ	2.0969 μ	6.1860 μ	5.2565 μ
Device	M8&M9	M10	M11&12	M13&M14
Tech.	TSMC 0.35 μm			
Size	12.9 $\mu\text{m}/1\mu$	69.1 $\mu\text{m}/1\mu$	32.8 $\mu\text{m}/1\mu$	26.1 $\mu\text{m}/1\mu$
Region	Saturation	Saturation	Saturation	Saturation
I_D	59.9495 μ	100.0629 μ	50.0745 μ	110.2963 μ
V_{GS}	840.0000m	-950.0000m	-1.0300	770.0000m
V_{DS}	1.2500	-470.0000m	-2.2800	250.0000m
V_{BS}	-250.0000m	0	470.0000m	0
V_{TH}	636.8413m	-747.3145m	-826.7344m	568.7354m
V_{OV}	203.1587m	-200.6855m	203.2656m	201.2646m
g_m	506.5855 μ	816.0155 μ	413.0808 μ	922.9107 μ
g_{ds}	2.6343 μ	15.4346 μ	3.6199 μ	45.7849 μ

表 3.32 合成軌對軌輸入組態後的操作點分析結果(0.35 μ m)

Device	M1&M2	M3&M4	M5	M6&M7
Tech.	TSMC 0.35 μ m			
Size	80.6 μ /1 μ	10.5 μ /1 μ	22.7 μ /1 μ	38.9 μ /1 μ
Region	Saturation	Saturation	Saturation	Saturation
I_D	110.2895 μ	50.0934 μ	100.1871 μ	60.1894 μ
V_{GS}	-950.0000m	919.6908m	770.0000m	-997.8592
V_{DS}	-252.1408m	2.1676	580.3092m	-1.5425
V_{BS}	0	-580.3092 m	0	252.1408m
V_{TH}	-748.6140m	716.0258m	568.7844m	-792.0043m
V_{OV}	-201.3860m	203.6650m	201.2156m	-206.2317m
g_m	858.7732 μ	417.2395 μ	862.2338 μ	489.9297 μ
g_{ds}	77.7831 μ	2.0919 μ	6.1833 μ	4.8981 μ
Device	M8&M9	M10	M11&12	M13&M14
Tech.	TSMC 0.35 μ m			
Size	12.9 μ /1 μ	69.1 μ /1 μ	32.8 μ /1 μ	26.1 μ /1 μ
Region	Saturation	Saturation	Saturation	Saturation
I_D	60.1894 μ	100.0644 μ	50.0328 μ	110.2069 μ
V_{GS}	841.6204m	-950.0000m	-1.0299	770.0000m
V_{DS}	956.9920m	-470.0999m	-2.2818	248.0752m
V_{BS}	-248.3796 m	0	470.0999m	0
V_{TH}	637.0681m	-747.3137m	-826.7384m	568.7398m
V_{OV}	204.5523m	-202.6863m	203.1616m	201.2602m
g_m	506.7121 μ	816.0280 μ	412.9015 μ	921.2029 μ
g_{ds}	2.8140 μ	15.4320 μ	3.6174 μ	47.2737 μ

最後，以此基於 TSMC 0.35 μ m 製程技術之初始設計進行軌對軌輸入組態運算放大器各項規格的模擬，其模擬結果之波德圖與相位邊限呈現於圖 3.34、摺疊疊接組態之迴轉率呈現於圖 3.35、以反向放大器架構來模擬軌對軌輸入組態之輸出擺幅呈現於圖 3.36、軌對軌輸入組態之輸入共模範圍呈現於圖 3.37；並將基於 TSMC 0.35 μ m 製程技術之軌對軌輸入組態之初始設計效能模擬結果彙整紀錄於表 3.33。

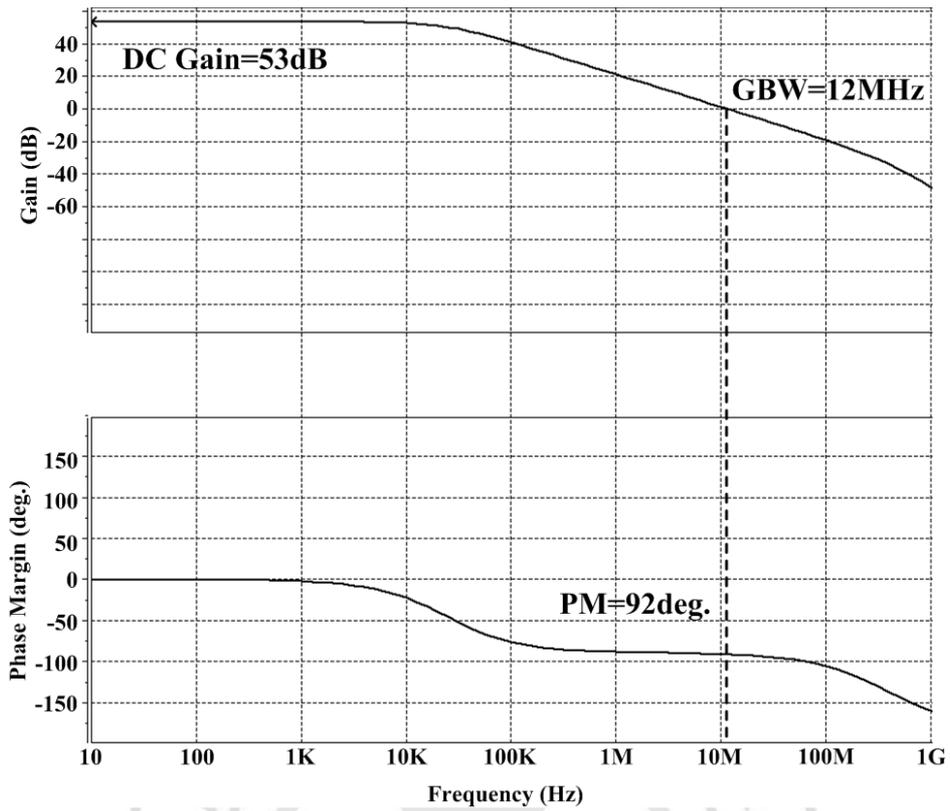


圖 3.34 軌對軌輸入組態之波德圖與相位邊限(0.35 μ m)

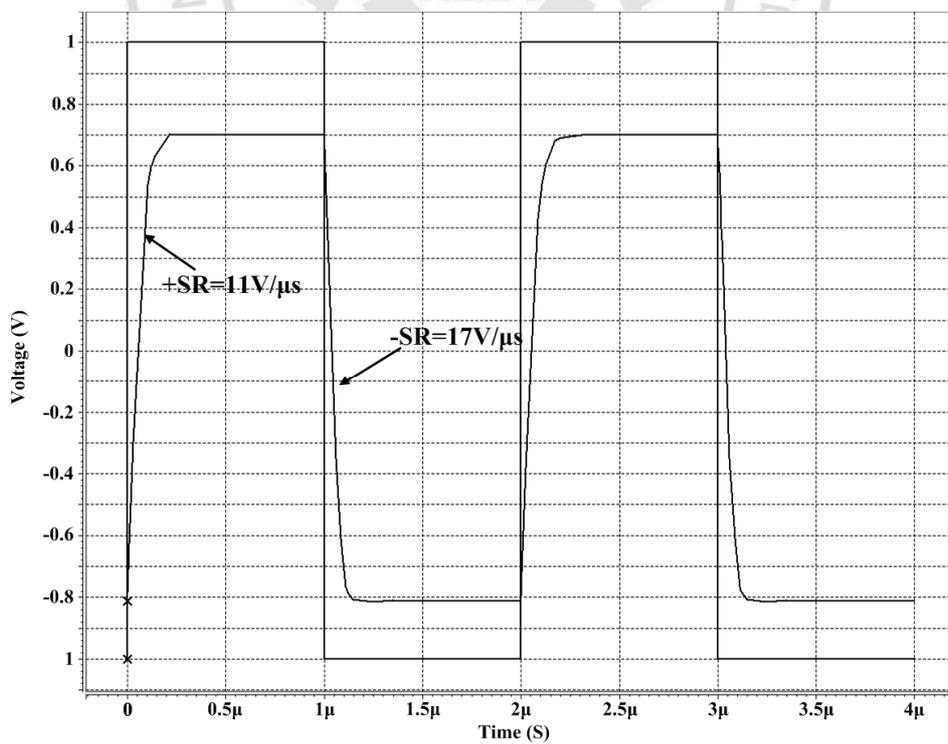


圖 3.35 軌對軌輸入組態之迴轉率(0.35 μ m)

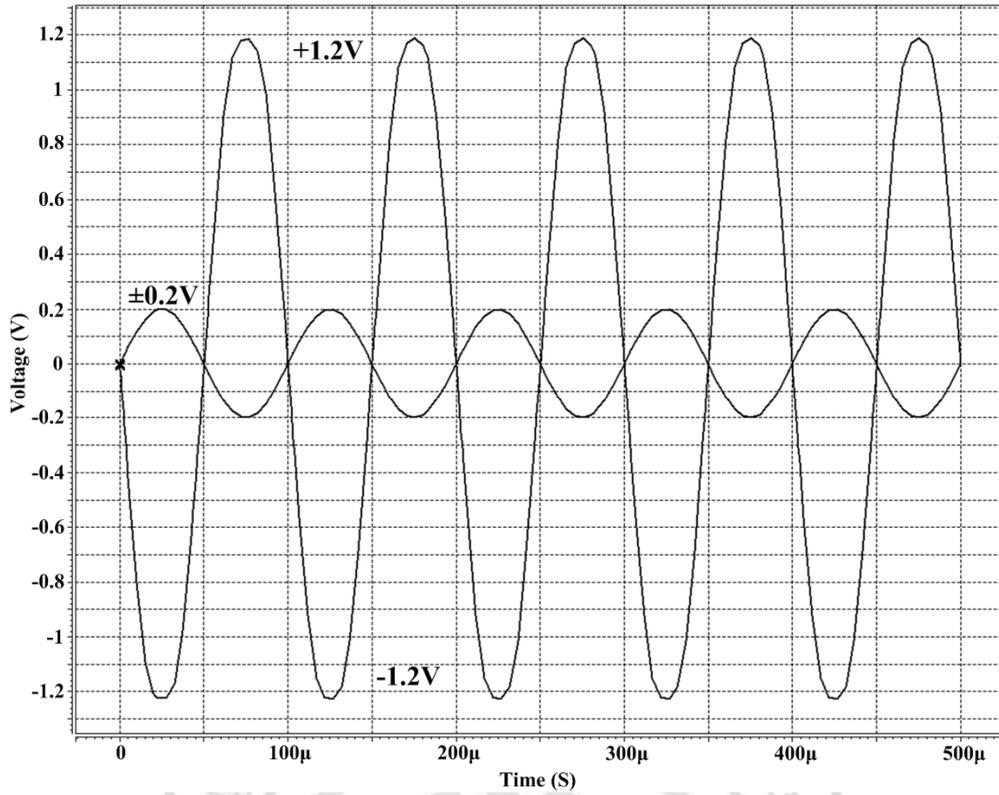


圖 3.36 軌對軌組態之輸出擺幅(0.35μm)

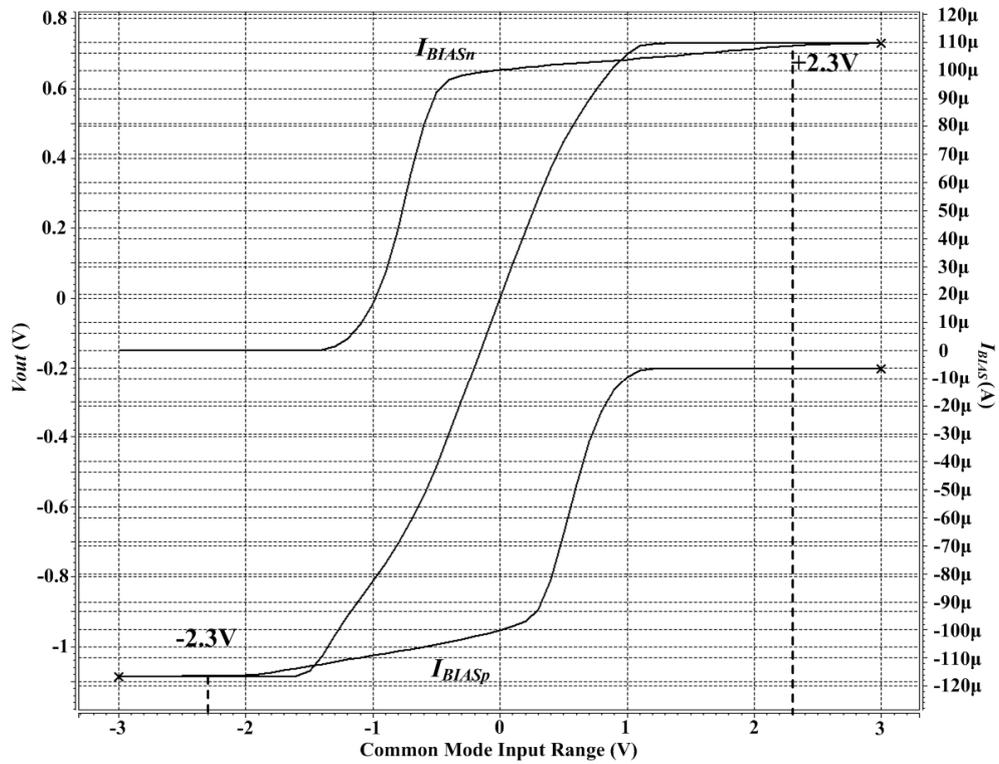


圖 3.37 軌對軌輸入組態之輸入共模範圍(0.35μm)

表 3.33 軌對軌輸入組態之初始設計效能模擬結果(0.35 μ m)

Specification	Initial Design
Tech.	TSMC 0.35 μ m
Supply Voltage	$\pm 1.5V$
DC Gain	53dB
Gain-Bandwidth	12MHz
Common Mode Rejection Ratio	33dB
Slew Rate	11V/ μ s
Input Common Mode Range	$\pm 2.3V$
Output Swing	$\pm 1.2V$
Loading	5pF
Power dissipation	0.96mW

3.6 討論

本章我們使用本文所提的設計方法來設計四種不同組態的運算放大器，分別為：兩級組態、疊接組態、摺疊疊接組態與軌對軌輸入組態共四種運算放大器；並分別以 TSMC 0.18 μ m 與 0.35 μ m 兩種製程技術去設計。由初始設計的效能模擬可以看出，本文所提出的設計方法確實能夠適用於這四種架構，而且也可應用於不同的製程技術。比較四種組態的電晶體獨立操作點分析與合成完整組態後的操作點分析可知，合成完整組態之後，各項參數都產生了一個微小的差值，這個差值是來自於汲極電流或是端點電壓的差量所造成的，其中，如軌對軌輸入組態，其許多的電晶體都是以閘極外接偏壓的方式連接，此種連接方式在電流產生差量時，汲—源極電壓會被迫變動而促使通道長度發生調變來補償電流的差量，因此，此種組態之汲—源極電壓的差量變化較大，故對於這類的電路結構，在使用此方法設計時，需選擇較精密的尺寸，以避免電流與電壓的差量變化使電晶體脫離飽和區。

第四章 電路最佳化

4.1 兩級組態之最佳化

比較上一章之表 3.1 與 3.8 可以看出在此例中 I_{BIAS} 必須調小以使 SR 與 GBW 減少並且連帶會使功率消耗降低，除此之外，還須調整的部分還有 PM(Phase Margin)，PM 可藉由縮小第二級電晶體的通道長度來降低增益使其增加，亦可以調整補償電容與電阻。接著比較表 3.1 與 3.11 可知，在 $0.35\mu\text{m}$ 製程下，電壓增益較低，故需增加增益級之通道長度來提升輸出阻抗。另外還須減少偏壓電流以降低功率消耗、頻寬及迴轉率。兩級組態在 $0.18\mu\text{m}$ 與 $0.35\mu\text{m}$ 製程下，經過微調後的元件尺寸與偏壓電流整理於表 4.1 中，其各項效能參數的模擬結果示於圖 4.1~4.8 並整理於表 4.2。

表 4.1 兩級組態最佳化後的元件尺寸與偏壓電流

Device	$0.18\mu\text{m}$	$0.35\mu\text{m}$
M1&M2	$8.8\mu\text{m}/1\mu\text{m}$	$55.2\mu\text{m}/4\mu\text{m}$
M3&M4	$1.7\mu\text{m}/1\mu\text{m}$	$17\mu\text{m}/4\mu\text{m}$
M5&M6	$2.7\mu\text{m}/1\mu\text{m}$	$8.9\mu\text{m}/1\mu\text{m}$
M7	$55.7\mu\text{m}/0.6\mu\text{m}$	$156\mu\text{m}/1\mu\text{m}$
M8	$9\mu\text{m}/0.6\mu\text{m}$	$48\mu\text{m}/1\mu\text{m}$
C_C	1.1pF	1.8pF
R_C	0.8K Ω	0.8K Ω
I_{BIAS}	26 μA	40 μA

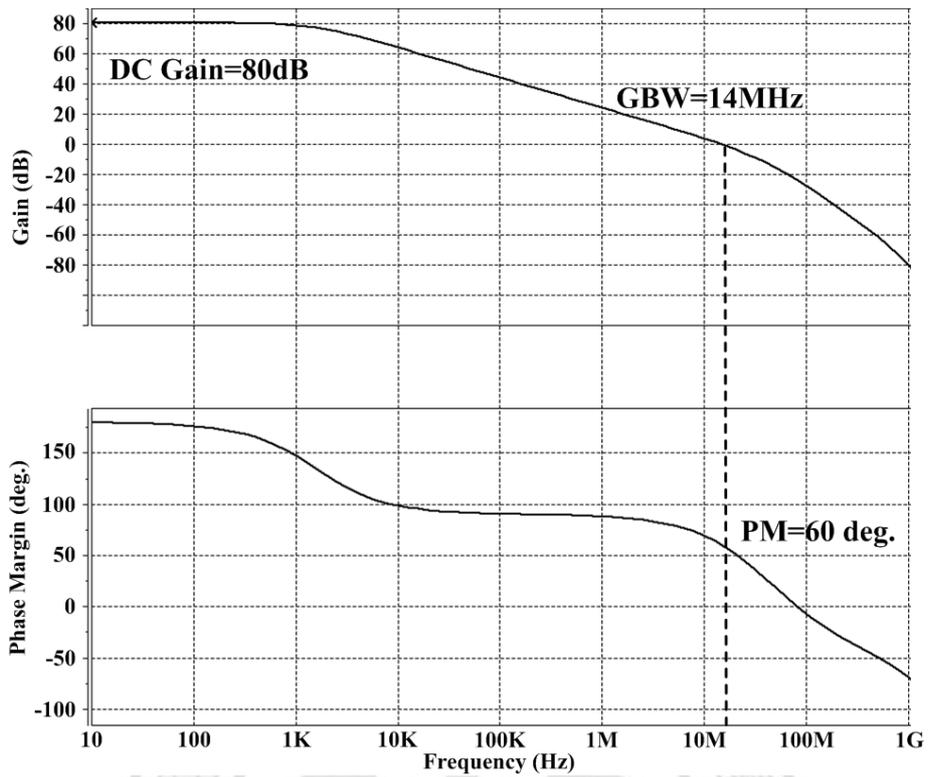


圖 4.1 最佳化後的兩級組態之波德圖與相位邊限(0.18 μ m)

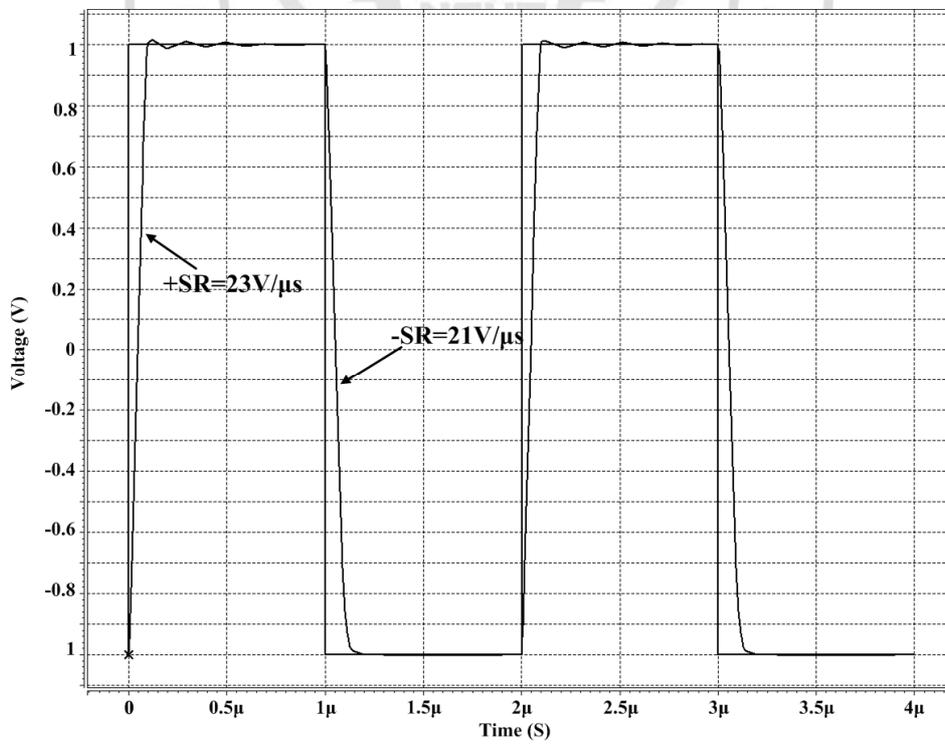


圖 4.2 最佳化後的兩級組態之迴轉率(0.18 μ m)

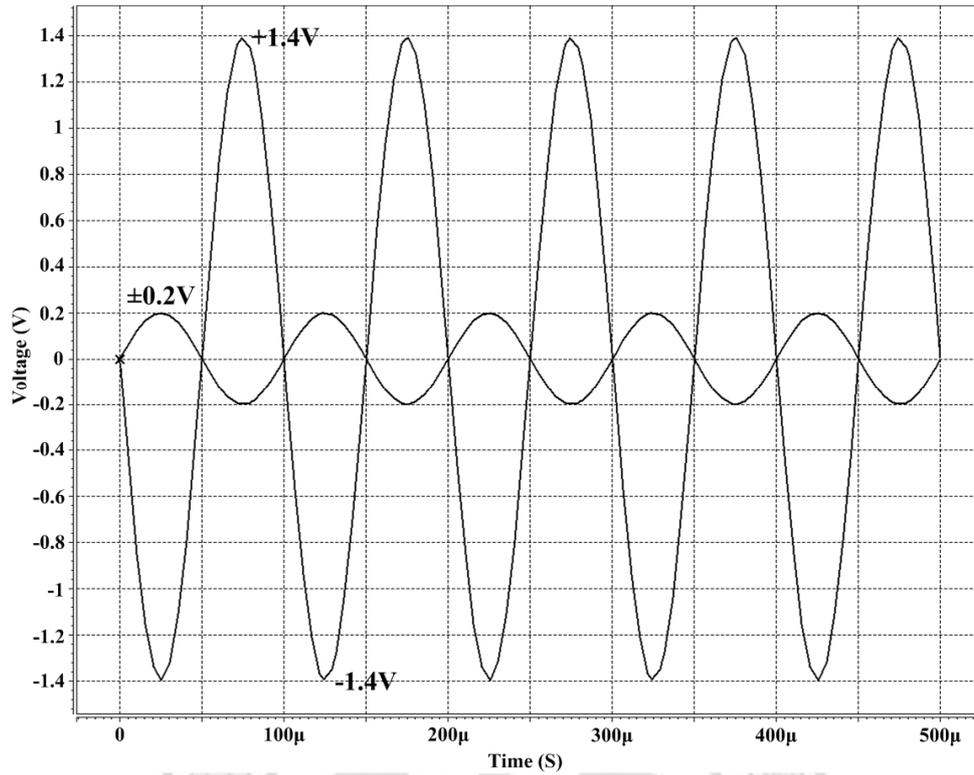


圖 4.3 最佳化後的兩級組態之輸出擺幅(0.18μm)

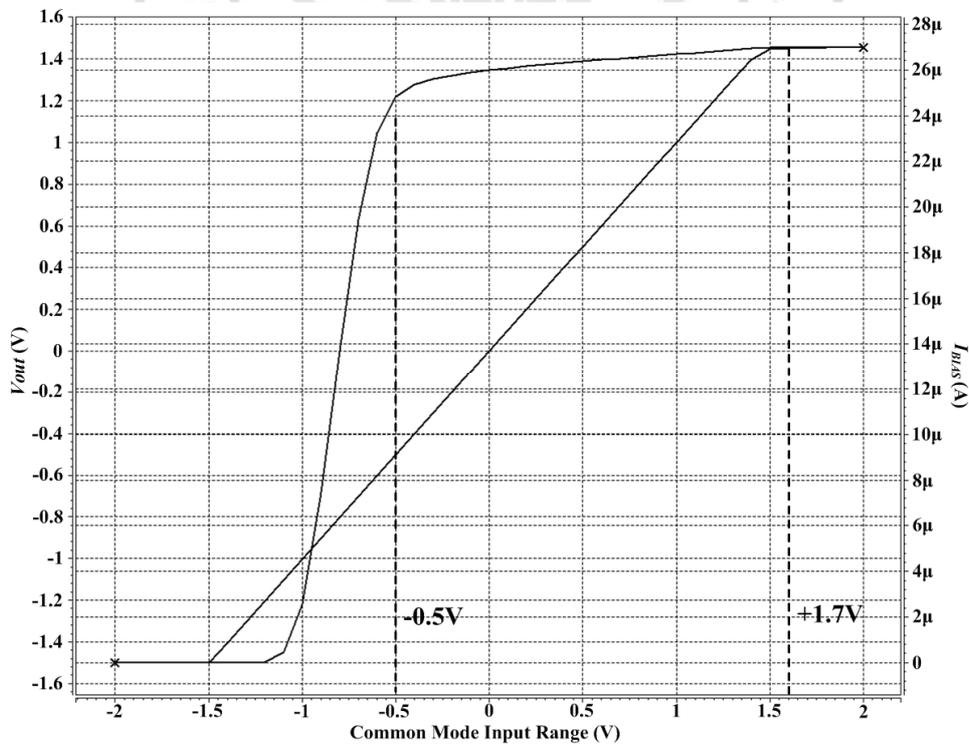


圖 4.4 最佳化後的兩級組態組態之輸入共模範圍(0.18μm)

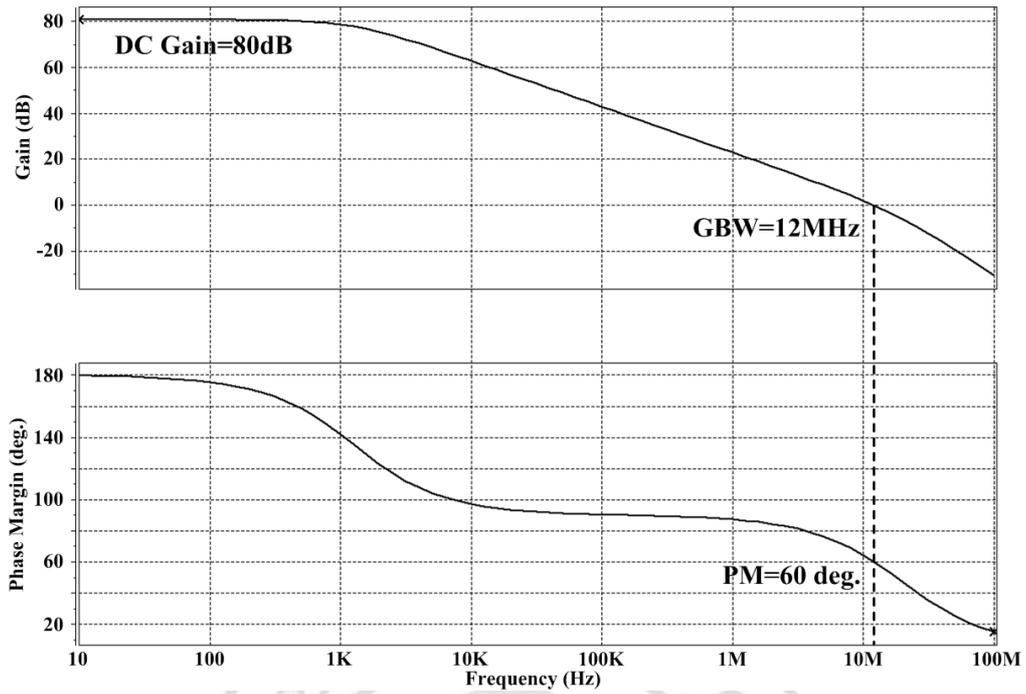


圖 4.5 最佳化後的兩級組態之波德圖與相位邊限(0.35 μ m)

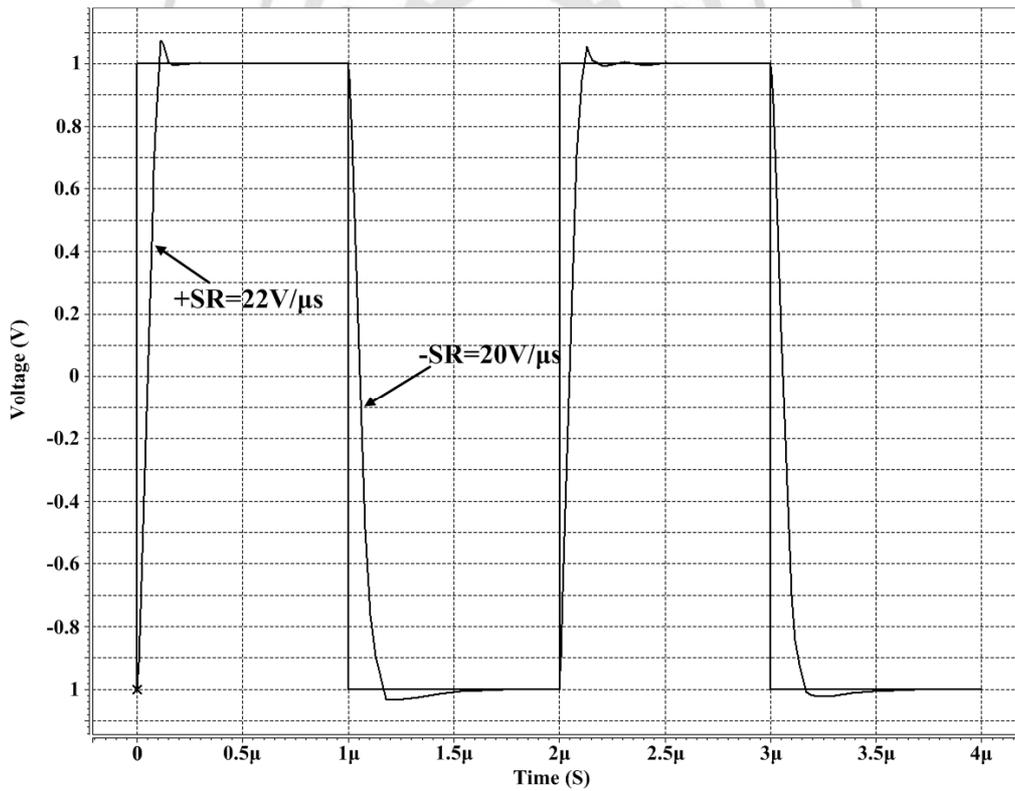


圖 4.6 最佳化後的兩級組態之迴轉率(0.35 μ m)

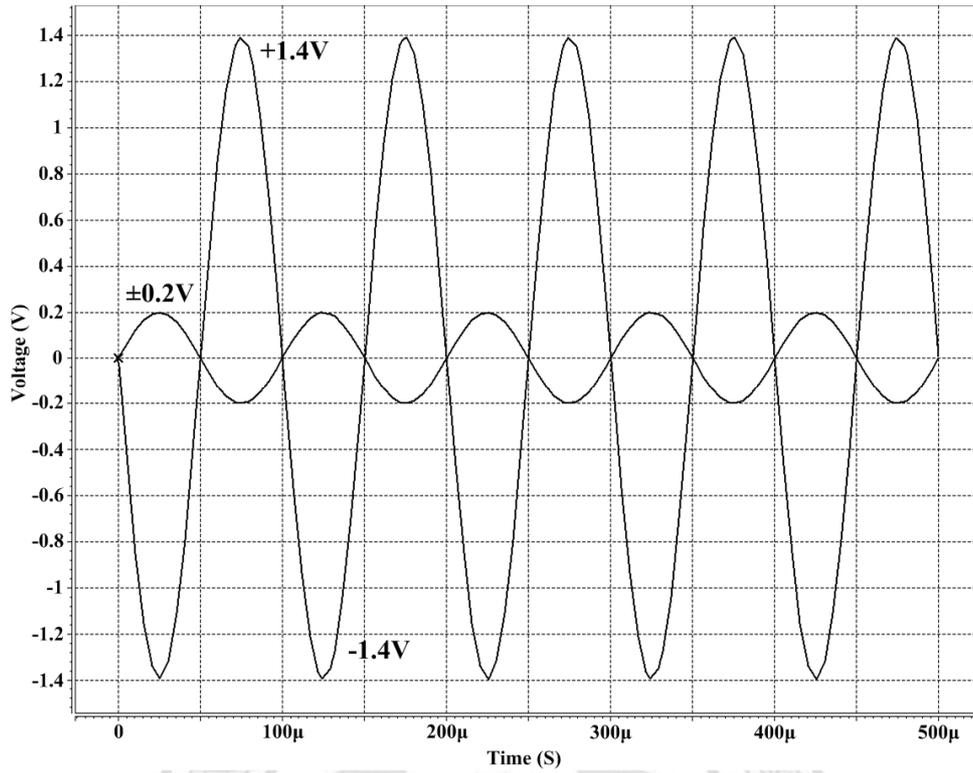


圖 4.7 最佳化後的兩級組態之輸出擺幅(0.35μm)

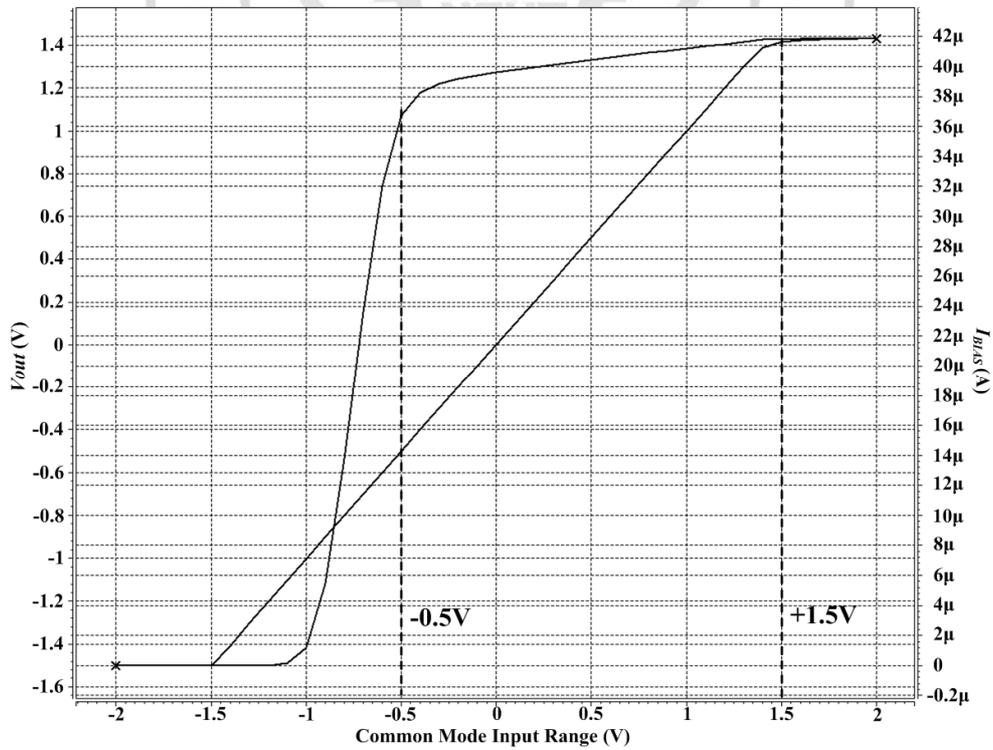


圖 4.8 最佳化後的兩級組態組態之輸入共模範圍(0.35μm)

表 4.2 最佳化後的兩級組態之效能模擬結果

Specification	Require	0.18 μ m	0.35 μ m
Supply Voltage	3V	$\pm 1.5V$	$\pm 1.5V$
DC Gain	≥ 80 dB	80dB	81dB
Phase Margin	$\geq 60^\circ$	60°	60°
Gain-Bandwidth	≥ 10 MHz	14MHz	12MHz
CMRR	≥ 80 dB	88dB	89dB
Slew Rate	$\geq 20V/\mu s$	$21V/\mu s$	$21V/\mu s$
ICMR	$\geq 2V$	$-0.5V \sim +1.7V$	$-0.5V \sim +1.5V$
Output Swing	$\geq 2V$	$\pm 1.4V$	$\pm 1.4V$
Loading	$\geq 5pF$	5pF	5pF
Power dissipation	$\leq 1mW$	0.6mW	0.9mW

4.2 疊接組態之最佳化

比較表 3.12 與 3.15、3.18，在 0.18 μ m 製程的部份須調整的有 GBW 和 SR，因此將 I_{BIAS} 調高並將電晶體的尺寸增大，如此會降低過驅電壓使轉導上升進而提升 GBW。而在 0.35 μ m 製程的部分我們要調整的有增益、GBW、CMRR 和 SR，同樣的，我們增加 I_{BIAS} 和電晶體尺寸來激勵這些效能。疊接組態在 0.18 μ m 與 0.35 μ m 製程下，經過微調後的元件尺寸與偏壓電流整理於表 4.3 中，其各項效能參數的模擬結果示於圖 4.9~4.16 並整理於表 4.4。

表 4.3 疊接組態最佳化後的元件尺寸與偏壓電流

Device	0.18 μ m.	0.35 μ m
M1&M2	51 μ m/0.5 μ m	78.8 μ m/1 μ m
M3&M4	56.8 μ m/0.5 μ m	80.4 μ m/1 μ m
M5&M6	9.3 μ m/0.5 μ m	30.4 μ m/1 μ m
M7&M8	7.5 μ m/0.5 μ m	35 μ m/1 μ m
M9&M10	15.9 μ m/0.5 μ m	59.8 μ m/1 μ m
I_{BIAS}	120 μ A	120 μ A

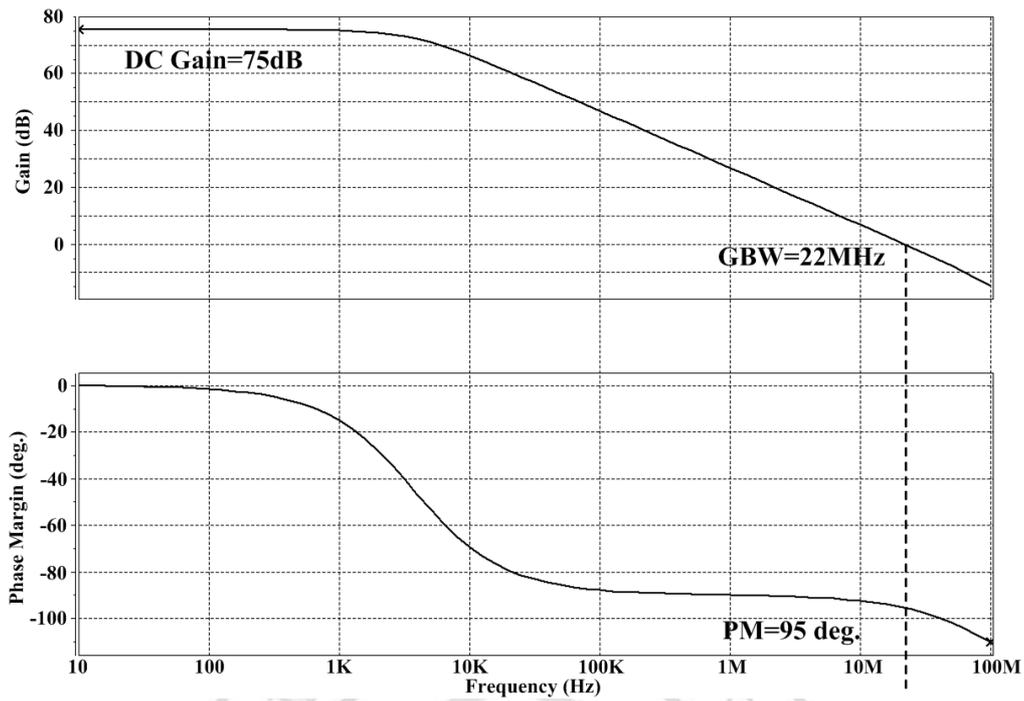


圖 4.9 最佳化後的疊接組態之波德圖與相位邊限(0.18 μ m)

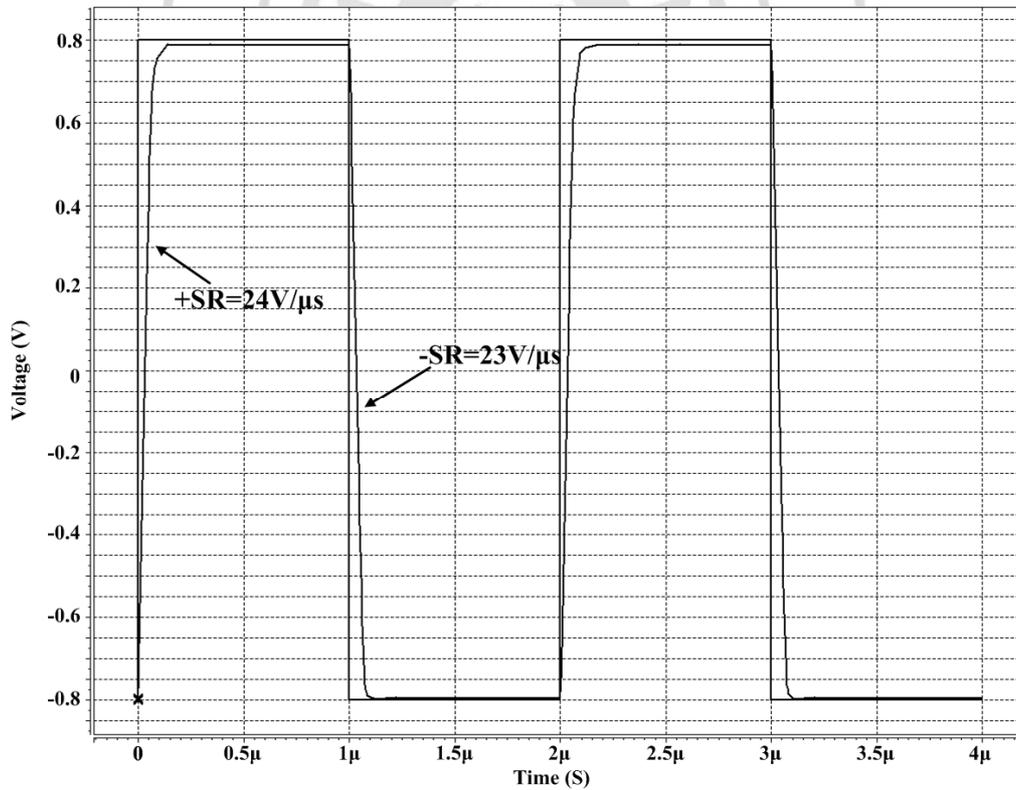


圖 4.10 最佳化後的疊接組態之迴轉率(0.18 μ m)

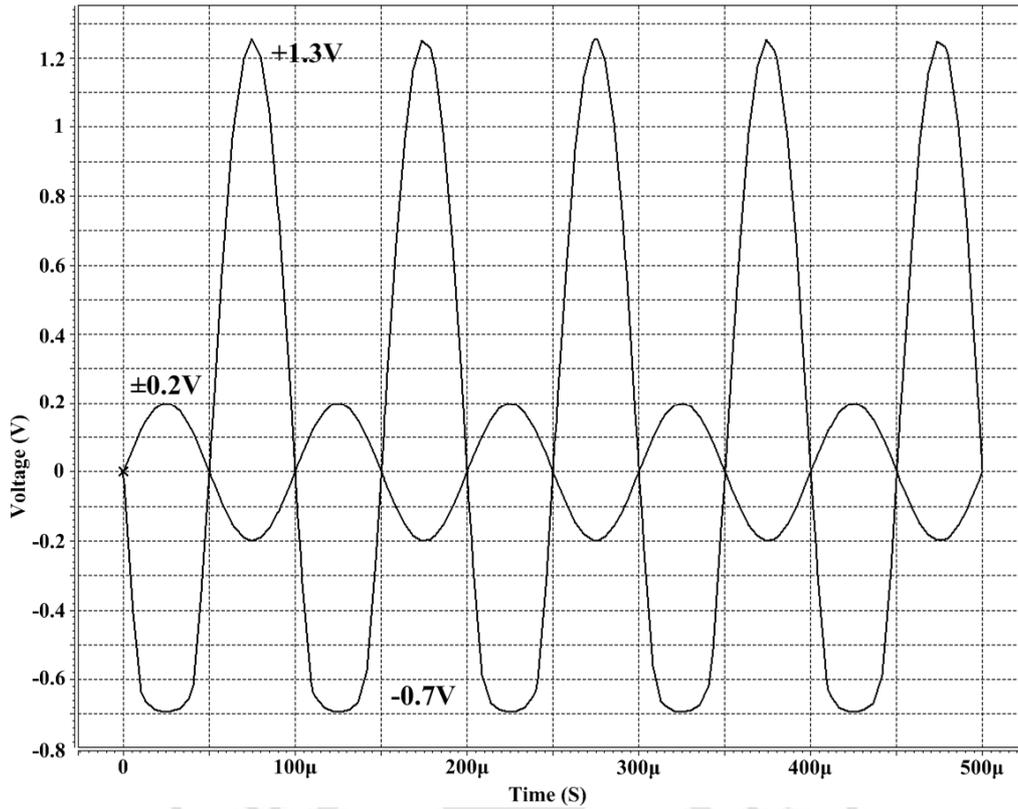


圖 4.11 最佳化後的疊接組態之輸出擺幅(0.18μm)

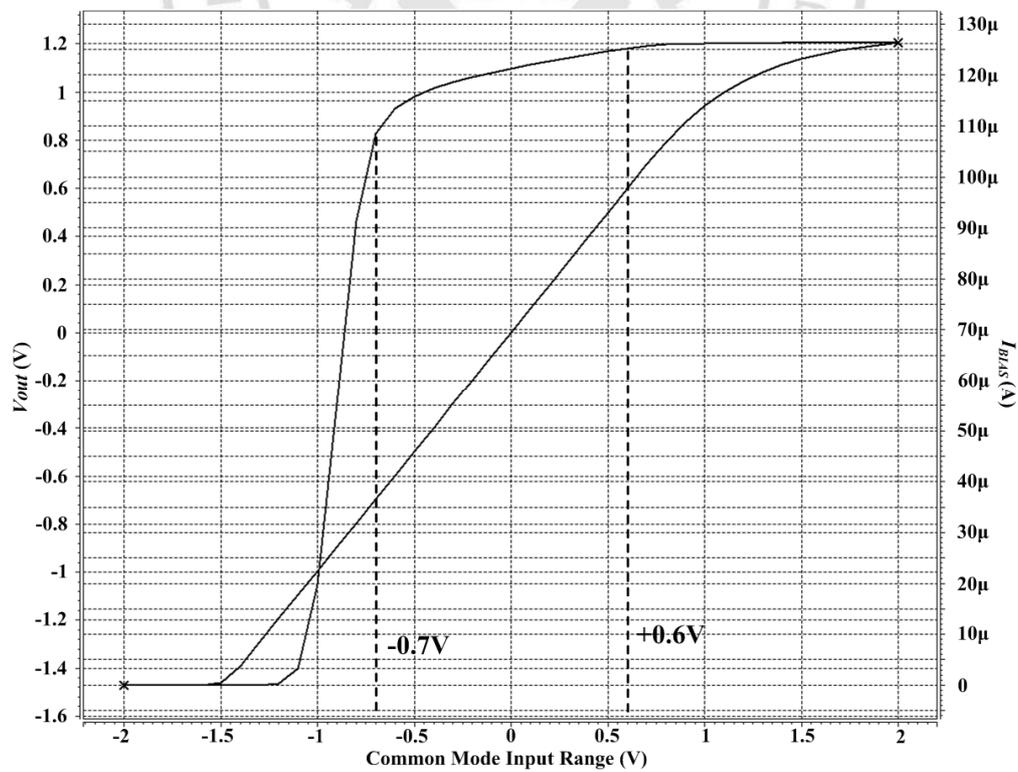


圖 4.12 最佳化後的疊接組態組態之輸入共模範圍(0.18μm)

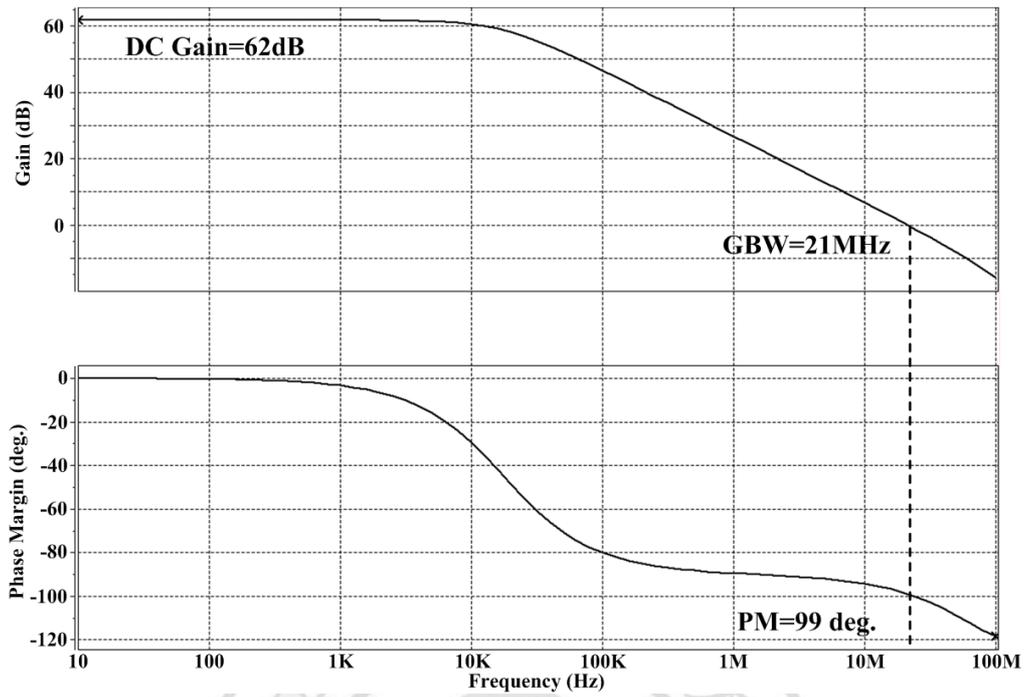


圖 4.13 最佳化後的疊接組態之波德圖與相位邊限(0.35 μ m)

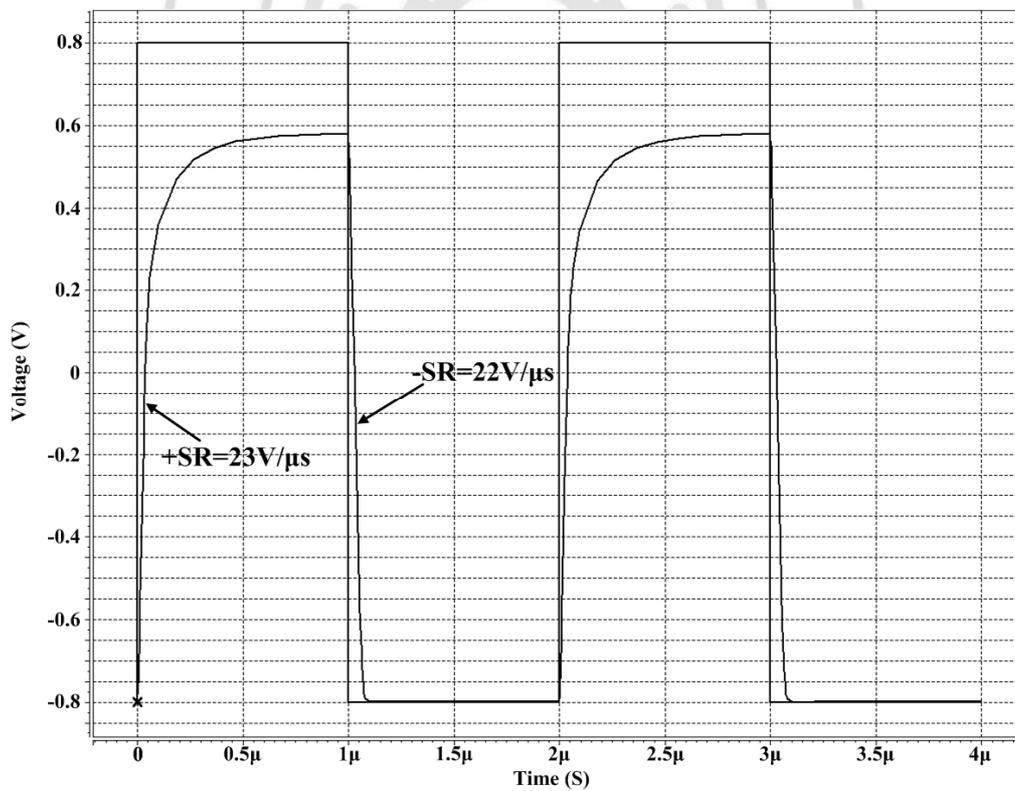


圖 4.14 最佳化後的疊接組態之迴轉率(0.35 μ m)

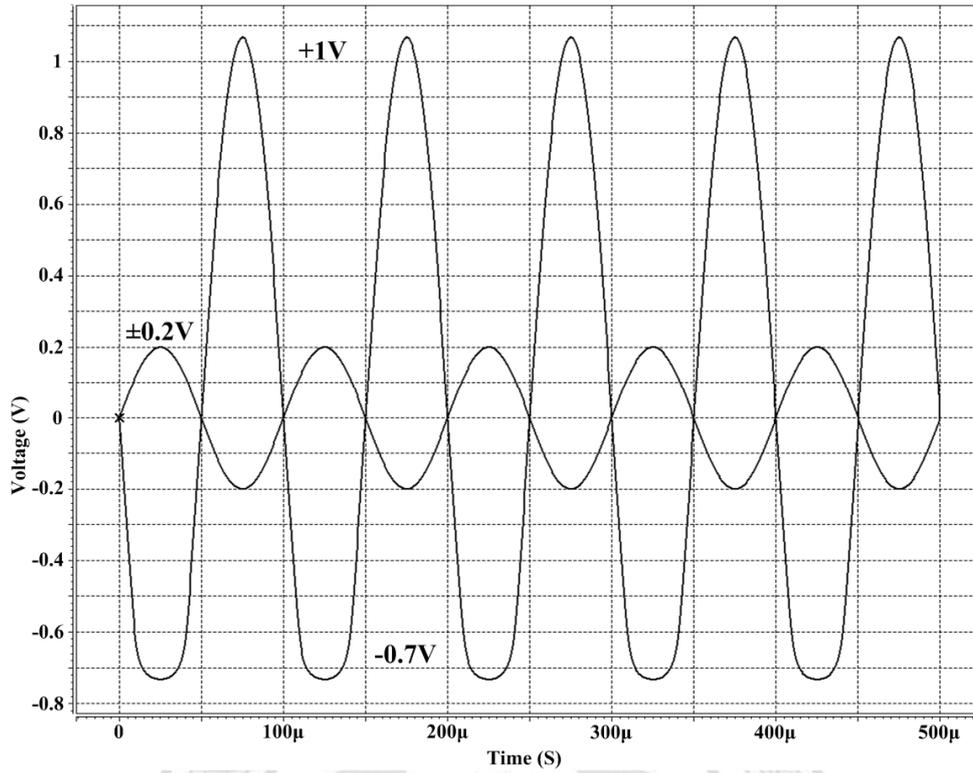


圖 4.15 最佳化後的疊接組態之輸出擺幅(0.35μm)

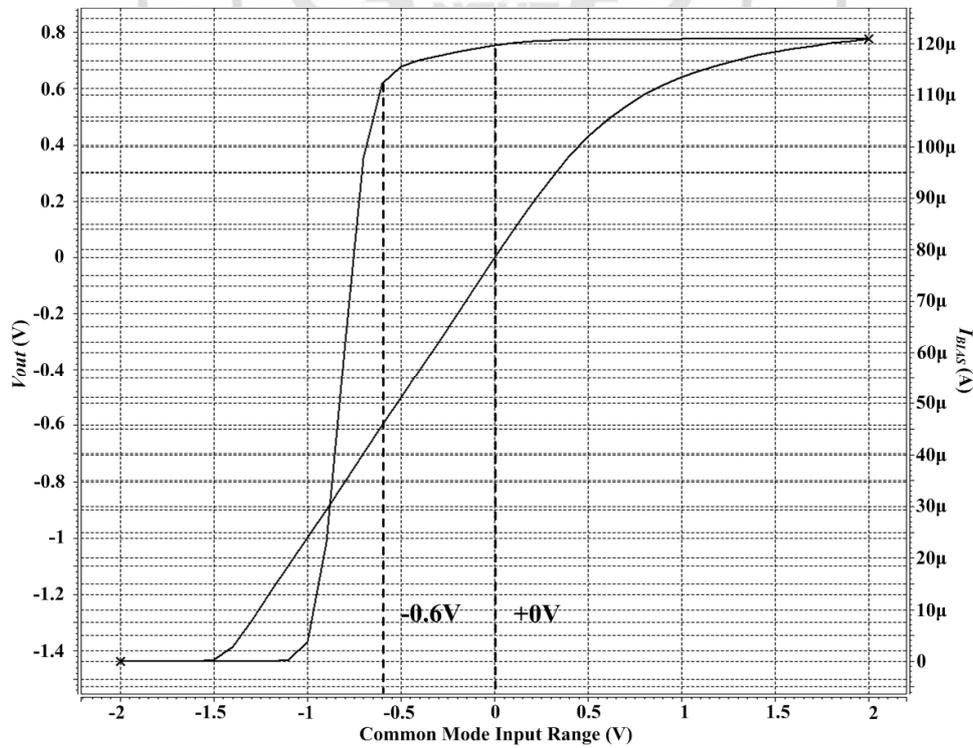


圖 4.16 最佳化後的疊接組態組態之輸入共模範圍(0.35μm)

表 4.4 最佳化後的疊接組態之效能模擬結果

Specification	Require	0.18 μ m	0.35 μ m
Supply Voltage	3V	$\pm 1.5V$	$\pm 1.5V$
DC Gain	≥ 60 dB	75dB	62dB
Gain-Bandwidth	≥ 20 MHz	22MHz	21MHz
CMRR	≥ 80 dB	114dB	102dB
Slew Rate	$\geq 20V/\mu s$	23V/ μs	22V/ μs
ICMR	$\geq 0.5V$	-0.7V~+0.6V	-0.6V~0V
Output Swing	$\geq 1V$	-0.7V~+1.3V	-0.7V~+1V
Loading	$\geq 5pF$	5pF	5pF
Power dissipation	$\leq 1mW$	0.72mW	0.72mW

4.3 摺疊疊接組態之最佳化

比較表 3.19、3.22 與 3.25，於 0.18 μ m 製程下所設計的電路，需調整的部份有 GBW 與 SR，因此將提升其偏壓電流以符合規格。而以 0.35 μ m 製程所設計的電路，需調整的部分除了 GBW 與 SR 之外，還需小幅的調高增益，因此，針對 0.35 μ m 製程所設計的電路，將同時提升偏壓電流與電晶體尺寸。摺疊疊接組態在 0.18 μ m 與 0.35 μ m 製程下，經過微調後的元件尺寸與偏壓電流整理於表 4.5 中，其各項效能參數的模擬結果示於圖 4.17~4.24 並整理於表 4.6。

表 4.5 摺疊疊接組態最佳化後的元件尺寸與偏壓電流

Device	0.18 μ m.	0.35 μ m
M1&M2	140 μ m/1 μ m	193 μ m/1.5 μ m
M3&M4	8.6 μ m/1 μ m	32 μ m/1.5 μ m
M5&M6	19 μ m/1 μ m	54 μ m/1.5 μ m
M7&M8	70.7 μ m/1 μ m	103 μ m/1.5 μ m
M9&M10	13 μ m/1 μ m	33 μ m/1.5 μ m
M11&M12	12.6 μ m/1 μ m	32 μ m/1.5 μ m
I_B	200 μ A	190 μ A
I_{BIAS}	180 μ A	200 μ A

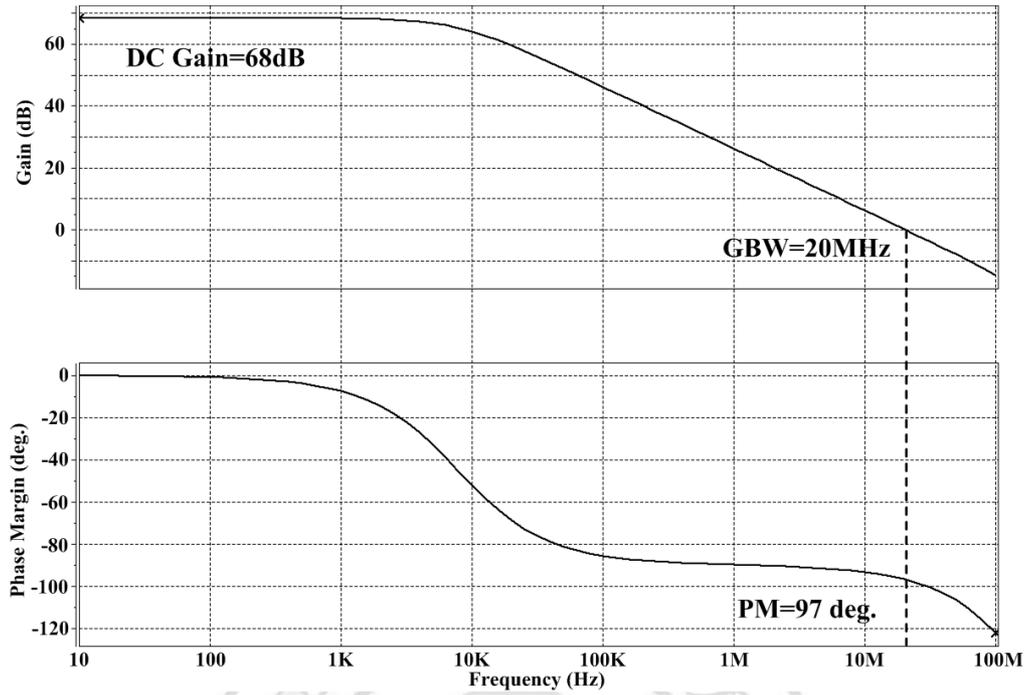


圖 4.17 最佳化後的摺疊疊接組態之波德圖與相位邊限(0.18 μ m)

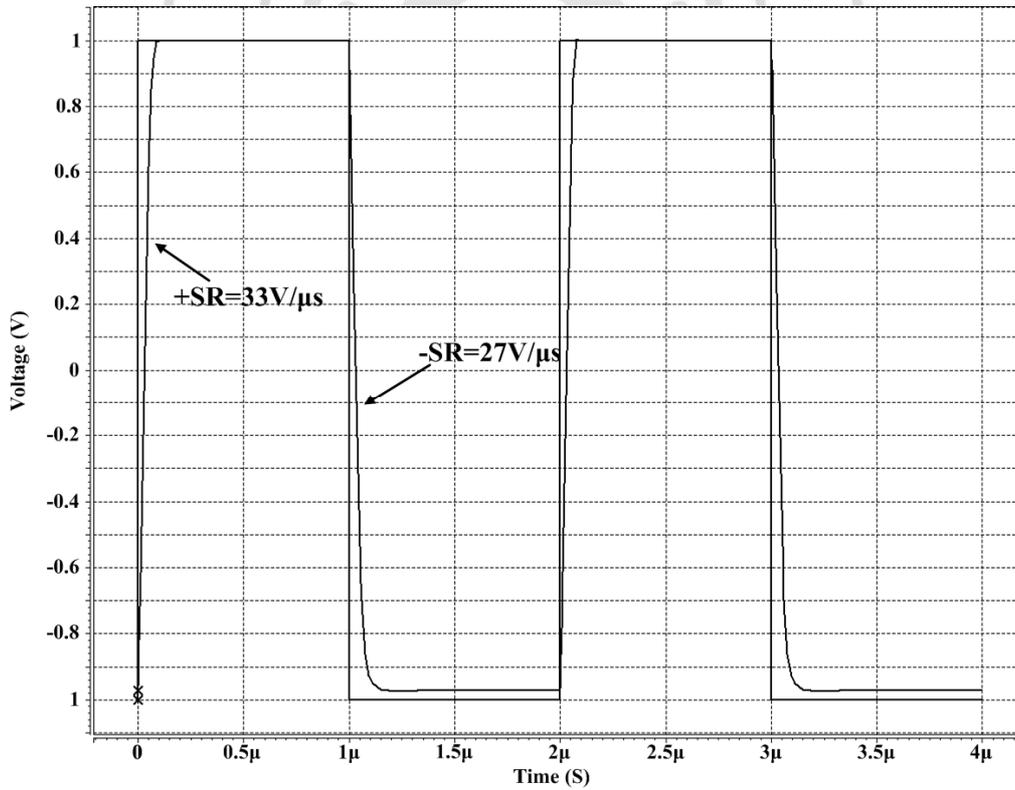


圖 4.18 最佳化後的摺疊疊接組態之迴轉率(0.18 μ m)

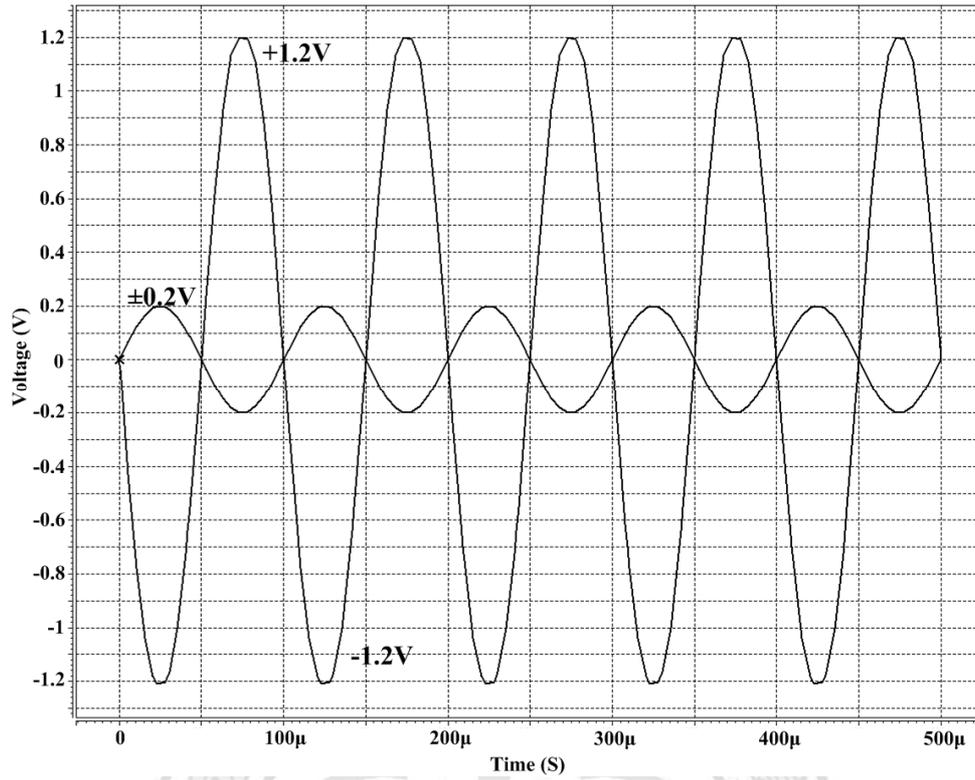


圖 4.19 最佳化後的摺疊疊接組態之輸出擺幅(0.18μm)

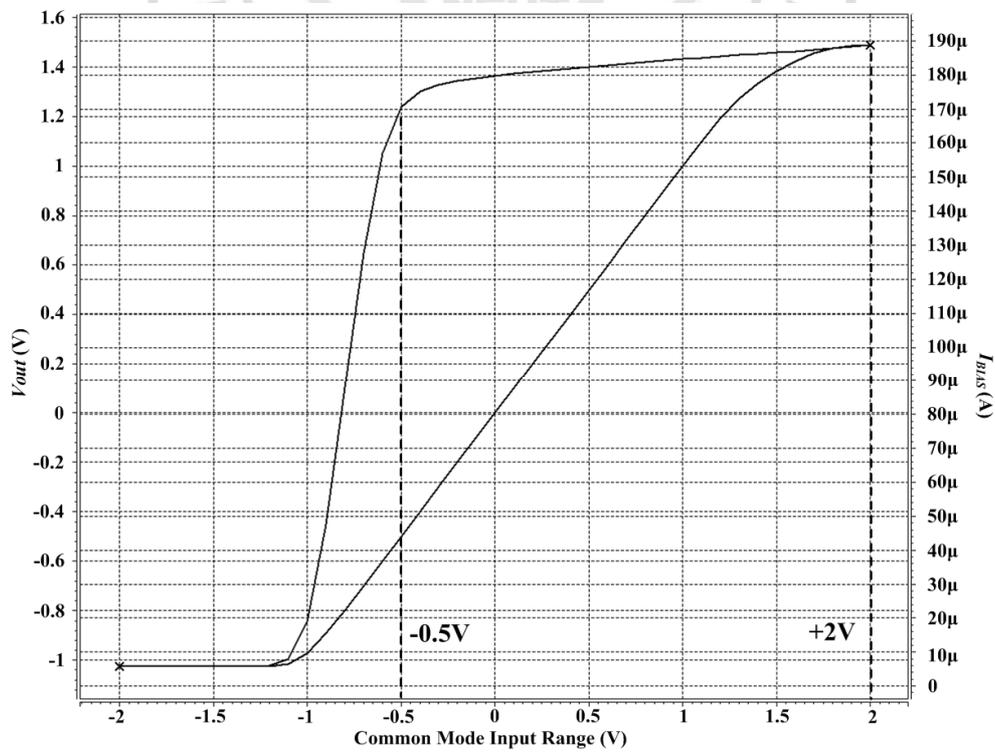


圖 4.20 最佳化後的摺疊疊接組態組態之輸入共模範圍(0.18μm)

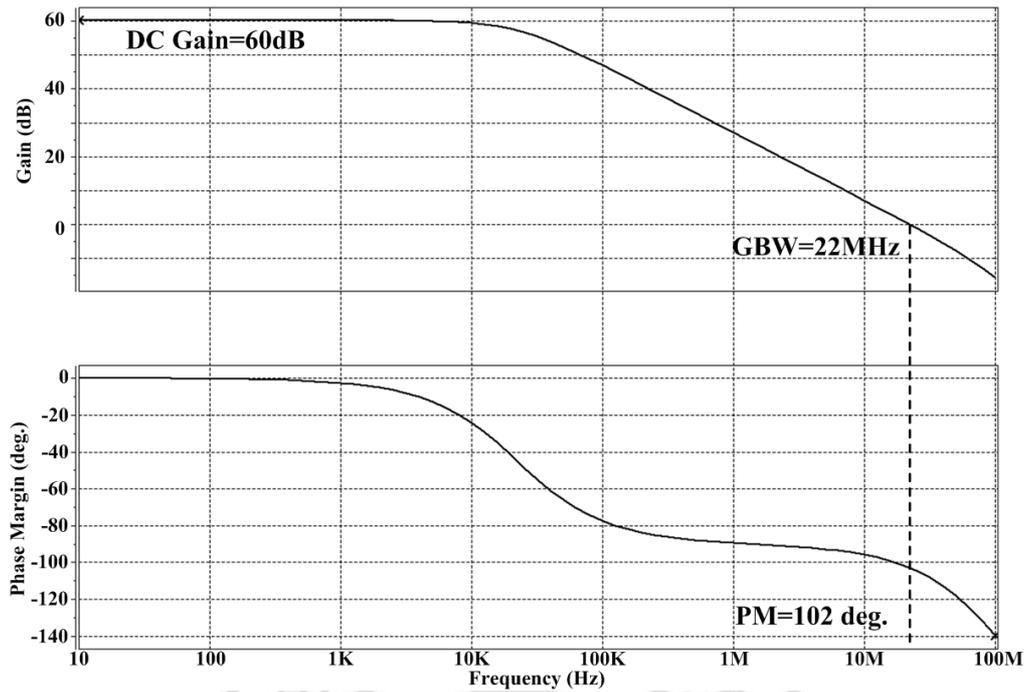


圖 4.21 最佳化後的摺疊疊接組態之波德圖與相位邊限(0.35 μ m)

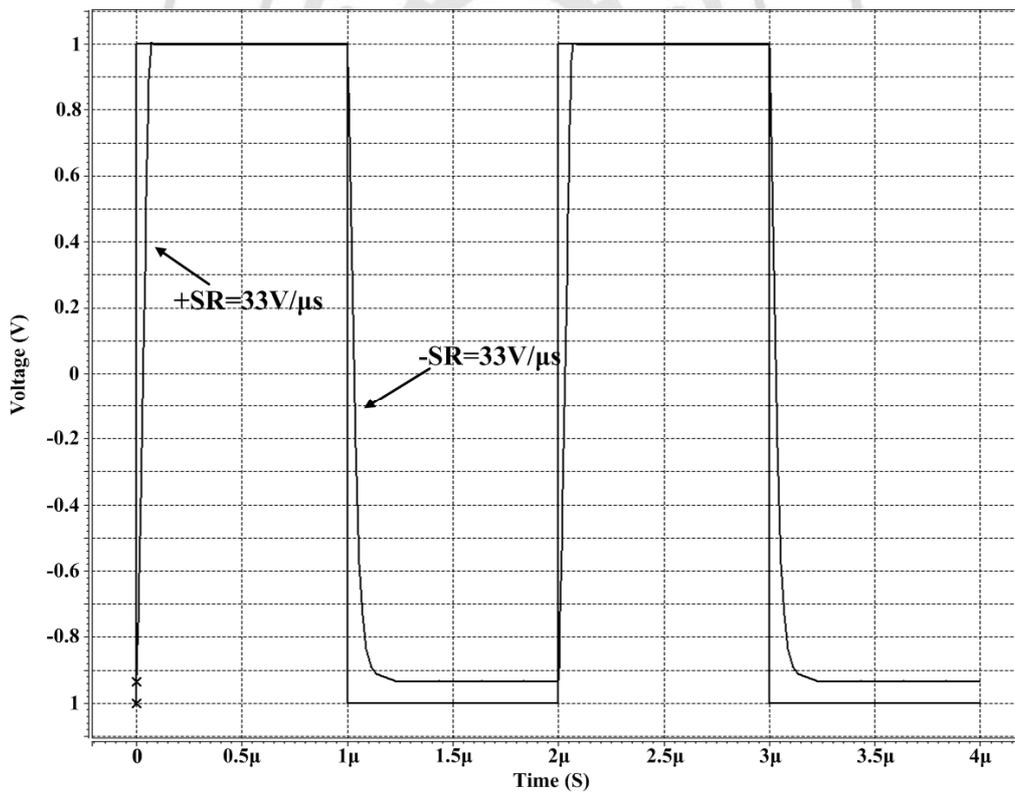


圖 4.22 最佳化後的摺疊疊接組態之迴轉率(0.35 μ m)

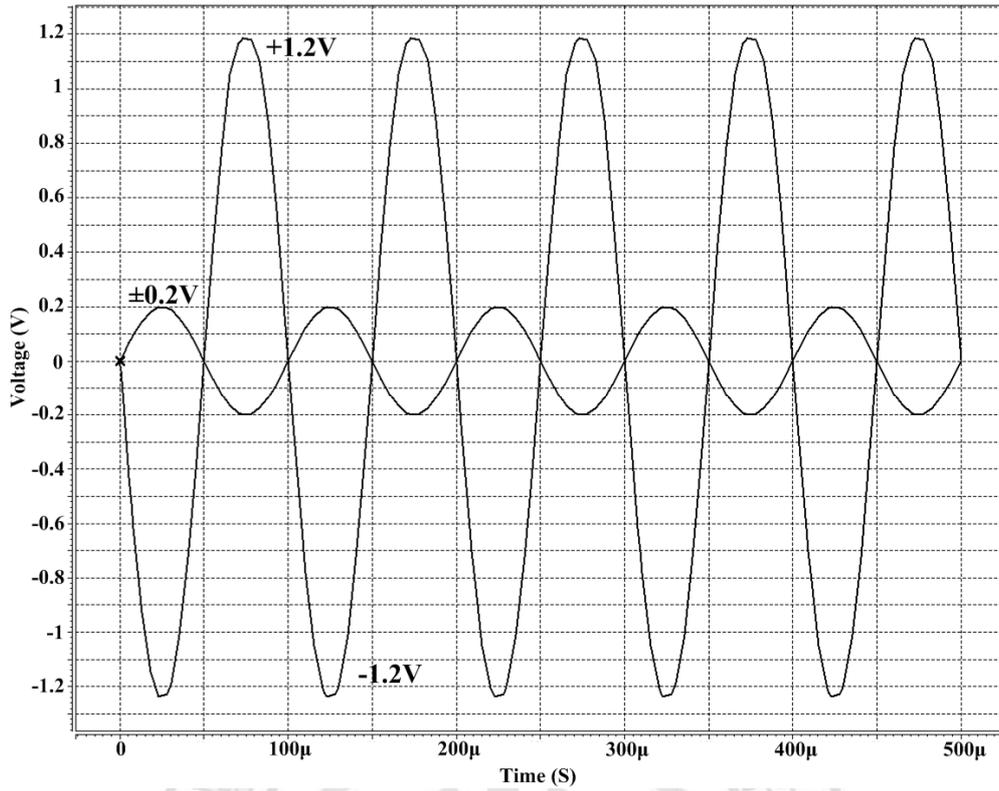


圖 4.23 最佳化後的摺疊疊接組態之輸出擺幅(0.35 μ m)

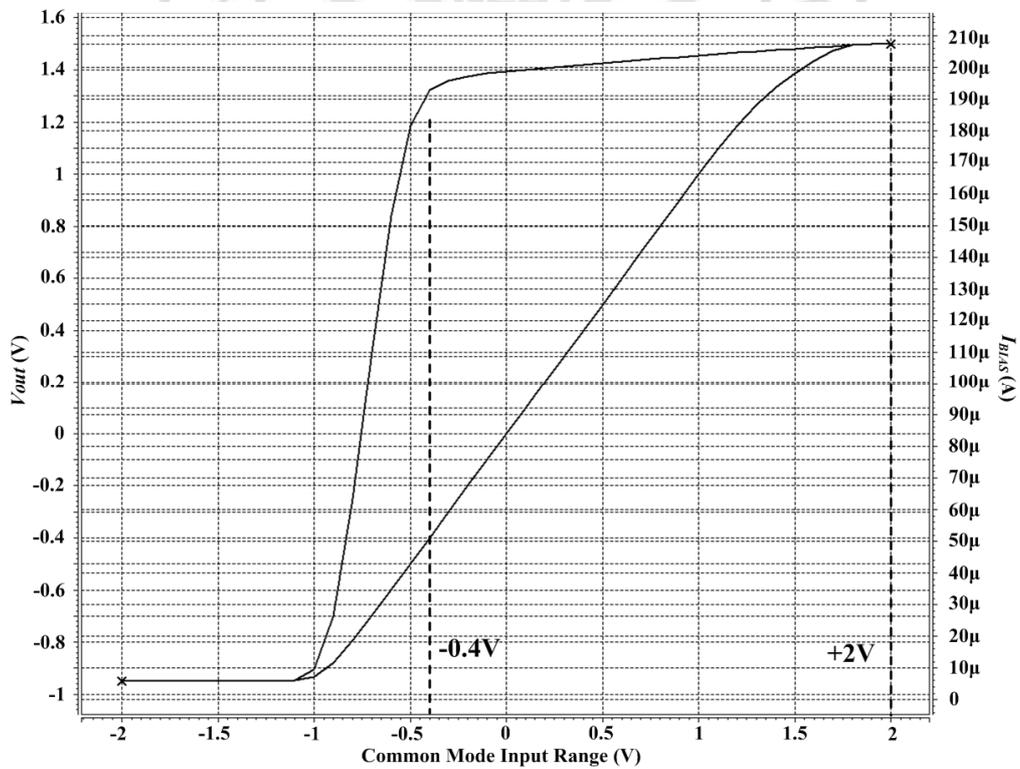


圖 4.24 最佳化後的摺疊疊接組態組態之輸入共模範圍(0.35 μ m)

表 4.6 最佳化後的摺疊疊接組態之效能模擬結果

Specification	Require	0.18 μm	0.35 μm
Supply Voltage	3V	$\pm 1.5\text{V}$	$\pm 1.5\text{V}$
DC Gain	$\geq 60\text{ dB}$	68dB	60dB
Gain-Bandwidth	$\geq 20\text{MHz}$	20MHz	22MHz
CMRR	$\geq 80\text{ dB}$	112dB	102dB
Slew Rate	$\geq 20\text{V}/\mu\text{s}$	27V/ μs	33V/ μs
ICMR	$\geq 2\text{V}$	-0.5V~+2V	-0.4V~+2V
Output Swing	$\geq 1\text{V}$	$\pm 1.2\text{V}$	$\pm 1.2\text{V}$
Loading	$\geq 5\text{pF}$	5pF	5pF
Power dissipation	$\leq 2\text{mW}$	1.74mW	1.74mW

4.4 軌對軌輸入組態

比較表 3.26、3.29 與 3.32，於 0.18 μm 製程下所設計的電路，需調整的部份有 GBW 和 SR，因此將提升其偏壓電流以符合規格。而以 0.35 μm 製程所設計的電路，需調整的部分除了 GBW 與 SR 之外，還需小幅的調高增益與 CMRR，因此將同時提升偏壓電流與電晶體尺寸，並對兩組差動對進行微調。軌對軌輸入組態在 0.18 μm 與 0.35 μm 製程下，經過微調後的元件尺寸與偏壓電流整理於表 4.7 中，其各項效能參數的模擬結果示於圖 4.25~4.32 並整理於表 4.8。

表 4.7 軌對軌輸入組態最佳化後的元件尺寸與偏壓電流

Device	0.18 μm .	0.35 μm
M1&M2	155.4 $\mu\text{m}/1\mu\text{m}$	161.2 $\mu\text{m}/1\mu\text{m}$
M3&M4	7 $\mu\text{m}/1\mu\text{m}$	42 $\mu\text{m}/1\mu\text{m}$
M5	21.2 $\mu\text{m}/1\mu\text{m}$	45.4 $\mu\text{m}/1\mu\text{m}$
M6&M7	85.4 $\mu\text{m}/1\mu\text{m}$	124 $\mu\text{m}/2\mu\text{m}$
M8&M9	12.4 $\mu\text{m}/1\mu\text{m}$	73 $\mu\text{m}/2\mu\text{m}$
M10	135.8 $\mu\text{m}/1\mu\text{m}$	138.2 $\mu\text{m}/1\mu\text{m}$
M11&M12	86 $\mu\text{m}/1\mu\text{m}$	131.2 $\mu\text{m}/1\mu\text{m}$
M13&M14	24.6 $\mu\text{m}/1\mu\text{m}$	52.2 $\mu\text{m}/1\mu\text{m}$
I_B	220 μA	220 μA
I_{BIAS}	200 μA	200 μA

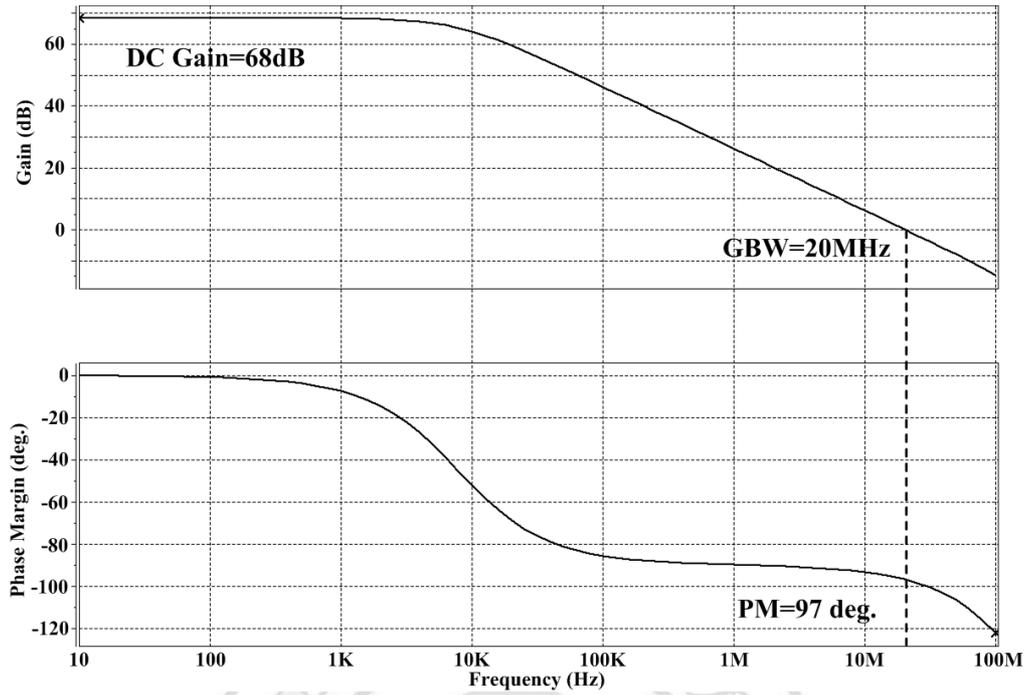


圖 4.25 最佳化後的軌對軌輸入組態之波德圖與相位邊限(0.18 μ m)

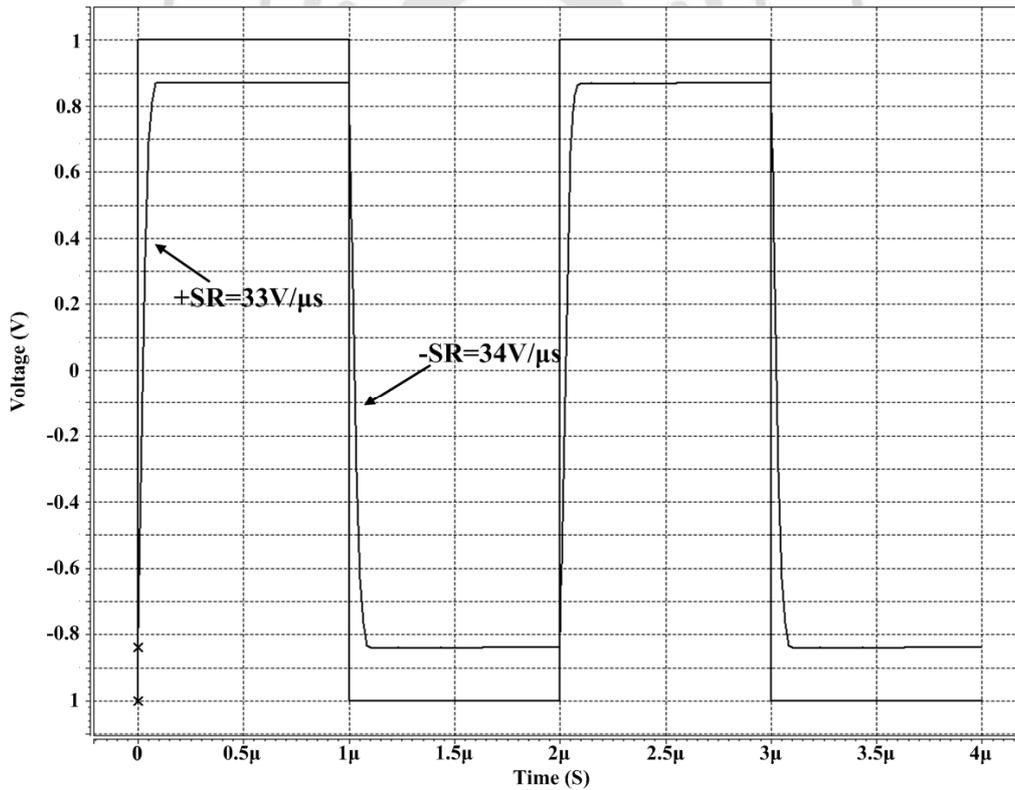


圖 4.26 最佳化後的軌對軌輸入組態之迴轉率(0.18 μ m)

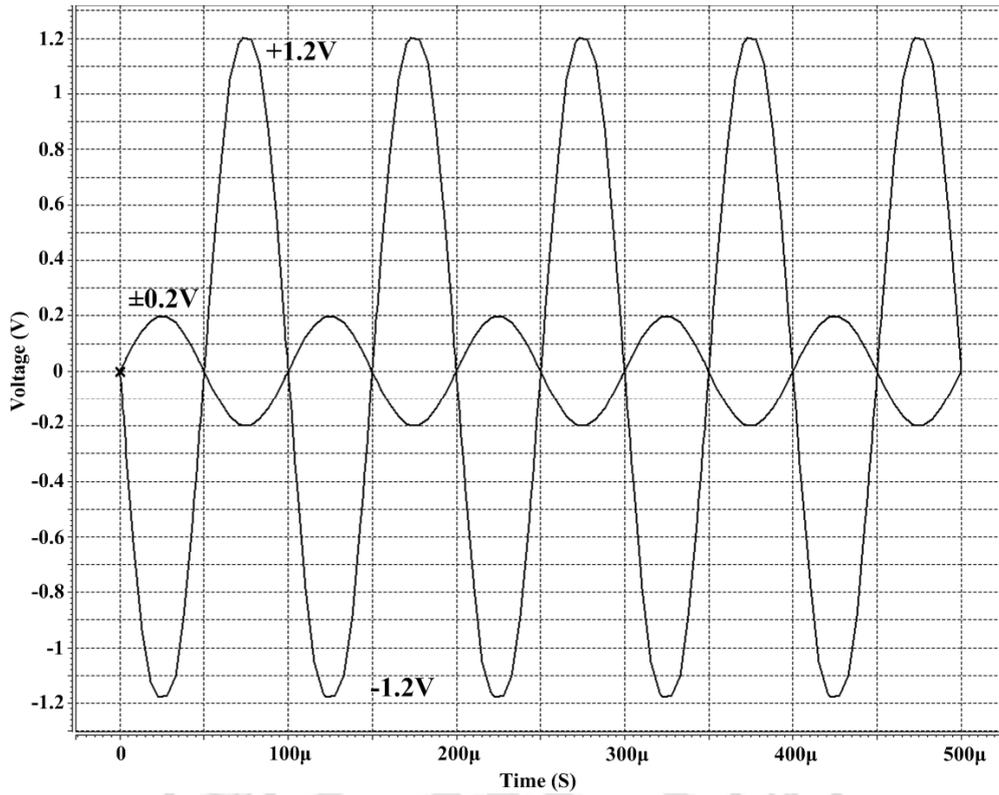


圖 4.27 最佳化後的軌對軌輸入組態之輸出擺幅(0.18μm)

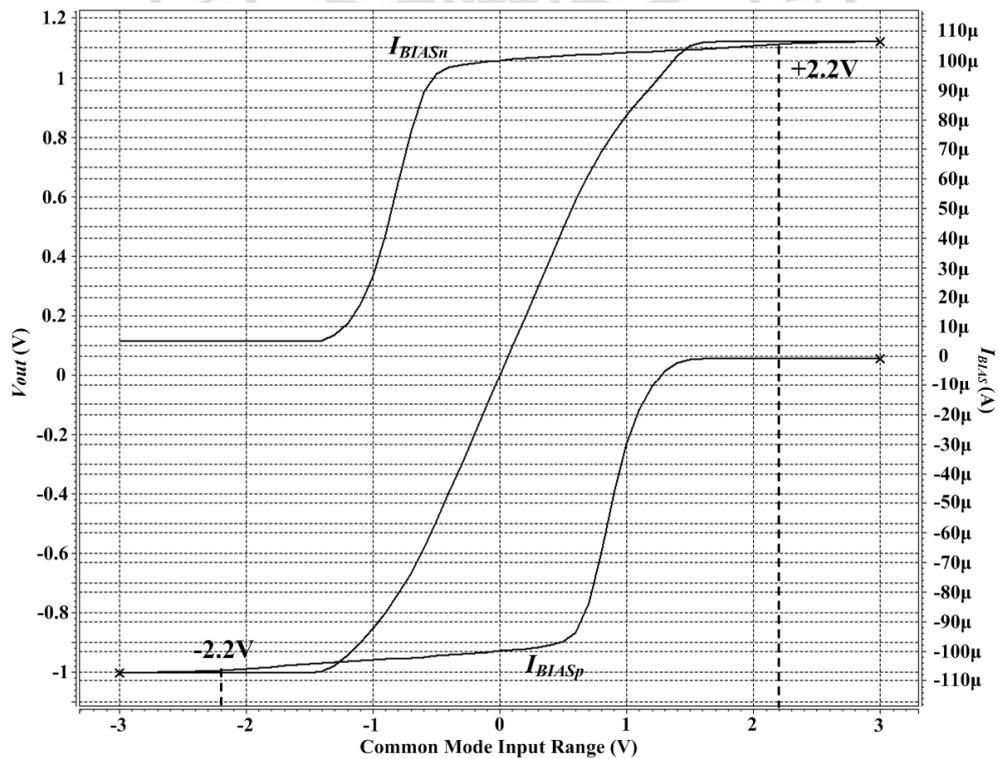


圖 4.28 最佳化後的軌對軌輸入組態組態之輸入共模範圍(0.18μm)

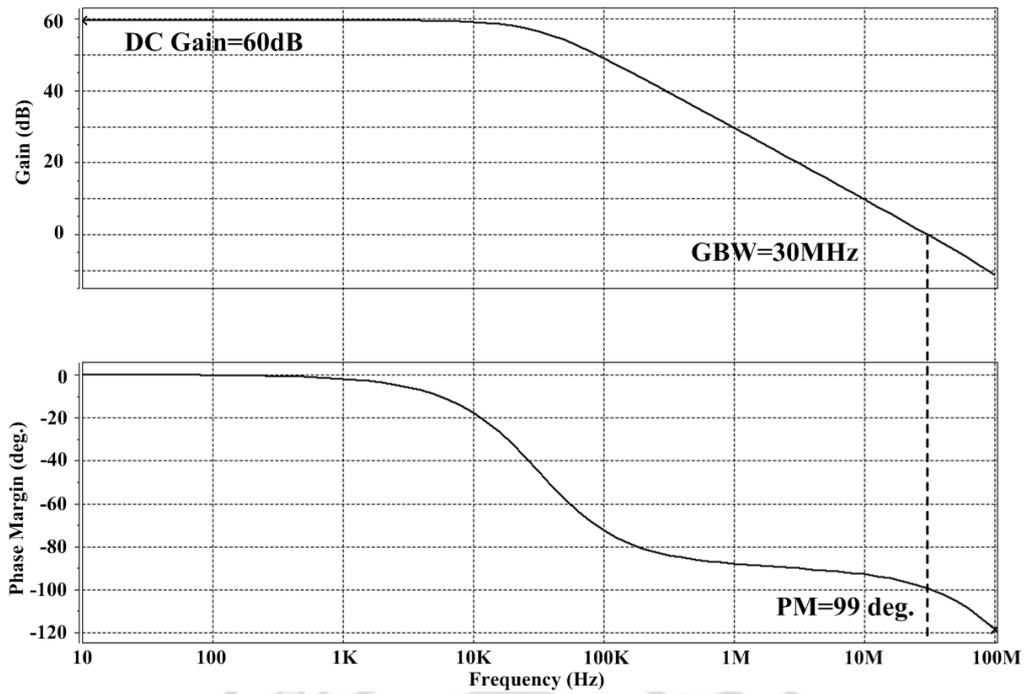


圖 4.29 最佳化後的軌對軌輸入組態之波德圖與相位邊限(0.35 μ m)

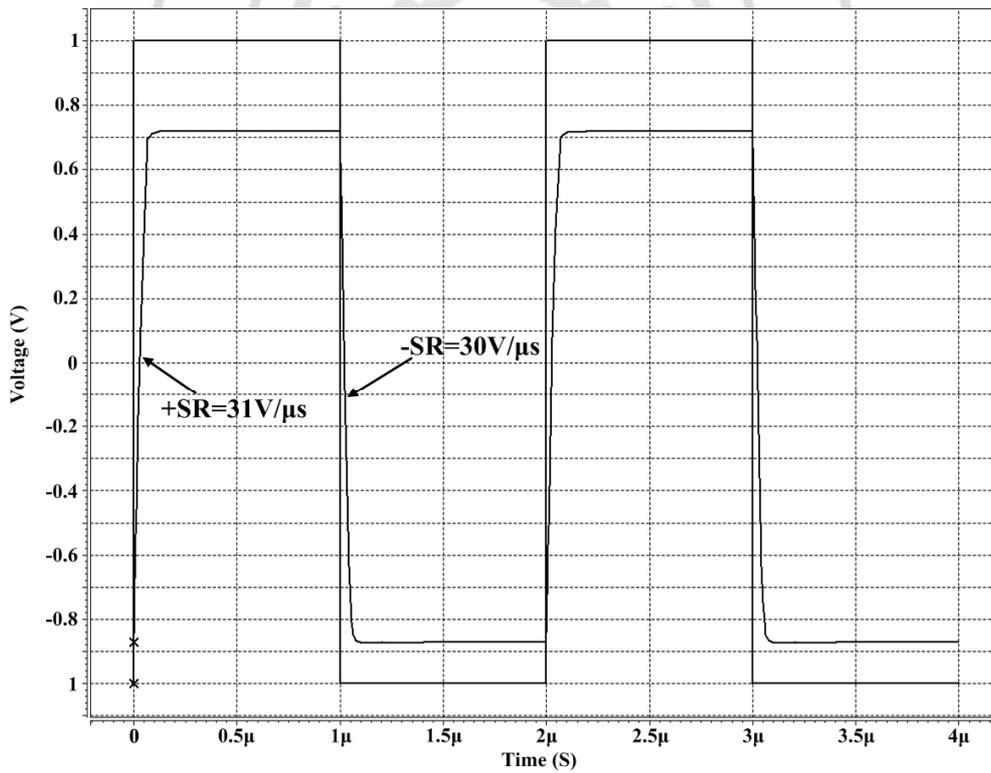


圖 4.30 最佳化後的軌對軌輸入組態之迴轉率(0.35 μ m)

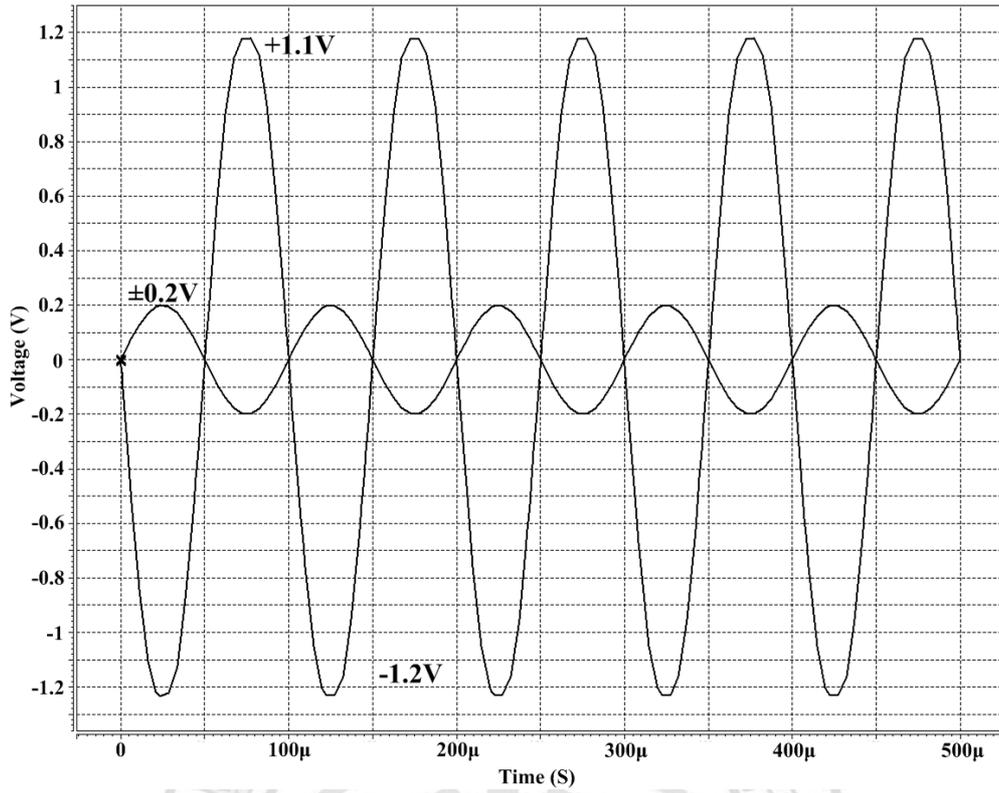


圖 4.31 最佳化後的軌對軌輸入組態之輸出擺幅(0.35μm)

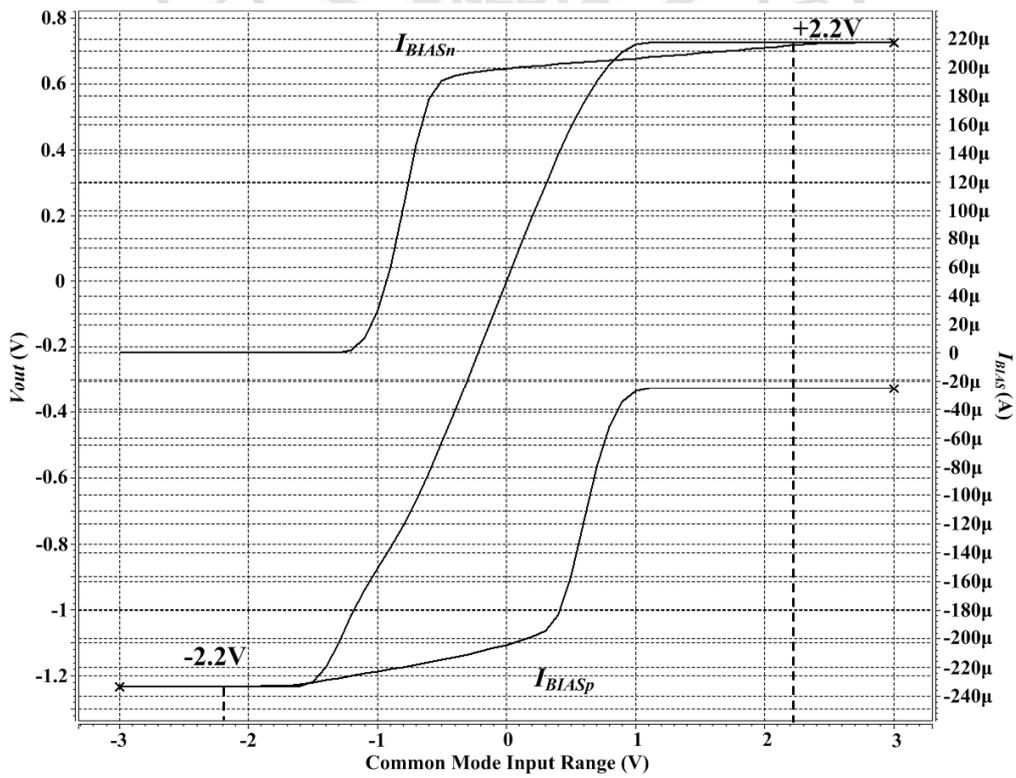


圖 4.32 最佳化後的軌對軌輸入組態組態之輸入共模範圍(0.35μm)

表 4.8 最佳化後的軌對軌輸入組態之效能模擬結果

Specification	Require	0.18 μ m	0.35 μ m
Supply Voltage	3V	$\pm 1.5V$	$\pm 1.5V$
DC Gain	≥ 60 dB	60dB	60dB
Gain-Bandwidth	≥ 20 MHz	20MHz	30MHz
CMRR	≥ 30 dB	39dB	37dB
Slew Rate	$\geq 20V/\mu s$	33V/ μs	30V/ μs
ICMR	$\geq \pm 1.5V$	$-2.2V \sim +2.2V$	$-2.2V \sim +2.2V$
Output Swing	$\geq \pm 1V$	$\pm 1.2V$	$-1.2V \sim +1.1V$
Loading	$\geq 5pF$	5pF	5pF
Power dissipation	$\leq 2mW$	1.92mW	1.92mW

在本章中我們對前一章所設計的初始電路進行最後的最佳化處理，以達到原訂規格需求。最佳化是一項繁複而且耗時的工作，因此本文在此謹以完成規格需求為主要目標，並不追求於低成本或是低電壓等高效能的設計。



第五章 結論

本研究基於過驅電壓計算電路中每個電晶體的端點電壓的方式來設計其偏壓點，並利用 HSpice 針對這些偏壓點來進行偏壓電流的比對以求得電晶體尺寸。利用此方法，我們成功了設計出四種不同電路架構的運算放大器，分別為：兩級組態、疊接組態、摺疊疊接組態與軌對軌輸入組態共四種運算放大器；並且由模擬結果顯示，此法在 TSMC 0.18 μm 與 0.35 μm 兩種製程下都可達到規格需求。相較於傳統的方法，本研究大大的減少了設計運算放大器所需花費的時間，並且不需經過複雜的計算即可得出一個接近規格的初始設計；此外，本研究所提出之方法可應用於多種電路架構與製程技術，並且不會使設計者喪失對於參數變動的敏感度。以下列舉本研究的主要貢獻：

1. 大幅減少了設計時間
2. 初始設計的規格完成度高
3. 可應用於多種電路架構
4. 可應用於多種製程技術
5. 保有設計者對參數變動的敏感度

經由實驗結果證實，本文提出之基於過驅電壓與電流調校之運算放大器設計方法論為實用而有效的。

本研究下個階段的努力目標，即是研究頻寬、迴轉率與偏壓電流、過驅電壓之關係，以求獲得精準的關係式。若能以此關係式來準確的決定偏壓電流與過驅電壓，就能使本設計方法更趨於完美。

參考文獻

- [1] T. Stockstad, H. Yoshizawa, "A 0.9-V 0.5- μ A Rail-to-Rail CMOS Operational Amplifier," *IEEE Journal of Solid-State Circuits*, Vol. 37, Issue 3, pp.286 – 292, Mar. 2002.
- [2] J.M. Redouté, and M.Steyaert, "Improved EMI Filtering Current Mirror Structure Requiring Reduced Capacitance," *Electronics Letters*, Vol. 42, pp. 560-561, May. 2006.
- [3] B.J. Maundy, A.R. Sarkar, S.J. Gift, "A New Design Topology for Low-Voltage CMOS Current Feedback Amplifiers," *IEEE Transactions Circuits and Systems II: Express Briefs*, Vol. 53, Issue 1, pp. 34-38, Jan. 2006
- [4] L.H.C. Ferreira, T.C. Pimenta, R.L. Moreno, "An Ultra-Low-Voltage Ultra-Low-Power CMOS Miller OTA with Rail-to-Rail Input/Output Swing," *IEEE Transactions on Circuits and Systems II: Express Briefs*, Vol. 54, Issue 10, pp.843 – 847, Oct. 2007.
- [5] X. L. Zhang and P. K. Chan, "An Untrimmed CMOS Amplifier with High CMRR and Low Offset for Sensor Applications," *IEEE Asia Pacific Conference on Circuits and Systems (APCCAS 2008)*, pp. 802 – 805, Dec. 2008.
- [6] J.M. Redouté, and M.Steyaert, "Active Load for Differential Amplifier with High Output Impedance and Reduced Supply Voltage," *Electronics Letters*, Vol. 44, pp. 67-68, Jan. 2008.
- [7] H.H. Nguyen, Q.H. Duong, H.B. Le, "Low-Power 42 dB-Linear Single-Stage Digitally-Controlled Variable Gain Amplifier," *Electronics Letters*, Vol. 44, pp.

780-782, Jun. 2008.

- [8] J. Ramirez-Angulo, S. Balasubramanian, “Low Voltage Differential Input Stage With Improved CMRR and True Rail-to-Rail Common Mode Input Range,” *IEEE Transactions Circuits and Systems II: Express Briefs*, Vol. 55, Issue 12, pp. 1229-1233, Dec. 2008
- [9] M. Chae, J. Kim, W. Liu, “Fully-Differential Self-Biased Bio-Potential Amplifier,” *Electronics Letters*, Vol. 44, Issue 24, pp. 1390-1391, Nov. 2008.
- [10] B. Razavi, “Design of Analog CMOS Integrated Circuits,” chap. 3-9, McGraw-Hill, 2001.
- [11] P.E. Allen, D.R. Holberg, “CMOS Analog Circuit Design,” 2nd Edition, chap. 6, Oxford University, 2003.
- [12] A.S. Sedra, and K.C. Smith, “Microelectronic Circuits,” 5th Edition, Oxford University, 2003.
- [13] F. Silveira, D. Flandre, P.G.A, Jespers, “A (g_m/I_D) Based Methodology for The Design of CMOS Analog Circuit and Its Application to The Synthesis of A Silicon-on-Insulator Micro-Power OTA,” *IEEE Journal of Solid-State Circuits*, Vol. 31, Issue 9, pp.1314 – 1319, Mar. 1996.
- [14] A. Ayed, H. Ghariani, M. Samet, “Design and Optimization of CMOS OTA with (g_m/I_D) Methodology Using EKV Model for RF Frequency Synthesizer Application,” *IEEE International Conference on Electronics Circuits and Systems*, pp.1–5, Dec. 2005.

作者簡歷

	姓名	林俊宏(Chun-Hung Lin)
	通訊地址	台中縣太平市中山路一段 215 巷 35 號工程館 545 室
	學歷	國立勤益科技大學 電子工程系碩士
	研究室	混合模積體電路實驗室(Mixed Mode IC Lab.)
	指導教授	謝韶徽(Shao-Hui Shieh) 博士
碩士論文題目	基於過驅電壓與電流調校之運算放大器設計方法論(Operational Amplifier Design Methodology Based on the Overdrive-Voltage and Current Regulation)	
發表論文	<ol style="list-style-type: none"> 1. S.H. Shieh, C.H. Lin, “Design of High CMRR Operational Amplifier,” <i>2009 Conference on Innovative Application of System Prototyping and Circuit Design</i>, pp. 167~170, Taoyuan, Taiwan, Oct. , 2009. 2. Shao-Hui Shieh, Chung-Hung Lin, “Operational Amplifier Design Methodology Based on the Relation of Overdrive-Voltage and Transconductance,” <i>2010 The 4th Conference on Integrated Opto-Mechatronic Technology and Intellectual Property Rights</i>, pp.171-179 , Taipei, Taiwan, May 2010. 3. S.H. Shieh, Y.C. Hung, C.H. Lin, “High-Gain High-CMRR Pre-Amplifier for Biomedical Systems,” <i>2010 The 5th Intelligent Living Technology Conference</i>, pp. 801-804, Taichung, Taiwan, June, 2010. (Excellent Paper) 	
晶片下線	<ol style="list-style-type: none"> 1. 兩級運算放大器(T18-98C-167e) 2. 可應用於生醫系統之高增益高共模拒斥比前置放大器(T18-99A-196e) 	
參加競賽	<ol style="list-style-type: none"> 1. 2009 年全國大專院校積體電路設計競賽 2. 2010 年全國大專院校積體電路設計競賽 	