

國立勤益科技大學
電子工程系研究所
碩士論文

可應用於 RFID 之多功能循環冗餘檢查碼晶片設計

**Design of CMOS CRC Chip with Multiple Functions
for RFID Application**

研究生：洪翰均

指導教授：洪玉城 博士

中華民國九十九年七月

可應用於 **RFID** 之多功能循環冗餘檢查碼晶片設計

Design of CMOS CRC Chip with Multiple Functions
for RFID Application

研究生 : 洪翰均
指導教授 : 洪玉城 博士



國立勤益科技大學

電子工程系研究所

碩士論文

Submitted in partial fulfillment of the requirements
for the degree of
Master of Engineering
In

Institute of Electronic Engineering
from the National Chin-Yi University of Technology

July 2010

Taichung, Taiwan, Republic of China

中華民國 九十九 年 七 月

國立勤益科技大學
研究所碩士班
論文口試委員會審定書

本校 電子工程系 碩士班 洪翰均 君

所提論文 可應用於RFID之多功能循環冗餘檢查碼晶片設計

合於碩士資格水準，業經本委員會評審認可。

論文口試委員會：

召集人：許恒壽

委員：許恒壽

謝韶龍

陳春倪

指導教授：洪玉城

所

長：陳文淵

中華民國九十九年六月

可應用於 RFID 之多功能循環冗餘檢查碼晶片設計
Design of CMOS CRC Chip with Multiple Functions for RFID
Application

研究生:洪翰均

指導教授:洪玉城 博士

國立勤益科技大學電子工程系研究所

中文摘要

本論文提出三種改良型循環冗餘檢查碼(Cyclic Redundancy Check, CRC)電路；第一種電路，我們使用兩組硬體同時處理輸入資料及平行傳輸的概念以改善傳統串列 CRC 電路架構之速度。在此研究中，我們使用兩組硬體及開關切換電路以提升整體電路運作速度，並具體實現為 CMOS 晶片。第二種電路，我們設計具有多種模式運作功能之 CRC 電路，此設計具有可切換 CRC-4、CRC-5、CRC-8 及 CRC-16 四種產生多項式。第三種電路設計，CRC 電路為並行架構以提升資料處理速度，並設計多組開關切換電路，改善原文獻電路不能處理任意位元資料的缺點。最後，我們整合 RFID 系統內部各式資料處理電路，包含一個具有可切換產生多項式(Generator Polynomials)之 CRC 偵錯電路、具有 Manchester 與 Miller 編碼功能之編碼電路、及具有 ASK (Amplitude-Shift Keying) 與 FSK (Frequency-Shift Keying) 調變功能電路，整合成為一個功能完整的 RFID 資料處理系統。本論文所用的製程為 TSMC 0.18 μm CMOS 1.8/3.3V 製程，整體電路整合後經模擬可順利運作於 200 MHz，最低操作電壓為 0.9 V，電路平均功率消耗為 90 μW 。

關鍵詞: 循環冗餘檢查碼、無線射頻辨識系統、曼徹斯特碼、調變

Design of CMOS CRC Chip with Multiple Functions for RFID Application

Student: Han-Jun Hung

Advisor: Yu-Cherng Hung, Ph.D.

Institute of Electronic Engineering
National Chin-Yi University of Technology

Abstract

In this thesis, we present three kinds of modified cyclic redundancy check (CRC) circuits. For the first circuit, parallel processing of inputs and hardware sharing techniques are adopted to improve operation speed of traditional serial CRC circuit. The circuit has been realized in a CMOS chip and works successfully. The second circuit, which we design another CRC circuit with multiple functions of CRC-4, CRC-5, CRC-8, and CRC-16, is function successfully by using HSPICE simulation. In the third circuit, a modified CRC circuit with parallel architecture to increase data throughput is proposed. The proposed circuit is with capability of input of arbitrary data bit by using a set of digital switches. Finally, type II (the second) CRC circuit, encoding circuit (Manchester and Miller coding function), and modulations (ASK and FSK) circuits are integrated as a single chip for RFID application. By using TSMC 0.18 μm CMOS technology, HSPICE simulation results show that the prototyping circuit works successfully at supply voltage of 0.9 V, data bit rate of 200 Mbps, and power consumption of 90 μW .

Keywords: Cyclic redundancy check code 、 CRC 、 RFID 、 Encoder 、 Modulation

誌謝

本論文得以順利完成，首先感謝我的指導教授 洪玉城 博士，不僅在學業上悉心指導，適時給予正確的方向及勉勵，且於生活中多方關心與幫忙。同時感謝口試委員陳春僥、許恆壽、謝韶徽等教授給予本論文建議與指教，著實受益良多，使本論文能更為完整。

兩年來的研究生活中收穫很多，無論是在學業上或做事的態度方法等均受益良多，同時也感謝混合模實驗室學長旻明、智揚、詠贊、健成的指導與同學登淵、桂菁、威修、俊宏、明恩及承翰、明家、柏全、威誠等學弟們的幫忙，是您們讓我兩年的研究生活變的更加精彩豐富。

此次本篇論文能順利完成，承蒙台積電 tsmc 及國家晶片系統設計中心 CIC (Chip Implementation Center) 所提供的製程技術資料與晶片製作，僅此特別感謝所有相關協助單位及人員。

最後，我要感謝我生命中最重要的人，也就是我的父母及阿公阿嬤，因為有您們這些家人給予我的照顧與鼓勵，得以讓我無後顧之憂的專心於學業才有今日的我，在此願將此份榮耀與喜悅獻給我最愛的親人。

目錄

中文摘要.....	i
Abstract.....	ii
誌謝.....	iii
目錄.....	iv
圖目錄.....	vi
表目錄.....	viii
第一章 緒論.....	1
1.1 研究動機.....	1
1.2 研究目的與方法.....	2
1.3 論文架構.....	2
第二章 無線射頻辨識系統.....	3
2.1 RFID 發展歷史.....	3
2.2 RFID 組成元件與原理.....	4
2.3 RFID 系統類型.....	6
2.4 RFID 系統工作頻率.....	7
2.4.1 低頻 (Low Frequency, LF) 9KHz~135KHz.....	7
2.4.2 高頻 (High Frequency, HF) 13.56MHz.....	7
2.4.3 極高頻 (Ultra High Frequency, UHF) 922MHz~928MHz.....	8
2.4.4 微波 (Microwave) 1GHz 以上.....	9
2.4.5 各頻段特性比較.....	10
2.5 RFID 技術標準化.....	10
2.5.1 ISO (International Organization for Standardization)	10
2.5.2 Auto-ID 中心.....	11
2.5.3 EPC Global.....	11
2.5.4 UID (UniquitousID Center)	13
2.6 RFID 技術的限制與挑戰.....	13
第三章 CRC 檢查碼、編碼、調變原理.....	15
3.1 RFID 資料處理流程.....	15
3.2 循環冗餘檢查碼 (Cyclic Redundancy Check Code, CRC)	16
3.3 RFID 常用的編碼.....	17
3.3.1 反向不歸零碼 (Non-Return-to-Zero Line Code, NRZ)	18
3.3.2 雙向間隔碼 (FM0)	18
3.3.3 曼徹斯特碼 (Manchester Code)	19
3.3.4 米勒碼 (Miller Code)	19
3.4 調變 (Modulation)	20
3.4.1 Amplitude-Shift Keying (ASK)	20

3.4.2 Frequency-Shift Keying (FSK)	21
3.4.3 Phase-Shift Keying (PSK)	22
第四章 循環冗餘檢查碼(CRC)電路設計.....	23
4.1 以 LFSR 為設計基礎之 CRC 電路-1.....	28
4.1.1 電路設計與原理.....	28
4.1.2 模擬結果.....	29
4.2 以 LFSR 為設計基礎之 CRC 電路-2.....	31
4.2.1 電路設計與原理.....	32
4.2.2 模擬結果.....	34
4.3 具有多種模式之 CRC 電路.....	36
4.3.1 電路設計與原理.....	37
4.3.2 模擬結果.....	40
4.4 具任意輸入位元能力之 CRC 電路.....	43
4.4.1 並列式相較於串列式架構.....	44
4.4.2 改良之並行式 CRC 電路.....	45
4.4.3 模擬及實體量測結果.....	50
第五章 偵錯、編碼及調變多功能電路整合.....	55
5.1 Manchester 與 Miller 碼編電路設計.....	55
5.2 調變電路設計.....	57
5.3 電路整合與擬驗.....	59
第六章 結論及未來展望.....	64
6.1 結論.....	64
6.2 未來展望.....	64
參考文獻.....	65
作者簡歷.....	67

圖目錄

圖 1.1.1 RFID 標籤內部架構圖.....	1
圖 2.2.1 RFID 讀取器與標籤.....	5
圖 3.1.1 RFID 標籤內部架構圖.....	15
圖 3.2.1 (a) CRC 編碼發送端.....	17
圖 3.2.1 (b) CRC 編碼接收端.....	17
圖 3.3.1 NRZ 編碼.....	18
圖 3.3.2 FM0 編碼.....	19
圖 3.3.3 Manchester 編碼.....	19
圖 3.3.4 Miller 編碼.....	20
圖 3.4.1 10%ASK 與 OOK 調變.....	21
圖 3.4.2 FSK 調變.....	22
圖 3.4.3 PSK 調變.....	22
圖 4.1.1 (a)CRC 碼的產生.....	24
圖 4.1.1 (b)接收端的 CRC 錯誤驗證.....	24
圖 4.1.2 SSRG 架構.....	26
圖 4.1.3 MSRG 架構.....	26
圖 4.1.4 文獻[18]提出之 LFSR 架構.....	26
圖 4.1.5 4-bit CRC 編碼器電路.....	29
圖 4.1.6 CRC 編碼器輸出波形.....	30
圖 4.1.7 4-bit CRC 編碼器佈局圖.....	31
圖 4.2.1 串列輸入之 8-bit CRC 電路.....	32
圖 4.2.2 本文所提出之改良式 CRC-8 電路.....	32
圖 4.2.3 暫存器傳輸級內部波形.....	33
圖 4.2.4 CRC 編碼器輸出波形.....	35
圖 4.2.5 8-bit CRC 電路佈局圖.....	36
圖 4.3.1 具有多模式之 CRC 電路原型.....	36
圖 4.3.2 解碼器電路.....	38
圖 4.3.3 本文所提出具有多模式之 CRC 電路.....	39
圖 4.3.4 CRC-4 輸出波形.....	41
圖 4.3.5 CRC-5 輸出波形.....	42
圖 4.3.6 CRC-8 輸出波形.....	42
圖 4.3.7 CRC-16 輸出波形.....	43
圖 4.3.8 核心電路佈局圖.....	43
圖 4.4.1 使用 LFSR 之串列 CRC 電路 (X^3+X^2+1)	45
圖 4.4.2 文獻[3]所提出之並行式 CRC 電路 (X^3+X^2+1)	45
圖 4.4.3 單一輸入的 8-bit 並行 CRC 模組.....	46

圖 4.4.4 文獻[3]所提出的 m-bit 並行回授網路.....	47
圖 4.4.5 本文所提出之 8-bit CRC 電路.....	48
圖 4.4.6 NMOS 開關切換電路.....	48
圖 4.4.7 電路後端模擬結果.....	52
圖 4.4.8 Agilent 93000 測試平台.....	53
圖 4.4.9 晶片佈局圖(左)及實照圖(右)	53
圖 4.4.10 晶片量測結果.....	53
圖 4.4.11 晶片實測最大頻率.....	54
圖 5.1.1 文獻[10]之 Manchester 編碼器.....	56
圖 5.1.2 文獻[11]之 Manchester 編碼器.....	56
圖 5.1.3 文獻[11]之 Manchester 編碼器.....	57
圖 5.1.4 本文所提出之 Manchester 編碼器.....	57
圖 5.2.1 本文提出之 ASK 與 FSK 調變器.....	58
圖 5.2.2 振盪器控制電壓與頻率關係圖.....	59
圖 5.3.1 RFID 資料輸出流程圖.....	60
圖 5.3.2 整體電路整合後 Post-Sim 模擬結果(FSK 輸出)	61
圖 5.3.3 整體電路整合後 Post-Sim 模擬結果(ASK 輸出)	62
圖 5.3.4 電路佈局圖(含 I/O Pad)	63



表目錄

表 2.2.1 主動式與被動式標籤特性比較表.....	5
表 2.4.1 不同頻段的特性比較.....	10
表 2.5.1 EPC(Electronic Product Code)標準.....	12
表 4.1.1 常用的 CRC 產生多項式.....	23
表 4.1.2 CRC 電路特性表.....	30
表 4.2.1 本文與過去文獻比較(m:輸入端並列數).....	30
表 4.2.2 電路特性表.....	35
表 4.3.1 CRC 電路真值表(1).....	38
表 4.3.2 CRC 電路真值表(2).....	38
表 4.3.3 CRC 模式切換表.....	39
表 4.3.4 本文與過去文獻比較表.....	40
表 4.3.5 電路特性表.....	41
表 4.4.1 開關控制訊號表.....	49
表 4.4.2 本篇電路與過去文獻比較(m:輸入端並列數).....	50
表 4.4.3 晶片規格表.....	52
表 5.3.1 電路規格表.....	63



第一章 緒論

1.1 研究動機

RFID (Radio Frequency Identification)技術已被列為二十一世紀十大重要技術之一，其原理是利用讀取端(Reader)與標籤(Tag)之間的無線資料傳送，如圖 1.1.1 所示，RFID 資料在傳送之前都需經過一系列的資料處理，包含偵錯碼機制(Cyclic Redundancy Check Code，CRC)、編碼 (Manchester and Miller Codes)、與調變(Modulation)等運算。資料偵錯機制可以有效的過濾所接收到的資料是否正確，若資料有錯誤則可通知發送端重新傳送此筆資料。編碼程序可以降低資料傳輸與接收時之錯誤率，且可以對資料加密以確保資料的安全性。訊號調變則可以有效的增加訊號傳送距離。因此，善用以上的資料處理機制則可以有效提升 RFID 資料傳輸的可靠性，這些電路相關實現議題具有研究價值。

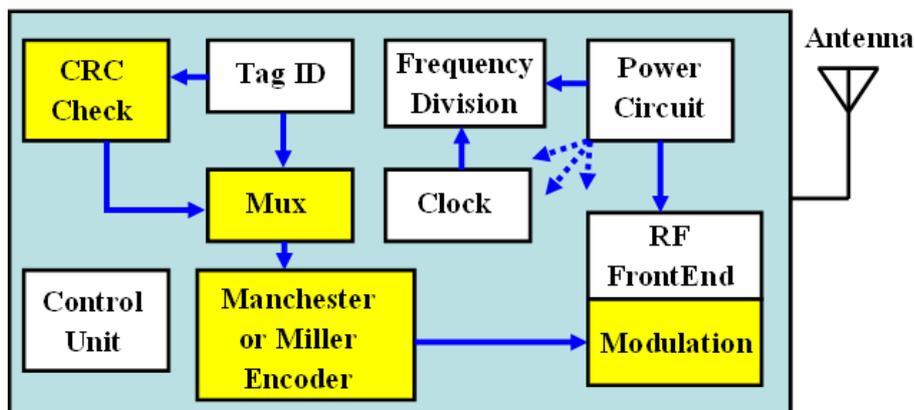


圖 1.1.1 RFID 標籤內部架構圖

1.2 研究目的與方法

目前應用於 RFID 系統中的 CRC 電路設計文獻並不多，本論文主要針對 CRC 偵錯電路進行研究，並將其應用於 RFID 系統。考量到 RFID 系統設計需成本低、功率低等特點進行研究，本論文提出了三種改良型 CRC 電路，包含二種串列傳輸及一種並列傳輸架構，並將 CRC 電路與後續編碼、調變電路進行整合來完成一個功能較為完善的資料處理系統。

1.3 論文架構

第一章對整篇論文做一概述，第二章對整個 RFID 系統做簡介，第三章說明 RFID 系統中的 CRC、編碼、調變原理，第四章為本論文核心，探討 CRC 電路設計、相關文獻回顧、模擬結果與晶片實際量測結果，第五章為電路整合與模擬，第六章為本論文結論。

第二章 無線射頻辨識系統

2.1 RFID 發展歷史

近年來，RFID (Radio Frequency Identification)的應用越來越廣泛，相較於條碼技術使用上更為便利。隨著 RFID 所帶來的方便性與經濟效益，使的 RFID 技術逐漸受到人們的重視。RFID 技術起源於二次大戰期間，英國軍方應用於飛機敵我辨識系統，此一系統也稱為IFF 敵我辨識 (Identify : Friend of Foe)系統。約於 1977 年美國政府洛薩拉摩斯國家實驗室(Los Alamos National Laboratory)發展非接觸技術，並嘗試將 RFID 電子標籤(Tag)植入牛隻皮膚內，以進行牛隻追蹤實驗。到了 1980 年代，許多公司逐漸研發 RFID 技術，縮小電子標籤體積，並將其應用於員工卡之內以取代傳統的鑰匙，增加了員工進出的方便性及安全性。1986 年 Atmel 公司發展了 RFID 魚標籤(Fish Tags)來追蹤魚群於河中行進路徑。到了 1990 年代隨著矽晶片的技術發展迅速，使 RFID 標籤成本大幅降低，也使的 RFID 應用領域越來越廣泛，如門禁系統管理、人員看護、寵物晶片、捷運悠遊卡、物流管理及圖書藏書管理...等等。至今 RFID 技術已被列為二十一世紀十大重要技術之一，不僅是人類科技重大發展，也為人類帶來巨大的便利性及經濟效益。

2.2 RFID 組成元件與原理

RFID 系統主要由讀取器(Reader)及標籤(Tag)所組成，如圖 2.2.1 所示。RFID 系統操作原理是利用讀取機發射無線電波給標籤，而標籤接收到讀取機訊號後，依照讀取端的指令回傳相對應的訊號回去。由於雙方訊號的傳遞皆是無線傳輸環境，因此訊號皆須經由天線(Antenna)來進行發射。讀取器也可以有線方式連接至電腦軟體，使用者可藉由電腦操作平台對讀取器下達指令，由讀取器將指令傳送至標籤，並藉由電腦觀看標籤所回應的資料內容。

在標籤方面依電源主要分為主動式標籤(Active Tag)與被動式標籤(Passive Tag)。主動式標籤又稱為有源標籤，內含電池，且可隨時偵測附近是否有讀取端訊號，因此可以隨時傳遞資料給讀取端，並擁有較大的記憶體，壽命長(視電池壽命而定)，傳輸距離長，但價格較為昂貴，一般皆用於較昂貴的物品上。被動式標籤本身並無電池可用，其電力主要來自發送端發射過來的無線電波能量，由標籤內部電路，將載波進行整流濾波後供給標籤內部所使用。相較於主動式標籤，被動式標籤只能在接收到讀取端的訊號後，才能回傳資料給讀取端，其記憶體較小，傳輸距離也較短；被動式標籤優點是價格低廉、體積小、壽命長及可攜帶性等等，一般皆用於較廉價的物品上。主動式與被動式標籤特性比較於表 2.2.1 所示。



圖 2.2.1 RFID 讀取器與標籤

表 2.2.1 主動式與被動式標籤特性比較表

	主動式標籤	被動式標籤
電池	有	無
使用壽命	長	長
成本	高	低
傳輸距離	長	短
體積	大	小
記憶體容量	大	小

2.3 RFID 系統類型

RFID 根據感應距離不同可區分為近場、遠場及微波(Microwave)系統。

1. 近場系統

近場系統在感應距離上最短，約為 1cm 以下，操作頻率可從 0 MHz ~ 30 MHz，操作時標籤須很貼近讀取端，如應用門禁管制系統。

2. 遠場系統

遠場系統感應距離約為 1 公尺以下，遠場系統操作頻率可在 135 KHz 以下，或為 6.75 MHz、13.56 MHz、27.12 MHz；其操作頻率高低也影響了操作距離遠近，而大部分的 RFID 系統都是使用遠場系統，如捷運悠遊卡則是使用 13.56 MHz 頻率。

3. 微波

操作距離最遠，可達 10 公尺以上，其操作頻率達 2.45 GHz、5.8 GHz、24.12 GHz；由於操作距離過遠，很難靠讀取端耦合感應方式取得電源。因此，標籤須內含電池以提供所需的電源，也因為此類標籤成本較高，一般皆使用於較貴重的物品及較為大型的貨物上。

2.4 RFID 系統工作頻率

RFID 依操作頻段分類可分為低頻 LF (Low Frequency)、高頻 HF (High Frequency)、超高頻 UHF (Ultra High Frequency) 與微波 (Microwave) 等頻段。RFID 讀取距離越遠，相對的操作頻率也需越高，高操作頻率與讀取距離遠，也造成大的功率消耗。以下將分別敘述各個工作頻段的特性及應用的領域。

2.4.1 低頻 (Low Frequency, LF) 9 kHz~135 kHz

此頻段在世界各國中大多屬於開放狀態，不牽涉到執照申請及法規等問題，其特性如下。

1. 讀取範圍: 約為 50 cm 以下。
2. 優點: 成本低、抗干擾能力強，在金屬中及潮濕的環境中擁有較佳的讀取能力。
3. 缺點: 頻寬低、資料傳輸率低、記憶體容量低。
4. 應用範圍: 門禁系統、寵物晶片、畜牧管理等...
5. ISO 標準: ISO 18000-2。

2.4.2 高頻 (High Frequency, HF) 13.56MHz

高頻頻段為目前使用最廣泛的頻段，此頻段在大多數的環境中皆能正常運作，其特色如下。

1. 讀取範圍: 1.5 m 以下。
2. 優點: 頻寬較低頻高，擁有較高的資料傳輸率、抗雜訊及抗干擾能力佳。
3. 缺點: 在潮濕及金屬環境中讀取能力較低頻差、標籤旁若有鐵材質存在會影響信號的衰減。
4. 應用範圍: 捷運驗票系統、物流管理、機場行李運輸管理、圖書館藏書管理等...
5. ISO 標準: ISO 15693/14443、ISO 18000-3。

2.4.3 極高頻(Ultra High Frequency, UHF) 922 MHz~928 MHz

此頻段為受到管制，例如:在日本不能作為商業用途，主要應用於較遠距離的 RFID 系統。

1. 讀取範圍: 1.5 m~10 m。
2. 優點: 頻寬高、資料傳輸率高、讀取距離長。
3. 缺點: 在潮濕及金屬環境中讀取能力較低頻更差、標籤旁若有鐵材質存在會影響信號衰減，而導致讀取效能降低，標籤之間頻率過於相近會產生互相干擾。
4. 應用範圍: 貨車、卡車等大型交通工具追蹤、工廠原物料管理系統、環境溫度量測系統等等...
5. ISO 標準: ISO 18000-6。

2.4.4 微波 (Microwave) 1 GHz 以上

此頻段在歐洲某些國家不能作為商業用途，因技術還尚未十分成熟，所以仍未被廣泛使用，主要應用於遠距離的 RFID 系統。

1. 讀取範圍: 可達 10m 以上。
2. 優點: 頻寬最高、資料傳輸率最高、讀取範圍最遠。
3. 缺點: 技術開發困難且尚未成熟、標籤旁若有鐵材質存在會影響信號衰減、因水分会吸收為波能量，因此在金屬及水氣的環境中讀取能力最差。
4. 應用範圍: 高速公路收費系統。
5. ISO 標準: ISO 18000-4。

2.4.5 各頻段特性比較

表 2.4.1 不同頻段的特性比較

	低頻 (LF)	高頻 (HF)	極高頻 (UHF)	微波 (Microwave)
頻率	9~135 kHz	13.56 MHz	922~928 MHz	1 GHz 以上
系統型態	被動式	被動式	被動/主動式	被動/主動式
讀取距離	50 cm 以下	1.5 m 以下	1.5~10 m	10 m 以上
耦合方式	感應	感應	反散射	反散射
資料傳輸率	低	較高	高	高
技術成熟度	成熟	成熟	新技術	開發中
讀取器價格	低	中等	高	高

2.5 RFID 技術標準化

目前致力於推廣 RFID 技術標準化及規格制定單位主要以下幾個，其簡介敘述如下。

2.5.1 ISO (International Organization for Standardization)

國際標準化組織(ISO)成立於 1947 年，為非政府組織，是全球工商業國際標準的制定機構，總部位於瑞士日內瓦。台灣為創始國之

一，會員國達 130 個。其標準化制定也涵蓋了 RFID 技術之 ISO 15693/14443 及 ISO 18000 細列標準，預計未來也將逐步完成超高頻及微波的標準化制定。

2.5.2 Auto-ID 中心

Auto-ID 中心成立於 1992 年，總部位於美國麻省理工學院 (MIT)，主要工作為研究及開發電子產品碼(Electronic Product Code，EPC)，並有全球各大學參與其研究，如日本慶應大學、瑞士德聖加侖大學、英國劍橋大學等，Auto-ID 中心已在 2003 年 10 月宣佈結束，並將技術轉移給 EPC Global。

2.5.3 EPC Global

EPC Global 的前身為美國麻省理工學院(MIT)所成立的Auto-ID Center，2003年10月Auto-ID Center宣佈正式結束，轉移EPC技術給EPC Global。除此之外還有飛利浦、德州儀器(TI)、IBM、微軟等公司提供技術支援。至今EPC Global標準，已是目前RFID市場中使用率及市佔率最高、最廣的標準。表2.3中為EPC Global對電子標籤所制定的五個不同層級之標準。

表2.5.1 EPC (Electronic Product Code)標準

Class 0	唯讀(Read Only)	標籤出廠時即寫入一組識別編號，提供簡單的辨識服務。
Class 1	一次寫入(Write Once)	提供供應商進行一次寫入之服務。
Class 2	可重覆讀寫(Read/Write)	具有重複讀寫功能之被動式標籤，成本較高。
Class 3	可重覆讀寫(Read/Write)	內含感應器的半被動型標籤，可對自然環境之溫度、溼度、壓力等進行偵測。
Class 4	開發中	具有主動與其他標籤進行聯繫之能力，技術仍在開發中。

2.5.4 UID (UniquitousID Center)

日本UniquitousID中心成立於2003年3月，主要由日本350餘家電子公司、印刷企業等相關行業所組成。主要為制定自動辨識系統技術之標準。其UID辨識碼格式統一為128位元，並廣泛應用於倉庫管理、物流管制、貨櫃出入管理等。

2.6 RFID 技術的限制與挑戰

RFID技術目前仍面臨以下幾點限制，有待進一步改善與突破。

1. 標準化未統一

目前雖然有許多的單位著手於RFID標準化的制定，但全球RFID標準仍未有統一的標準。例如，台灣市場上大部分的RFID產品，因考量成本與專利權，大都還是由業者自己制定標準與通訊規格，如此便造成市面上的RFID產品規格雜亂，因此，標準化的制定仍舊是一門待解決的課題。

2. 成本問題

RFID面臨最大的問題之一便是成本，與傳統的二維條碼比較起來價格仍舊過高。因此，要完全取代條碼，其成本單價需下降至數分美金。因此，目前許多研究都針對其成本議題進行改善。當RFID成本下降到可接受的範圍內，便有助於RFID技術的推廣與普及。

3. 隱私權問題

RFID最大的特色是辨識物品及監控，因此在RFID所帶來的便利性之中，同時也衍伸的人類隱私權的問題。以消費者為例子來說，其消費紀錄便受到監控；以門禁管制例子來說，則員工活動情形及活動範圍便受監控。因此在隱私權的課題上，仍舊是令人深思的議題。

4. 干擾源及防碰撞問題

由於RFID為無線傳輸，其信號干擾的問題會來的比有線系統更為嚴重，例如金屬物品、潮濕環境、橡膠、液態材質等，皆會產生干擾問題，在同時讀取數個標籤時也會產生信號碰撞問題。因此，在技術及軟體演算法的研發上也有待突破，以解決上述問題。



3.2 循環冗餘檢查碼 (Cyclic Redundancy Check Code, CRC)

由於RFID是無線傳輸環境，可能會在傳輸過程中被外在環境雜訊干擾而發生錯誤，此時一個具有高效率的偵錯機制就顯的更為重要。因此需在接收端加一層查核機制，在確定所接收到的資料與傳送端的資料完全相同時，該筆資料才可進一步利用。

循環冗餘檢查碼是較有效率且被廣泛使用的錯誤偵測碼之一，其應用範圍廣泛也包含了電腦 USB、銀行 ATM 及網際網路傳輸等等。而 CRC 的計算方式是將待傳輸的資料區塊視為一堆連續位元所構成的一數值，並將此數值除以一特定除數，除數值位元數依照所要得到的 CRC 位元數目而定。在過去資料偵錯方法中，一般常使用的有同位檢查、縱向冗餘檢查(Longitudinal Redundancy Check)、CRC 檢查法等方式。其中 CRC 檢查法為最常使用的方法之一，以下簡單說明 CRC 檢查法應用於 RFID 電路之運算流程。

如圖3.2.1(a)所示，當RFID發送端欲傳送一筆資料，需將資料送到CRC編碼器運算，進而產生一組CRC值，再將此CRC運算值利用多工器(Multiplexer)加在資料後面才傳送至接收端。當接收端收到發送端的資料，如圖3.2.1(b)所示，將此筆資料再進行CRC的運算。觀察運算結果，若餘數不為零則代表資料在傳送過程發生錯誤，需通知發送端重新發送此筆資料。

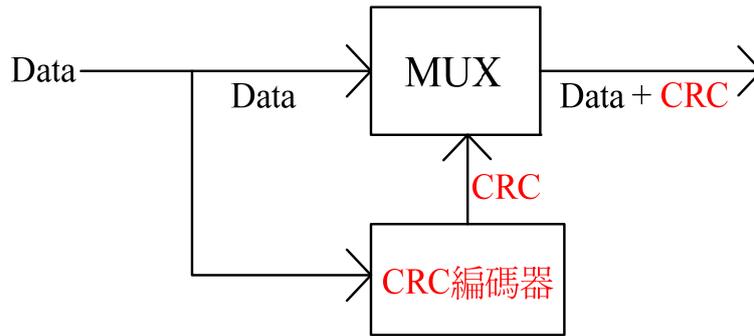


圖 3.2.1(a) CRC 編碼發送端

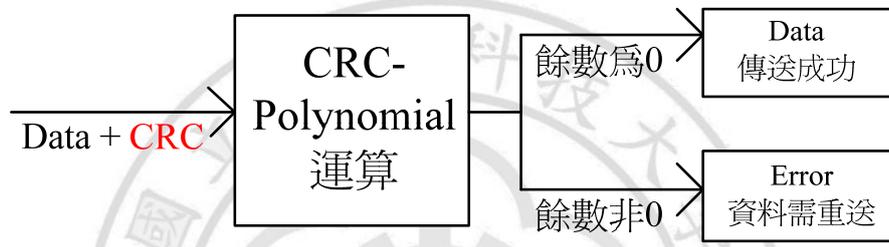


圖 3.2.1(b) CRC 編碼接收端

3.3 RFID 常用的編碼

在 RFID 系統中，儲存於 Tag 上的資料須以可靠的資料編碼方式傳送至接收端，而資料編碼方式同時也決定了資料的表示法。RFID 的 Tag 主要採用準位碼(Level Codes)和暫態碼(Transition Codes)，其中準位碼是以一特定電壓位準代表二進位數值(如 NRZ 碼)；而暫態碼則是以一準位跳變方式代表二進位數值(如 Manchester、Miller、FM0 碼)。本文所使用的為暫態碼，以下將簡單說明其編碼原理。RFID 常用的編碼方式包含了 NRZ、Manchester、Miller、FM0 碼原理敘述如下。

3.3.1 反向不歸零碼 (Non-Return-to-Zero Line Code, NRZ)

NRZ 碼為 RFID 常用的編碼，屬於準位碼。其編碼原理是以高準位表示二進位的 1，低準位表示二進位的 0，如圖 3.3.1 所示。

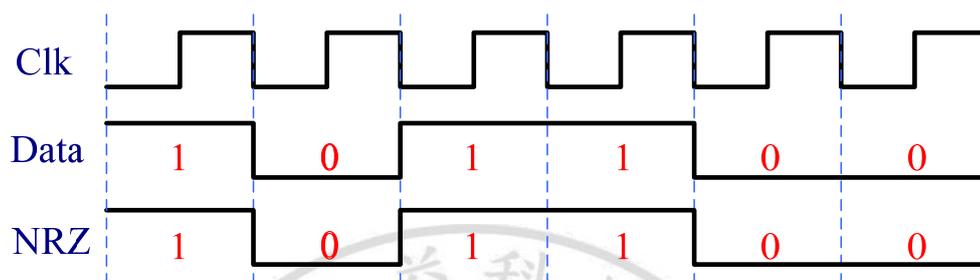


圖 3.3.1 NRZ 編碼

3.3.2 雙向間隔碼 (FM0)

FM0 編碼又稱為雙向間隔碼(Bi-phase space)，屬於暫態碼的一種，一般用於標籤端以反散射方式回傳資料給讀取端時所用的編碼方式。編碼原理為當準位在起始處跳變代表二進位的 1；當準位除了在起始處跳變之外，中間亦跳變一次則代表二進位的 0。換句話說，FM0 編碼的起始準位必定會跳變，準位中間無跳變則代表二進位 1，有跳變則代表二進位 0，如圖 3.3.2 所示。

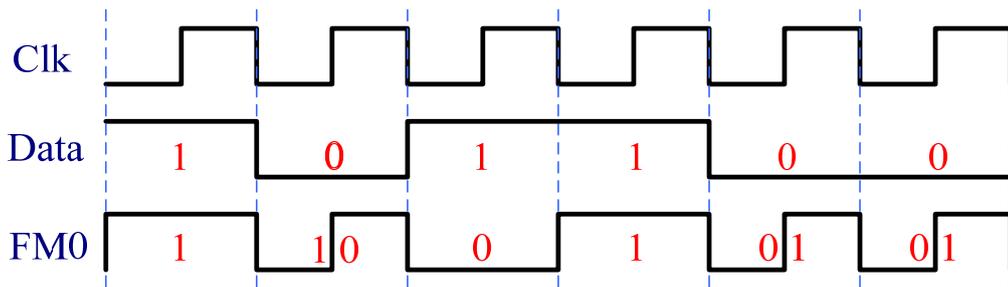


圖 3.3.2 FM0 編碼

3.3.3 曼徹斯特碼 (Manchester Code)

曼徹斯特碼又稱為 Biphase_L 碼，是一種暫態碼，其編碼方式是以準位中間跳變方式代表二進制 1 與 0，其準位跳變規則可由收發端自行定義，如二進制 1 可以 0→1 或 1→0 做編碼，相反的二進制 0 就須以 1→0 或 0→1 做編碼，如圖 3.3.3 所示。

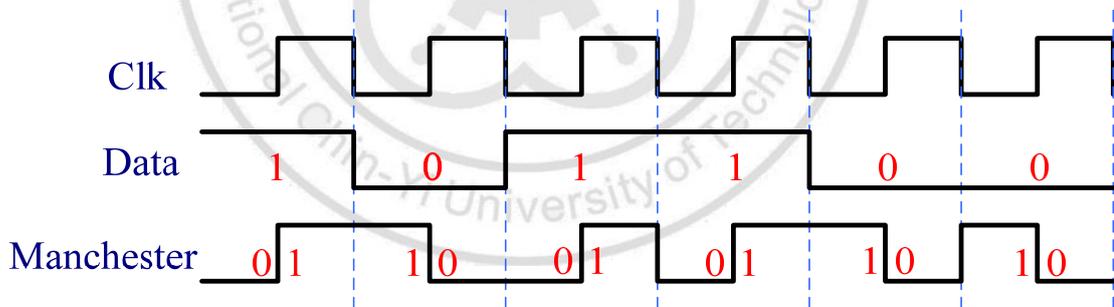


圖 3.3.3 Manchester 編碼

3.3.4 米勒碼 (Miller Code)

Miller 碼的編碼規則以準位跳變代表二進制 1，準位不跳變代表二進制 0，如二進制 1 可以 0→1 或 1→0 做編碼，二進制 0 則停留在

高準位或低準位做編碼。換句話說，當資料為 1 時準位跳變，資料為 0 時不跳變，如圖 3.3.4 所示。

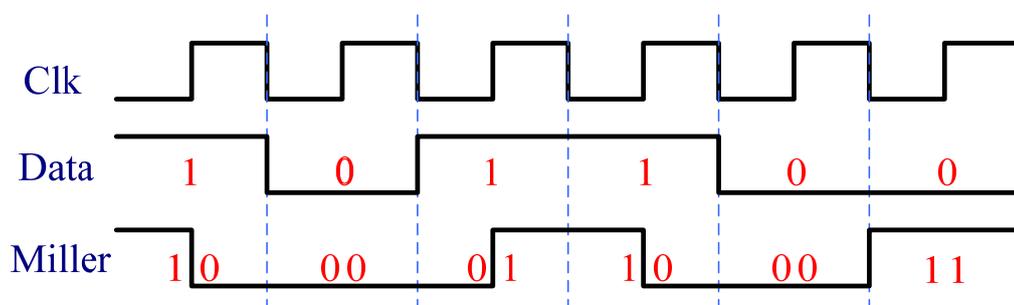


圖 3.3.4 Miller 編碼

3.4 調變 (Modulation)

RFID 系統資料常用的調變方式有 ASK (Amplitude-Shift Keying)、FSK(Frequency-Shift Keying) 及 PSK (Phase-Shift Keying) 調變，以上皆屬於數位調變方式。由於 RFID 資料在無線傳輸環境中容易受到雜訊干擾，因此藉由調變方式增強資料傳輸時的抗干擾能力，以下將簡單說明原理。

3.4.1 Amplitude-Shift Keying (ASK)

ASK 是利用改變振幅大小來做調變，如圖 3.4.1 所示為 10% ASK 調變方式下的載波振幅在高低電之間切換，來表示二進制資料，並以式子(3.4.1)來表示。當資料為 1 時則傳送 A 振幅載波， f_c 為調變頻率，當資料為 0 時則傳送 B 振幅載波。ASK 調變構造簡單且提供一個高資料傳輸率，但缺點為容易受到雜訊干擾。而另一種 ASK 調變是當

資料為 0 時則無載波輸出，稱為 100% ASK 調變，又稱 OOK (On-Off Keying) 調變，如圖 3.4.1 所示。

$$ASK \quad S(t) = \begin{cases} A \cos(2\pi f_c t) \\ B \cos(2\pi f_c t) \end{cases} \quad (3.4.1)$$

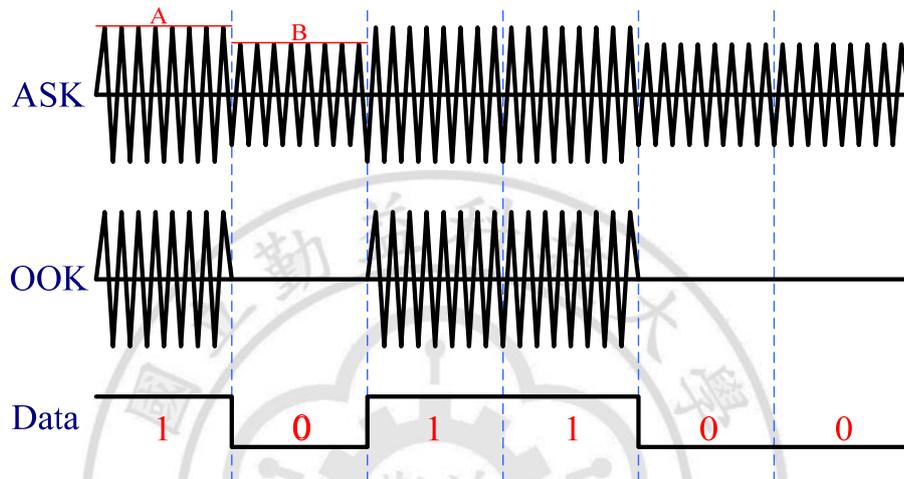


圖 3.4.1 10%ASK 與 OOK 調變

3.4.2 Frequency-Shift Keying (FSK)

如圖 3.4.2 所示，FSK 調變以兩種不同頻率來代表二進制的 1 與 0，換句話說載波頻率會隨著資料位元是 1 或 0 而改變。以式子(3.4.2)表示， A 為調變振幅，當資料為 1 時傳送 f_1 頻率載波，資料為 0 時傳送 f_2 頻率載波。FSK 調變提供了高抗雜訊能力，但與其他調變方式比較，由於需要較高的頻寬，故資料傳輸率較低。

$$FSK \quad S(t) = \begin{cases} A \cos(2\pi f_1 t) \\ A \cos(2\pi f_2 t) \end{cases} \quad (3.4.2)$$

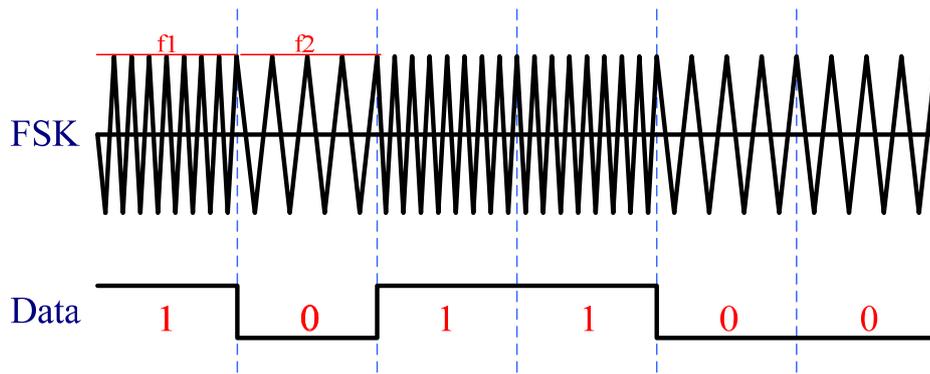


圖 3.4.2 FSK 調變

3.4.3 Phase-Shift Keying (PSK)

PSK 是以改變相位的方式來進行調變，如圖 3.4.3 所示，一般使用改變 θ 為 180° 。以式子(3.4.3)表示， A 為調變振幅， f_c 為調變頻率，每當二進位資料由 1 改變為 0 或由 0 改變為 1 時，其 PSK 調變就必須改變 180° 的相位。

$$PSK \quad S(t) = \begin{cases} A \cos(2\pi f_c t) \\ A \cos(2\pi f_c t + \theta) \end{cases} \quad (3.4.3)$$

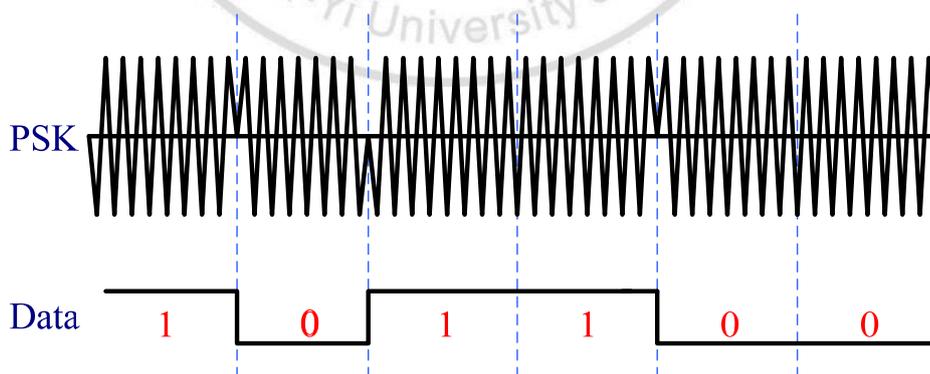


圖 3.4.3 PSK 調變

第四章 循環冗餘檢查碼(CRC)電路設計

循環冗餘檢查碼(CRC)其發展歷史已有數十年，無論是軟體演算法或是硬體電路的改善，CRC 都已經被廣泛的應用在各種不同的傳輸領域上，例如:乙太網路、硬碟、銀行提款機、SOC (System on Chip) 系統、RFID 系統等等。在本章節中我們以設計硬體電路為方向，並將其電路應用於 RFID 系統中。CRC 演算法的計算是一種循環計算過程，因輸出端暫存器值會拉回輸入端與輸入資料做 Mod-2 運算，每一次所產生的暫存器值皆會影響到下一個 Clock 的暫存器值。CRC 碼的計算包括了要計算其 CRC 值的資料位元組，以及所有前面的資料位元組的 CRC 值。如果從數學角度來看，CRC 檢查法是用所謂的產生多項式去除一個多項式(資料位元組)即可求得。CRC 值為相除後所得餘項，表 4.1.1 為常用的 CRC 產生多項式。

表 4.1.1 常用的 CRC 產生多項式

CRC-4	$X^4 + X + 1$
CRC-5	$X^5 + X^2 + 1$
CRC-8	$X^8 + X^4 + X^3 + X^2 + 1$
CRC-12	$X^{12} + X^{11} + X^3 + X^2 + X + 1$
CRC-16	$X^{16} + X^{15} + X^2 + 1$
CRC-16/CCITT	$X^{16} + X^{12} + X^5 + 1$

舉例說明此運作過程，我們計算一個8-bit資料位元組值為01110001。為了計算8位元的CRC值，需把資料位元組左移8個位元，在這裡我們以8位元產生多項式 $X^8 + X^4 + X^3 + X^2 + 1$ (100011101)為範例說明，如圖4.1.1(a)所示進行CRC的運算，經過一連串互斥或運算後所得到的餘數01000100，即為所要的CRC值。最後我們再將此餘數附加在欲傳送的資料後面，藉由發送端將此已附加CRC值的資料傳送至接收端。如圖4.1.1(b)所示當接收端收到資料後，再進行一次CRC的運算，若運算結果餘數為0，代表所得到的資料與傳送端的資料相同。

$$\begin{array}{r}
 \overline{) 0111000100000000} \\
 \underline{100011101} \\
 110110010 \\
 \underline{100011101} \\
 101011110 \\
 \underline{100011101} \\
 100001100 \\
 \underline{100011101} \\
 01000100
 \end{array}
 \quad \text{XOR}$$

圖4.1.1 (a) CRC碼的產生

$$\begin{array}{r}
 \overline{) 0111000101000100} \\
 \underline{100011101} \\
 110110000 \\
 \underline{100011101} \\
 101011010 \\
 \underline{100011101} \\
 100011101 \\
 \underline{100011101} \\
 00000000
 \end{array}
 \quad \text{XOR}$$

圖 4.1.1 (b) 接收端的 CRC 錯誤驗證

CRC 碼由於偵錯率高且硬體架構簡單，只需暫存器(Flip-Flop)及互斥或閘(Exclusive Gate)即可實現，因此受到廣泛的使用。其電路架構是以線性移位回授暫存器(Linear Feedback Shift Register, LFSR)為設計基礎的電路，如圖 4.1.2 與圖 4.1.3 所示，LFSR 又可分為 SSRG (Simple Shift Register Generator)與 MSRГ (Modular Shift Register Generator)兩種型式，其中 SSRG 架構的最大延遲路徑會隨著產生多項式的位元數越高而增加，而 MSRГ 架構的最大延遲路徑則固定為一個互斥或閘的延遲。如圖 4.1.2 與圖 4.1.3 所示 LFSR 架構上互斥或閘存放位置將影響產生多項式(Generator Polynomials)的邏輯(g_n)，我們可以以式子(4.1.1)來描述電路中互斥或閘存在與否。

$$G(x) = g_n x^n + g_{n-1} x^{n-1} + \cdots + g_2 x^2 + g_1 x^1 + g_0 \quad (4.1.1)$$

而電路中暫存器數目(W_n)即為 CRC 輸出餘數值位元數，當 CRC 位元數越高則偵錯能力也會越強，但相對的訊息處理時間也就越長，硬體成本也會越高，若產生多項式為本質多項式(Primitive Polynomials)，即多項式本身無法再做因式分解，則輸出的狀態數可以最大化。因此，若電路暫存器數目為 n 且產生多項式為本質多項式，電路輸出餘數值狀態數可以達到最大則為 2^n-1 ，而電路輸出餘數值又稱為檢查框架序列(Frame Check Sequence, FCS)。

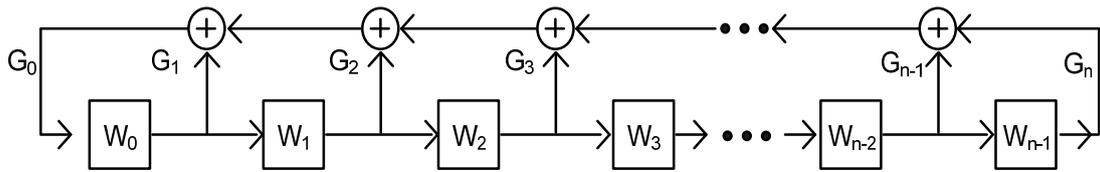


圖 4.1.2 SSRG 架構

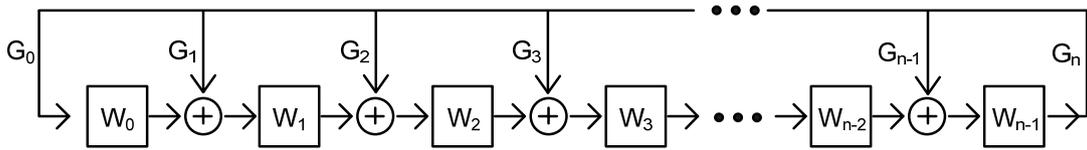


圖 4.1.3 MSRG 架構

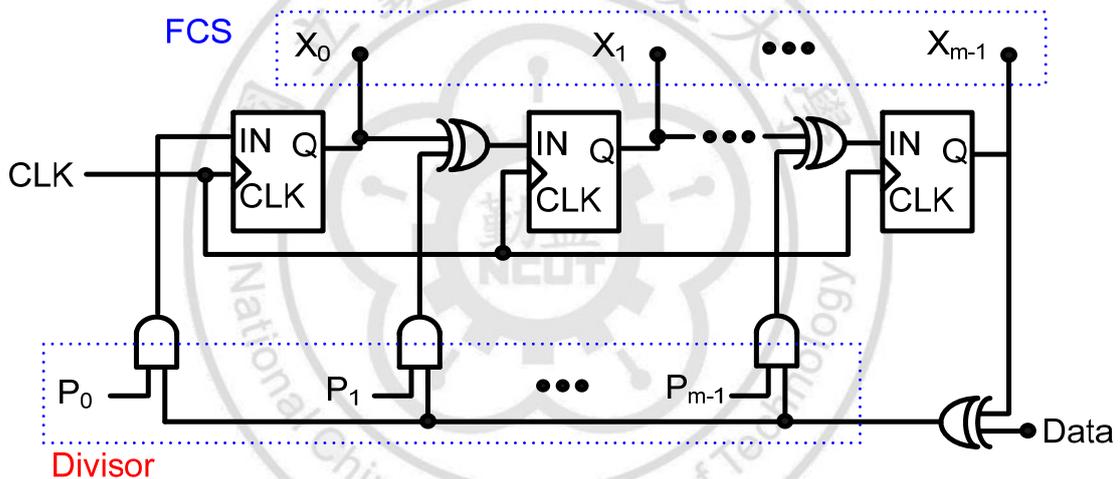


圖 4.1.4 文獻[18]提出之 LFSR 架構

CRC 電路起源於 LFSR 為架構去設計，圖 4.1.4 為 1990 年文獻[18]所提出之 LFSR 架構 CRC 電路，其電路特色為產生多項式可藉由及閘訊號(Divisor)改變多項式邏輯，所得到的餘數值則由每個暫存器並列取出(FCS)，但由於資料是以串列形式處理，電路處理資料速度會較並行處理慢。因此，後續文獻所提出的 CRC 電路，開始出現以並

行架構為基礎去做設計。在近幾年，過去文獻普遍探討將 CRC 電路應用於高速的傳輸設備中，例如：乙太網路間的傳輸及硬體之間的有線傳輸等技術。其中較具代表性文獻為 1992 年由培(Pei)等人[12]首先提出 CRC 平行處理的概念，1996 年布郎(Braun)等人[13]提出改善之矩陣計算方式並以 FPGA 技術實現 32-bit 的並行 CRC 電路，在那之後就有文獻提出各種不同的平行設計架構，如 2001 年邁克爾(Michael)等人[15]提出使用 Combinatorial network 的並行電路架構、2007 年塞澤爾(Sezer)等人[14]提出可任意更換輸入 port 數、CRC 多項式及位元數的 Programmable 電路架構。同年程超(Chao Cheng)等人[17]提出使用 Unfolding、Pipelining、Retiming 的 CRC 電路架構。因此，從過去文獻之探討，大都使用平行處理演算法及電路架構來提升資料運算速度。但上述 CRC 文獻所提出的平行設計，其電路運作速度雖快但其龐大的功率消耗及晶片面積並不適用於 RFID 的晶片設計。因此，本文以應用於 RFID 系統設計為出發點，同時也以 RFID 系統需求低功率、小面積做為本文電路設計基礎。因為在其電路的運作速度、功率消耗及成本上需找到一個平衡點，使我們的設計是適宜應用於 RFID 的系統。在本文中我們提出串列傳輸與並行傳輸兩種架構的 CRC 電路，並在以下章節中逐一說明其電路設計原理、模擬結果、實體晶片量測結果。

4.1 以 LFSR 為設計基礎之 CRC 電路-1

參考文獻[1]的電路架構，本次工作將CRC編碼電路加以微小化並實現成CMOS晶片電路，此晶片工作電壓能低於1.8伏特以下，在現代高速電路的操作下，低電壓低功率設計有其必要性。

4.1.1 電路設計與原理

圖4.1.5為典型LFSR架構CRC電路，主要架構由四個D型正反器（D Flip-Flop）所串接的移位暫存器及二個互斥或閘所組成，輸出端分別由四個暫存器的 \bar{Q} 所接出，並且在輸出端加上一個Buffer和一個反向器以增加晶片的驅動能力。輸出接了一個反向器的目的，一方面將反向器當成Buffer使用，一方面使 \bar{Q} 的反向輸出資料能回復為正常輸出資料。

電路開始運作時需先做 Reset 的動作，使 4 個暫存器資料初始值為 0，然後由輸入端開始以串列傳輸形式將資料由高位元（MSB）到低位元（LSB）依序送入暫存器，並利用時脈訊號（CLK）控制每個暫存器使其達到同步。電路最後一級暫存器的輸出會接回電路的輸入端與輸入資料做“互斥或”的運算，此過程不斷循環直到輸入端資料傳送結束。當欲傳送的資料皆送入暫存器作運算後，儲存於 4 個暫存器的值就是我們所要的 CRC 值。最後再透過並列輸出的方式，將我們所需要的 CRC 值取出來。

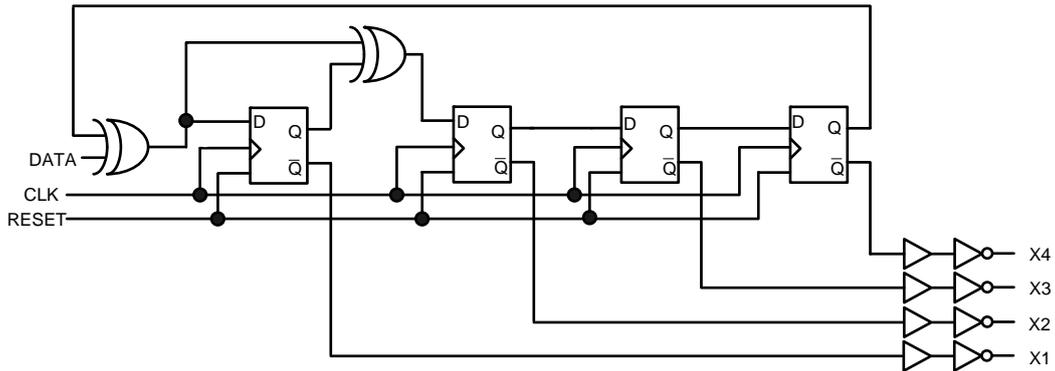


圖4.1.5 4-bit CRC編碼器電路

4.1.2 模擬結果

在 TSMC CMOS 0.35 μm 製程參數下，工作電壓為 1.8 V 時，電路正常運作之最高工作頻率為 100 MHz，HSPICE Post-sim 模擬結果顯示，輸出的 CRC 值波形與相關數據波形都可正確呈現。當輸入訊號為 0101 及 1011 時可分別得到 1111 及 1110 輸出（虛線部份），如圖 4.1.6 所示。本論文 CRC 編碼器電路特性，整理如表 4.1.2。核心電路佈局圖，如圖 4.1.7 所示。

表4.1.2 CRC電路特性表

電路名稱	4-bit CRC 編碼器
製程技術	TSMC 0.35 μm 2P4M 3.3/5V
核心電路面積	$0.958 \times 1.062 \text{ mm}^2$
電晶體數	164 個
最低工作電壓	1.8 V
平均功率消耗	0.85 mW@100 MHz, 1.8 V
最高工作頻率	100 MHz

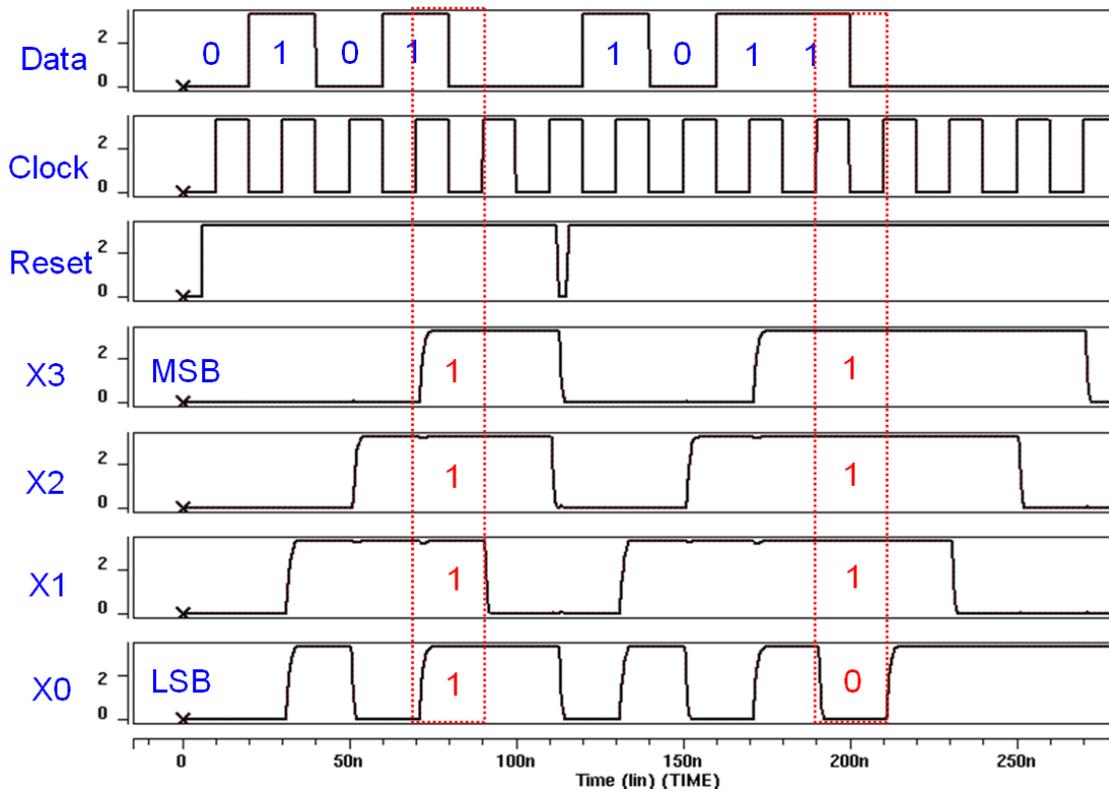


圖 4.1.6 CRC 編碼器輸出波形

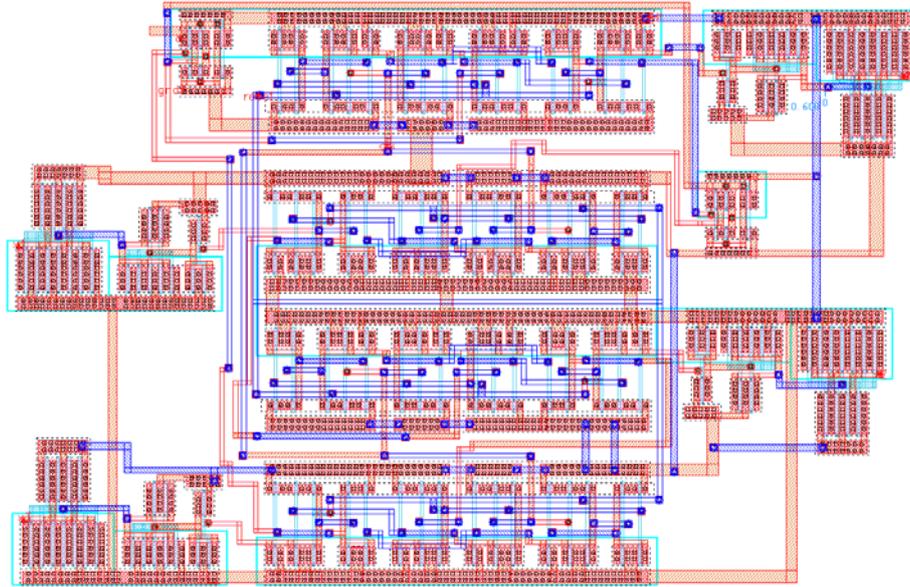


圖 4.1.7 4-bit CRC 編碼器佈局圖

4.2 以 LFSR 為設計基礎之 CRC 電路-2

圖 4.2.1 所示為傳統使用 LFSR(Linear Feedback Shift Register)的 8-bit 串列式 CRC 電路架構[1]，所使用的產生多項式為 $X^8 + X^4 + X^3 + X^2 + 1$ 。當電路開始工作時資料以串列形式輸入，直到資料完全輸入暫存器後，此時八個暫存器的值即是我們所要的 CRC 值，因此假設處理一 8-bit 資料則需要 8 個 Clock 的時間。圖 4.2.2 為本文所提出之改良式 CRC-8 電路，我們使用二組硬體處理來提升整體電路工作速度，在輸入端多工器將資料分別送至二組 CRC 電路作運算，因上下電路只需各處理一半資料量，整體工作速度可以比圖 4.2.1 傳統型電路快兩倍。

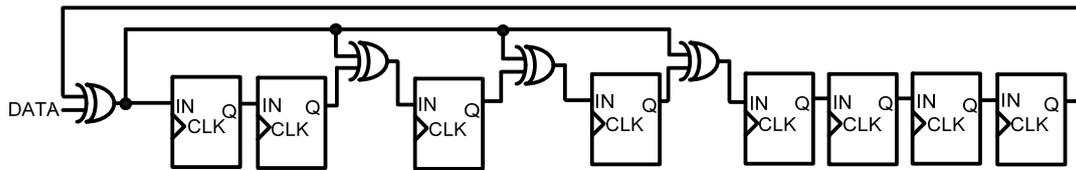


圖 4.2.1 串列輸入之 8-bit CRC 電路

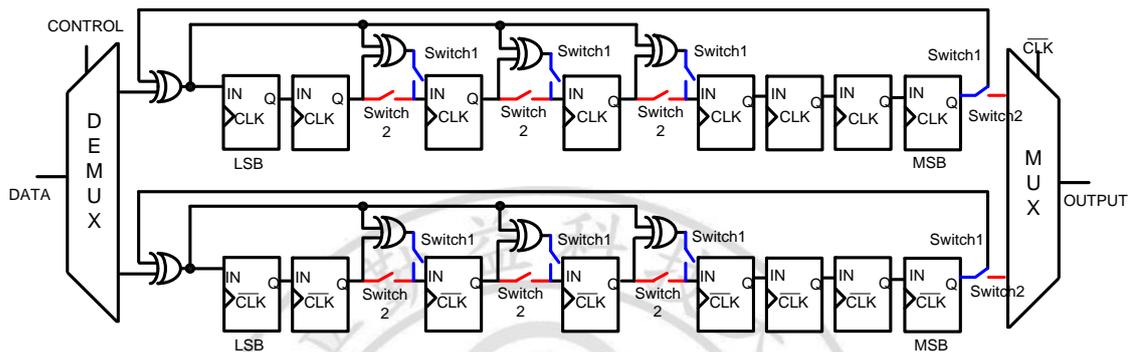


圖 4.2.2 本文所提出之改良式 CRC-8 電路

4.2.1 電路設計與原理

在 CRC 的編碼中，由於最終所產生的 CRC 餘數值即為每個暫存器內部值，因此在許多文獻中[1][2][16]CRC 電路的運算餘數值皆是以並列的方式取出，換句話說，電路的輸出即為每個暫存器的輸出端。然而在 RFID 的系統中，資料經過 CRC 運算後後續還需經過編碼器編碼，例如曼特斯特碼、米勒碼及 FM0 碼等等...編碼方式，而在文獻中[10][11]編碼電路皆以串列輸入，因此在 CRC 電路產生餘數值後，必須在輸出端將其餘數值由並列轉為串列形式，才可以供後面編碼電路使用。而本文提出硬體架構則可以將輸出 FCS 由並列轉串列形式，我們利用簡單的開關切換來達到此功能。如圖 4.2.2 所示，

當電路處於運作模式：Switch1 為開啟，Switch2 為關閉;當電路為資料串列移出模式:電路已產生所需的 CRC 餘數值時 Switch1 為關閉，Switch2 為開啟，此時電路可以視為一個暫存器傳輸級，如圖 4.2.3 波形所示暫存器內部資料將順著每一級暫存器往輸出端傳遞，最後再由多工器將兩組硬體的輸出值轉為串列形式輸出供後方編碼器所使用。我們將過去文獻[1][2]與本篇電路做比較，如表 4.2.1 所示。

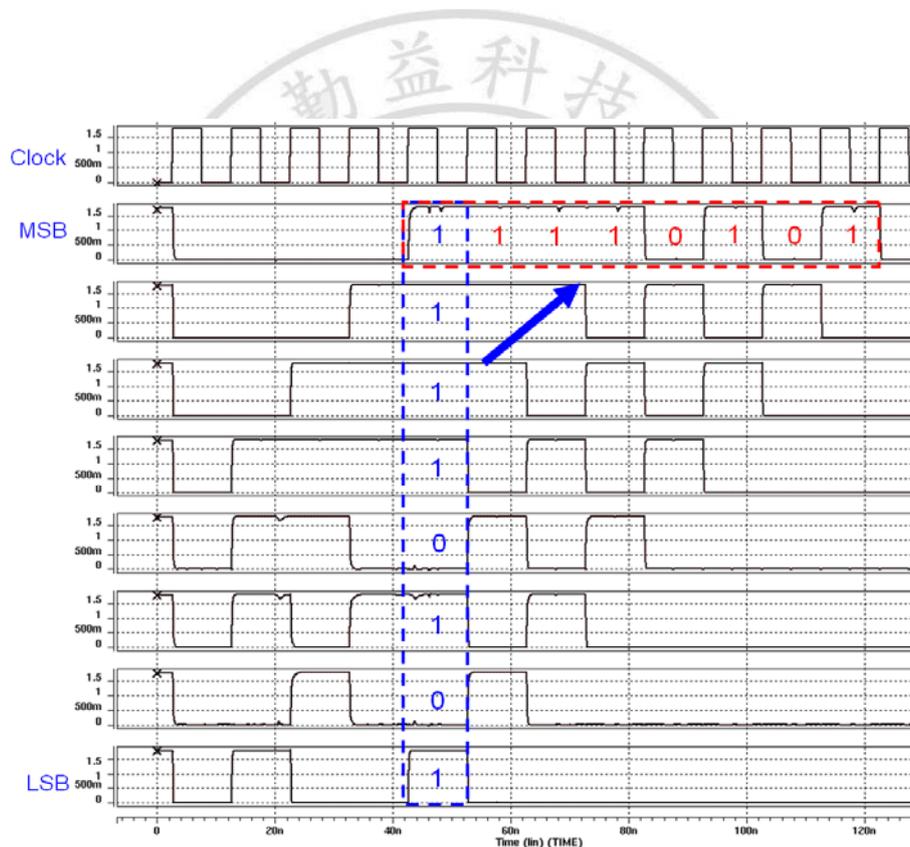


圖 4.2.3 暫存器傳輸級內部波形

表 4.2.1 本文與過去文獻比較

	最大工作頻率	處理 n-bit 資料時間	消耗功率	電晶體數
文獻[1]	100 MHz	n clock	0.85 mW	328
文獻[2]	70 MHz	n/m clock	2.08 mW	262
本文	200 MHz	n clock	218 uW	270

(m:輸入端並列數 n:輸入資料位元數)

4.2.2 模擬結果

本篇所使用製程為TSMC 0.18 um Mixed-Signal 1P6M Polycide 1.8/3.3V製程，模擬軟體為HSPICE，驗證軟體為Calibre。電晶體尺寸為 $(W/L)_{NMOS} = 0.5 \text{ um} / 0.18 \text{ um}$ 與 $(W/L)_{PMOS} = 1 \text{ um} / 0.18 \text{ um}$ ，工作電壓為1.8V。圖4.2.4為電路Post-layout模擬結果，輸入訊號為串列輸入11010010的8-bit資料，前2個Clock讓暫存器清空，因此可以在10個Clock後由輸出端得到1110 1011 0111 0010的CRC值。本電路所使用的D型暫存器為正緣觸發形式。電路特性整理至表4.2.2，圖4.2.5為核心電路佈局圖。

表 4.2.2 電路特性表

電路名稱	8-bit 多工 CRC 編碼器
製程技術	TSMC 0.18 um Mixed-Signal 1P6M Polycide 1.8/3.3V
核心電路面積	0.058 × 0.128 mm ²
電晶體數	270 個
工作電壓	1.8 V
平均功率消耗	218 uW@1.8 V
最高工作頻率	200 MHz

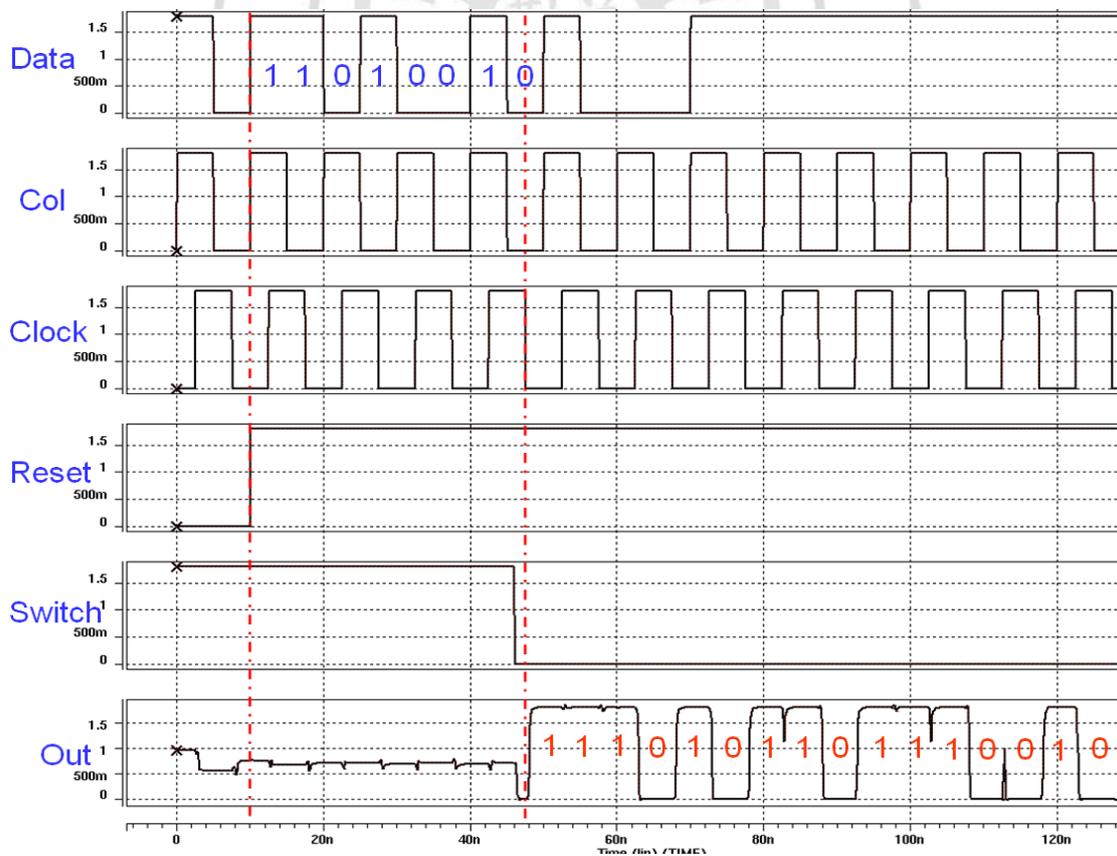


圖 4.2.4 CRC 編碼器輸出波形

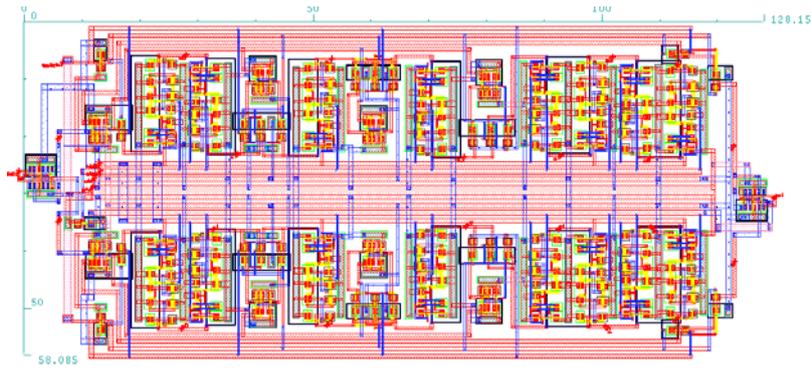


圖 4.2.5 8-bit CRC 電路佈局圖

4.3 具有多種模式之 CRC 電路

本文所提出的 CRC 電路具有可改變產生多項式能力，其電路設計方向是來自於文獻 [14]。在文獻 [14] 中提出了一種可增加電路彈性的設計，也是第一個提出此種具有可編輯性(Programmable)的 32 位元並行 CRC 電路，其電路架構是以 1992 年[12]的架構去做修改，並且可以任意改變輸入 Port 數、FCS (Frame Check Sequence)位元數及產生多項式，而其電路已被應用於 SOC (System on Chip)網路中。本文也提出了具有可切換不同模式的串列 CRC 電路，並將其應用於 RFID 的系統中。

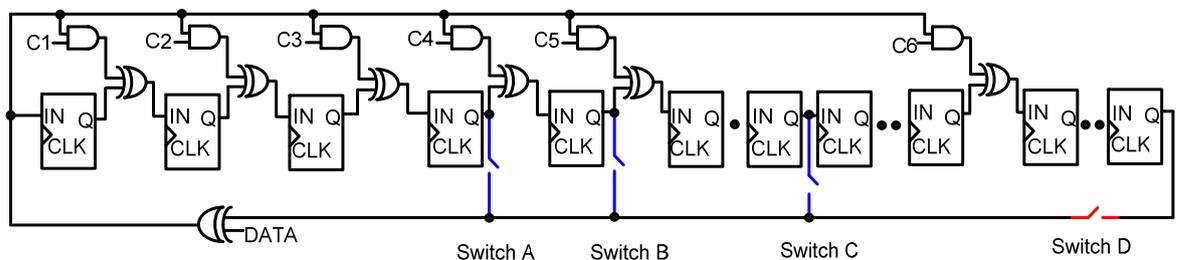


圖 4.3.1 具有多模式之 CRC 電路原型

4.3.1 電路設計與原理

如圖 4.3.1 所示為本文所提出的 CRC 電路原型，我們將四種常用的 CRC 產生多項式邏輯，分別為 CRC-4、CRC-5、CRC-8 及 CRC-16，四種邏輯嵌入於圖 4.3.1 電路中。並且搭配 C1-C6 與 Switch A-D 控制訊號來切換不同的工作模式。如表 4.3.1 所示，不同模式的 CRC 則須輸入相對應之控制訊號。舉例說明：如切換至 CRC-5 模式則可得到 5 位元之 CRC 餘數值。我們對表 4.3.1 的十組控制訊號做化簡，觀察表 4.3.1 中的 C3、C4 與 C5、C6 訊號 don't care 項居多，因此將 C3、C4 與 C5、C6 分別合併，合併後如表 4.3.2 所示。接著將 Switch A-D 訊號合併至左邊 C1-C4 中，亦即利用 C1-C4 來控制右邊四組開關的切換。當 C1 與 C4 為 "1" 時則 Switch A 與 Switch D "ON"，反之則 "OFF"；唯有當 C2 與 C3 分別為 "10" 與 "11" 時 Switch B 與 Switch C 才會分別 "ON"，在其他狀態皆呈現 "OFF"。到此已成功化簡控制訊號至 C1-C4。最後再搭配一組解碼電路如圖 4.3.2 所示，將 C1-C4 訊號做解碼，因此 4 組訊號進一步化簡至 2 組(B1-B2)。經設計後，此電路的四種模式可由 2 位元的信號 B1-B2 來控制，如表 4.3.3 所示。

表 4.3.1 CRC 電路真值表(1)

	C1	C2	C3	C4	C5	C6	A	B	C	D
CRC-4	1	0	0	x	x	x	ON	OFF	OFF	OFF
CRC-5	0	1	0	0	x	x	OFF	ON	OFF	OFF
CRC-8	0	1	1	1	0	x	OFF	OFF	ON	OFF
CRC-16	0	0	0	0	1	1	OFF	OFF	OFF	ON

表 4.3.2 CRC 電路真值表(2)

	C1	C2	C3	C4	A	B	C	D
CRC-4	1	0	0	0	ON	OFF	OFF	OFF
CRC-5	0	1	0	0	OFF	ON	OFF	OFF
CRC-8	0	1	1	0	OFF	OFF	ON	OFF
CRC-16	0	0	0	1	OFF	OFF	OFF	ON

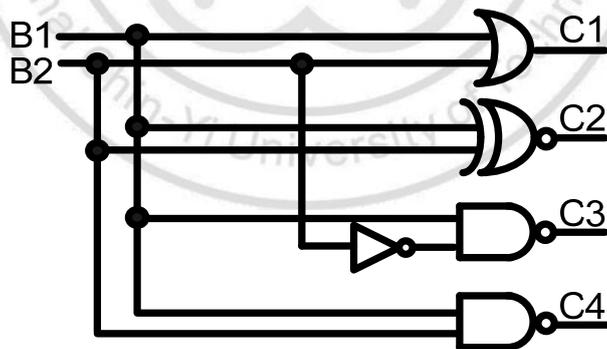


圖 4.3.2 解碼器電路

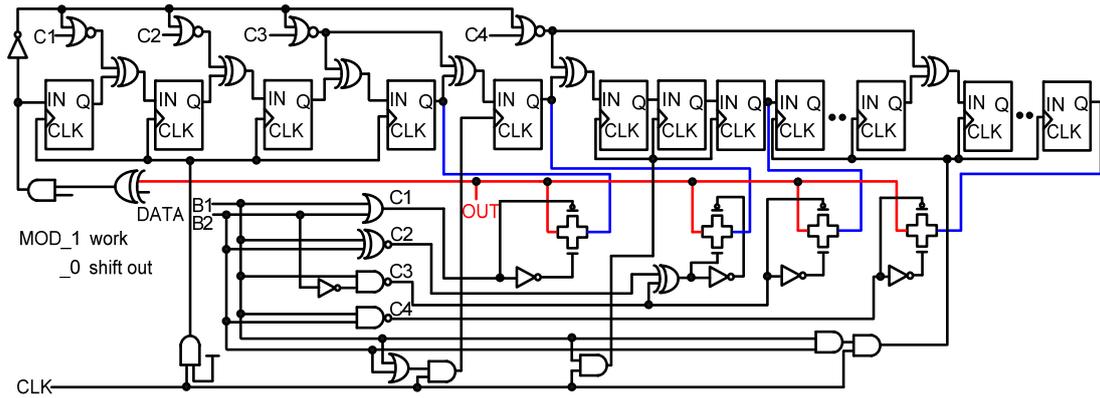


圖 4.3.3 本文所提出具有多模式之 CRC 電路

如圖 4.3.3 為經過訊號化簡後之 CRC 電路，電路之運作原理為：一開始所有暫存器必須先 Reset 使其內部值歸零，接著資料由輸入端 (Data) 以串列形式輸入，在資料輸入的同時電路處於運算模式，因此給予 Mod 接腳 "1" 信號，當資料輸入完畢，時每個暫存器的值即為我們所要的 CRC 餘數值。此時電路運作於資料輸出模式，因此給予 Mod 接腳 "0" 信號，所有介於暫存器之間的 XOR 閘因為一輸入恆為 0 則另一輸入值等於輸出值，CRC 餘數值則以串列的方式傳送至輸出端，其 CRC 值(FCS)將由後續電路做編碼。表 4.3.4 為本文與過去文獻電路特性比較表

表 4.3.3 CRC 模式切換表

	B1	B2
CRC-4	0	0
CRC-5	0	1
CRC-8	1	0
CRC-16	1	1

表 4.3.4 本文與過去文獻比較表

	本文	文獻[12]
最高工作頻率	200 MHz	125MHz
核心電路面積	0.008 mm ²	0.27 mm ²
平均功率消耗	92 uW	5.9 mW
可切換的多項式	4 種	16 種
資料傳輸模式	串列	並列

4.3.2 模擬結果

本篇所使用的模擬環境為由 CIC 提供的 TSMC 0.18 μ m Mixed-Signal 1P6M Polycide 1.8/3.3V CMOS 製程，模擬軟體為 HSPICE，驗證軟體為 Calibre。電晶體尺寸為 $(W/L)_{NMOS} = 0.5 \mu\text{m} / 0.18 \mu\text{m}$ 與 $(W/L)_{PMOS} = 1 \mu\text{m} / 0.18 \mu\text{m}$ ，工作電壓為 1.8 V。我們給予電路 8 位元的 Test Pattern 為 10001011。一開始 8 位元資料會以串列方式輸入至 CRC 電路，並且分別模擬當控制訊號為 B1 與 B2 為 00、01、10、11 時分別可得到 CRC-4、CRC-5、CRC-8、CRC-16 四種餘數值 (FCS)，如圖 4.3.4、圖 4.3.5、圖 4.3.6、圖 4.3.7 表示。電路特性整理於表 4.3.5，圖 4.3.8 為核心電路佈局圖。

表 4.2.5 電路特性表

電路名稱	可多模式切換之 CRC 編碼器
製程技術	TSMC 0.18 um Mixed-Signal 1P6M Polycide 1.8/3.3V
核心電路面積	42 × 204 um ²
電晶體數	312 個
工作電壓	1.8 V
平均功率消耗	92 uW @1.8 V
最高工作頻率	200 MHz

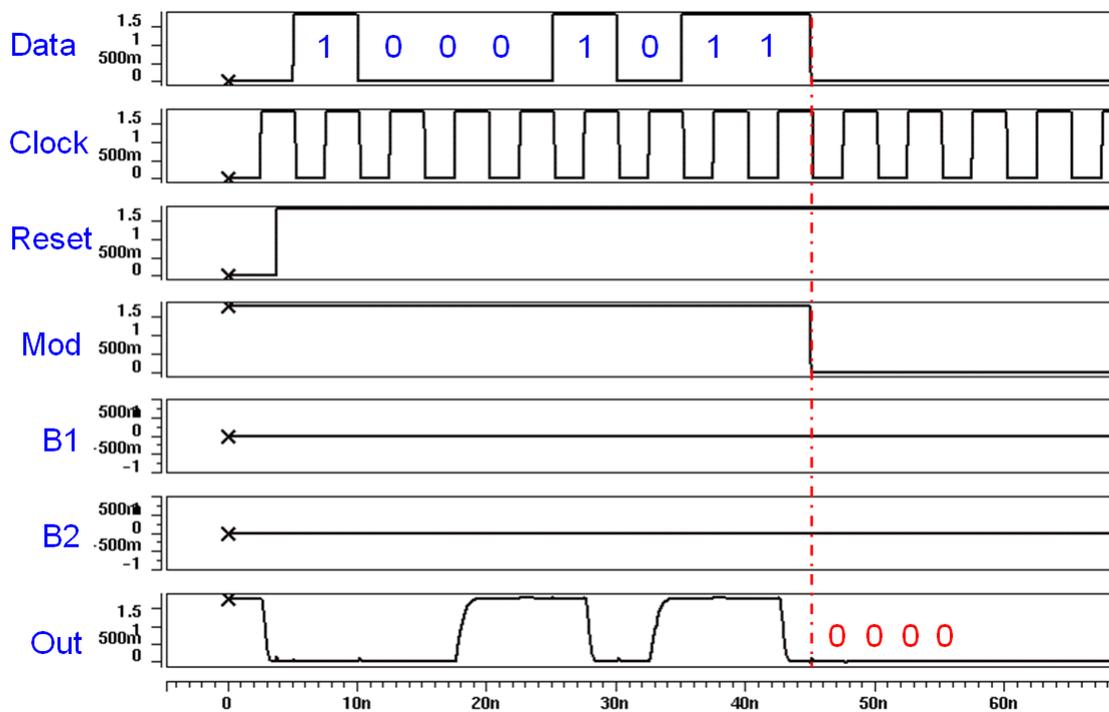


圖 4.3.4 CRC-4 輸出波形

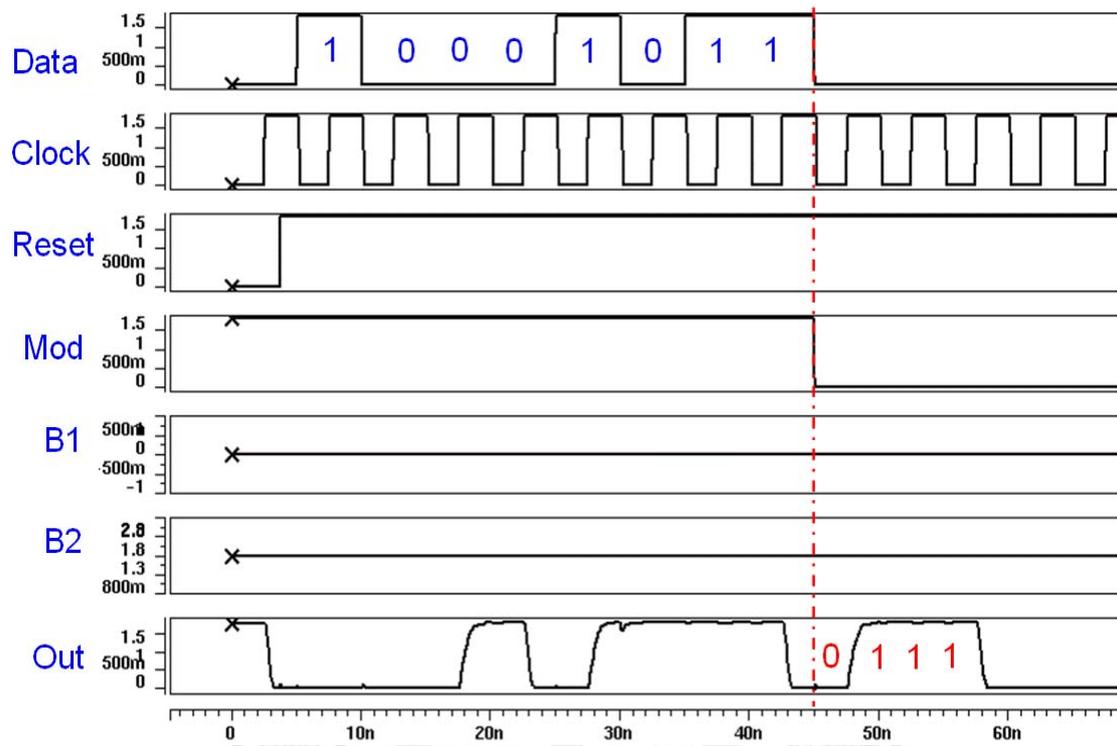


圖 4.3.5 CRC-5 輸出波形

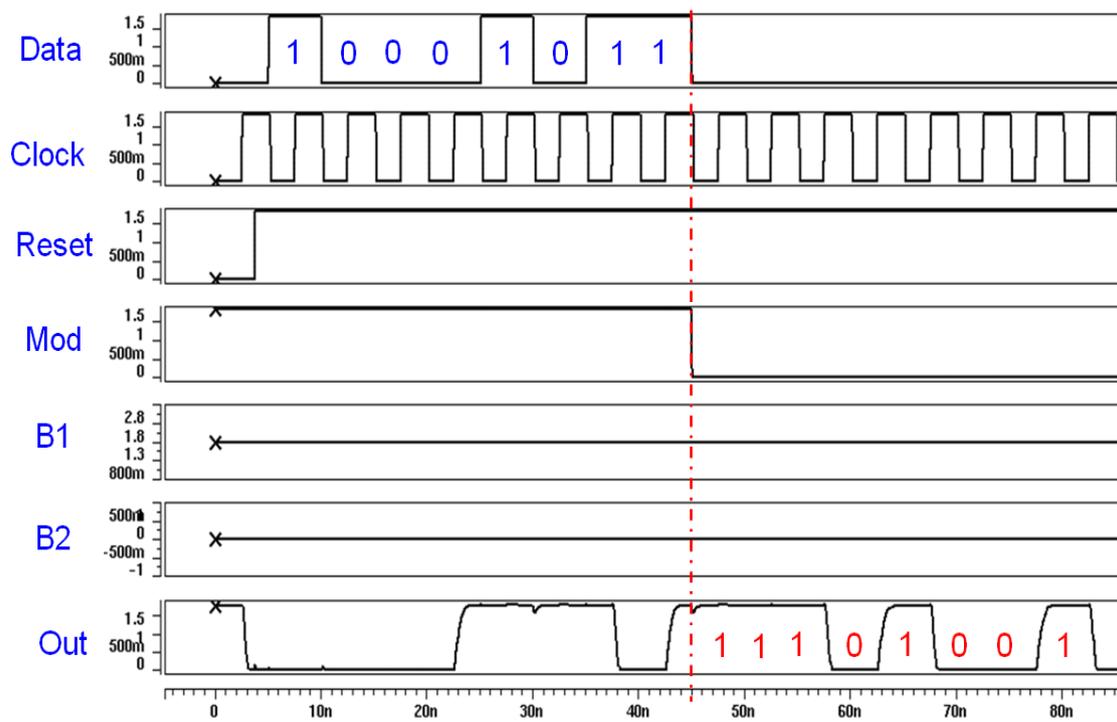


圖 4.3.6 CRC-8 輸出波形

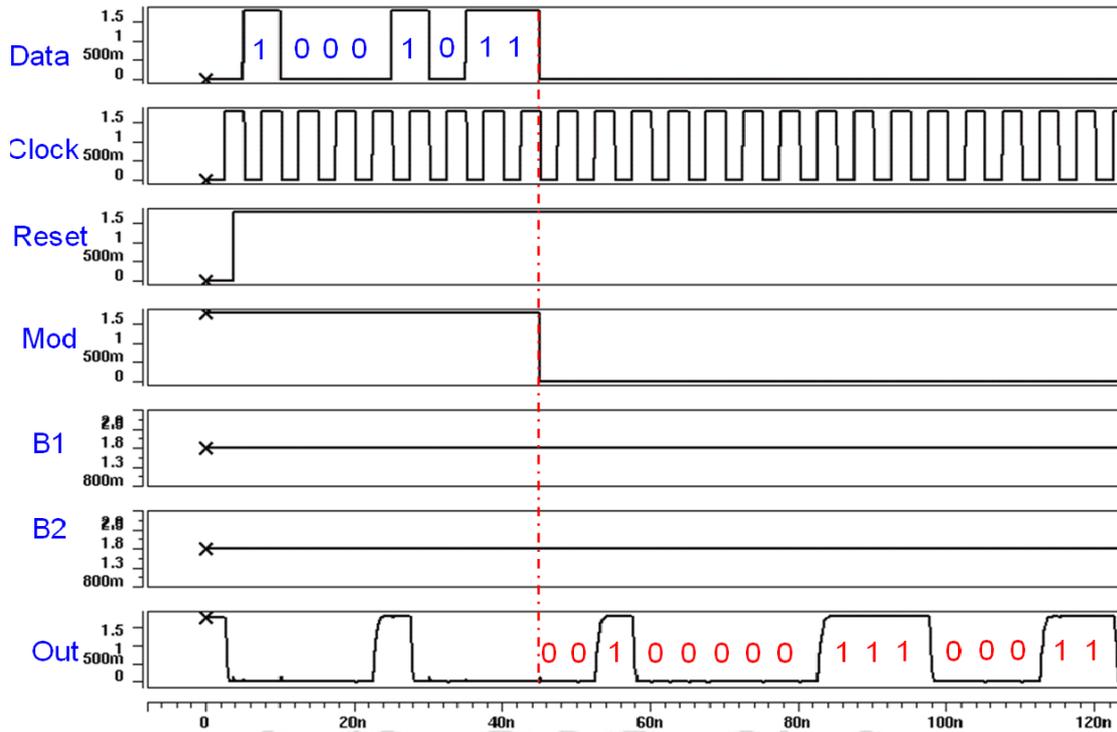


圖 4.3.7 CRC-16 輸出波形

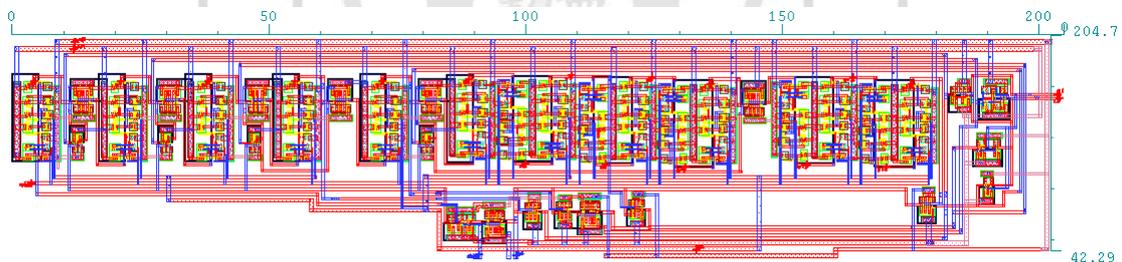


圖 4.3.8 核心電路佈局圖

4.4 具任意輸入位元能力之 CRC 電路

在現今電路高資料傳輸率的需求下，一般以串列形式所實現的 CRC 電路已漸不足以應付高速的資料傳輸。相較於串列 CRC 電路架構，並行 CRC 架構可以更快及更有效率的去處理每一筆資料運算。雖然並行架構在硬體的成本上會比串列架構來的高，但在現今高資料

量處理需求下，並行架構的設計是有其必要性。本文採用文獻[15]之架構，針對其架構只能處理某些固定位元數資料的缺點加以改善。經過我們設計後，此改良之 CRC 電路架構已能處理任意位元數資料。

4.4.1 並列式相較於串列式架構

如圖 4.4.1 所示為一般使用 LFSR (Linear Feedback Shift Register) 的 3-bit 串列式 CRC 電路架構，假設所使用的產生多項式為 X^3+X^2+1 。當電路開始工作時，資料須以串列形式輸入，直到資料完全輸入暫存器後，此時三個暫存器的值即是我們所要的 CRC 值。因此假設處理一 4-bit 資料則需要 4 個 Clock 的時間。相較於文獻[15]採用資料並行輸入 CRC 之電路架構，如圖 4.4.2 所示。圖 4.4.2 所用的產生多項式亦為 X^3+X^2+1 ，四個輸入端採用並列方式輸入，當電路開始工作時資料以並列形式同時丟入 i_0-i_3 。因此，同樣處理一組 4-bit 資料只需要 1 個 Clock 的時間。

在比較一般串列式架構及文獻[15]所提出之並行式架構後，以串列架構處理 n -bit 資料至得到 CRC 值時間需為 n 個 Clock，而文獻[15]提出的並行式架構處理 n -bit 資料時間為 n/m (m :輸入端並列個數)。因此，並行式架構處理資料速度明顯比串列式快，但在硬體的成本上也相對較高。

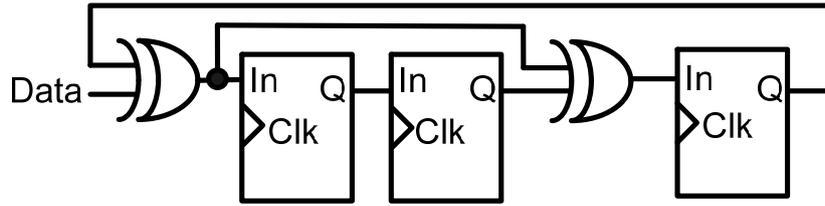


圖 4.4.1 使用 LFSR 之串列 CRC 電路 (X^3+X^2+1)

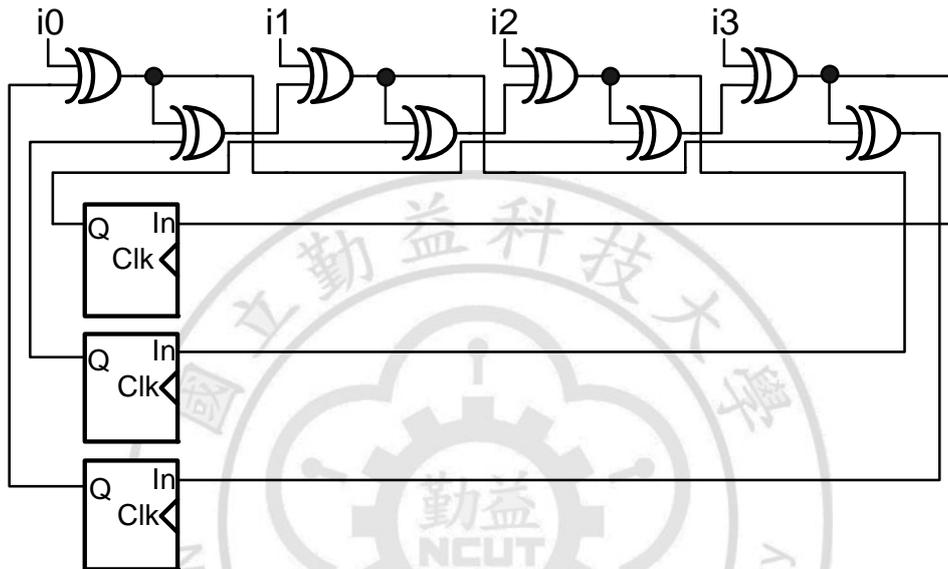


圖 4.4.2 文獻[15]所提出之並行式 CRC 電路 (X^3+X^2+1)

4.4.2 改良之並行式 CRC 電路

在文獻[15]所提出之並行式 CRC 電路架構相較於串列式 CRC 架構可以更快速的處理資料。但在硬體的實現上會面臨到一個嚴重問題，即為資料只能以輸入端並列個數的倍數輸入。舉例說明當電路輸入端並列數為四個，如圖 4.4.2 所示，則資料僅能以 4、8、12、16... 等四的倍數輸入資料。因為當資料不為輸入端的並列個數輸入時，勢必會造成某些輸入端沒有資料輸入，進而造成產生錯誤的 CRC 值。

本文所提出的改良並行式電路則由文獻[15]所提出單一輸入 Port 的 8 位元模組衍伸設計而來。如圖 4.4.3 所示，虛線裡包含互斥或閘所產生的 Combinatorial network (CN)代表我們所選用的產生多項式，分別從上至下代表著高位元至低位元。我們可任意去選擇不同的產生多項式，藉由不同的互斥或閘擺放位置，擺放互斥或閘的點則代表產生多項式裡每一項的次方數存在與否，圖 4.4.3 表達多項式即為 $X^8 + X^4 + X^3 + X^2 + 1$ 。如圖 4.4.4 所示 CN 的每一項輸出則對應至下一個狀態(狀態 S_{n+1})，暫存器 S_n (S7-S0)的輸出則分別對應至產生多項式的相同輸入。因此，藉由增加 CN 我們可以任意增加電路輸入端的個數。同樣的，藉由增加暫存器的個數我們也可以任意增加 CRC 餘數值的位元數。

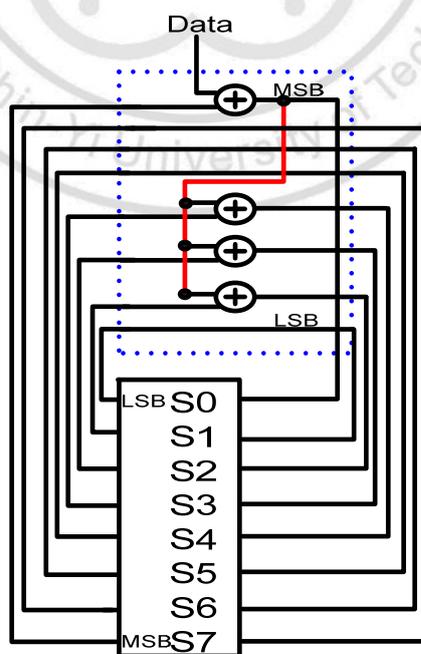


圖 4.4.3 單一輸入的 8-bit 並行 CRC 模組

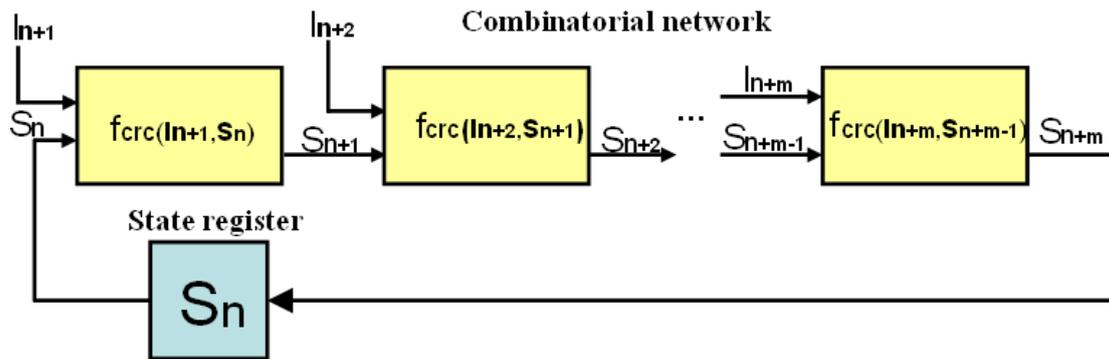


圖 4.4.4 文獻[15]所提出的 m-bit 並行回授網路

為了解決上述資料不為輸入端整數倍所產生錯誤 CRC 餘數值的問題，本文提出新的並行式 CRC 電路架構如圖 4.4.5 所示。我們採用文獻[15]之電路架構，並加以擴充至 8-bit 以增加電路的偵錯能力。所採用的產生多項式為 $X^8 + X^4 + X^3 + X^2 + 1$ ，並在每個輸入端之間增加一組開關切換電路，再利用 C0、C1 及 C2 控制線控制其輸出。如圖 4.4.6 所示，我們所設計開關切換電路每一路徑僅以 1 顆 NMOS 作為開關以取代傳輸閘，以達到最省電晶體數目的。雖然 NMOS 開關操作時會產生弱 1 信號，但由於我們所用的電壓為 3.3 伏特，弱信號大約為 2.5~2.6 伏特，此弱信號依然可以被暫存器正常取樣。並藉由控制線(Control)來控制開關的切換，當控制線輸入 1 時，輸入端 In1~In8 訊號經由 Out1~Out10 輸出；當控制線輸入 0 時，輸入端訊號經由 Out_1~Out_8 輸出。

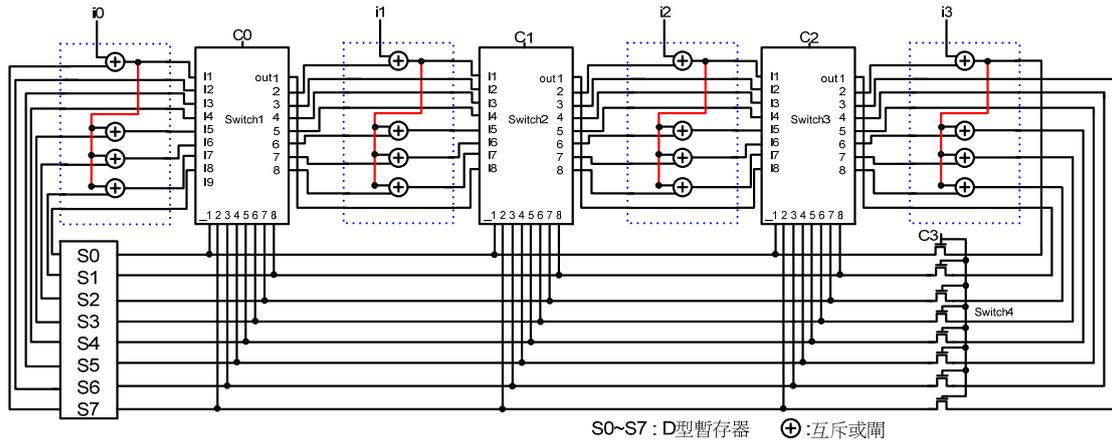


圖 4.4.5 本文所提出之 8-bit CRC 電路

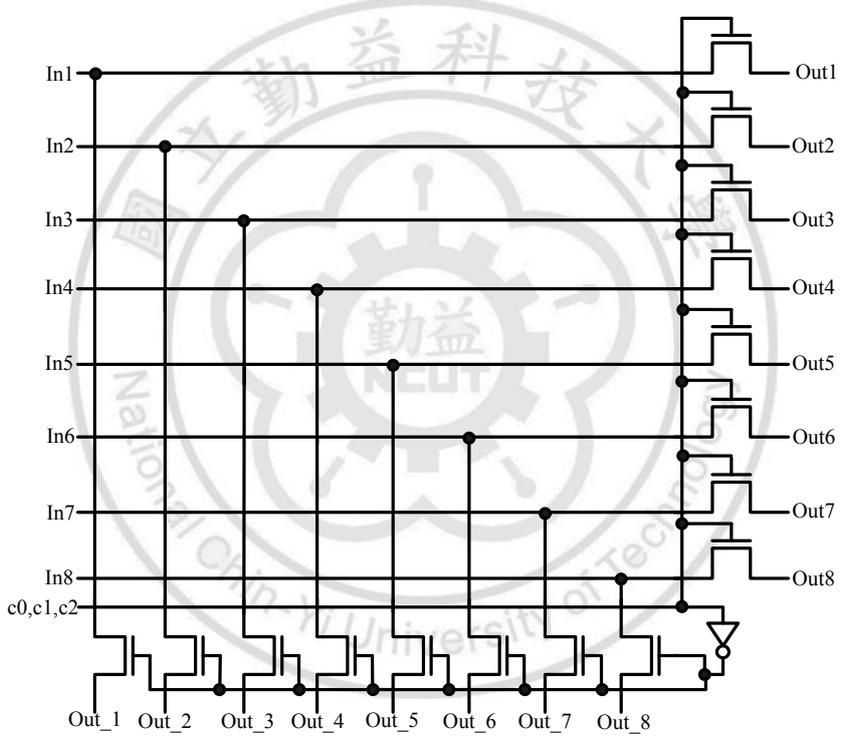


圖 4.4.6 NMOS 開關切換電路

我們在每個輸入端的節點加了我們設計的開關切換電路後，此電路功能將可以藉由開關切換以接受任意 bit 數的資料輸入。例如當輸入資料 bit 數為 3 之倍數時，可設定 C0 及 C1 為 1，C2 及 C3 為 0。此時訊號將會從 Switch 3 的 Out_1~Out_8 輸出至暫存器。換句話說，

我們藉由控制輸入端的並列數來對應到輸入資料的 bit 數，只要輸入資料的 bit 數能被輸入端的並列數整除，資料就能正常的輸入，進而產生正確的 CRC 值。整體開關控制功能整理至表 4.4.1 所列。而我們在最後一級輸入 i3 的邏輯閘輸出端又加了一組開關的目的，則是要避免當開關並列數切換至 3 以下時，最後一級的邏輯閘因 CMOS 電路浮接可能會產生不正確輸出，因此我們加了開關來隔離最後一級邏輯閘的輸出，確保暫存器能取樣到正確值。我們將文獻[15]及一般 LFSR 串列型電路與本篇電路做比較，電路均使用產生多項式為第 3 章表 3.2.1 之常用多項式，整理如表 4.4.2。顯示本電路處理資料速度比一般串列型快，並且我們改善了文獻[15]電路資料只能以輸入端並列數倍數輸入的缺點。

表 4.4.1 開關控制訊號表

C0	C1	C2	C3	允許的資料輸入 bit 數
1	1	1	1	4-bit 倍數輸入
1	1	0	0	3-bit 倍數輸入
1	0	1	0	2-bit 倍數輸入
0	1	1	0	1-bit 倍數輸入

表 4.4.2 本篇 CRC 電路與過去文獻比較

	電路 bit 數	處理 n-bit 資料時間	電晶體數	能處理的 資料 bit 數
傳統 LFSR 架構	4-bit	n clock	64	任意 bit 數
	8-bit	n clock	128	任意 bit 數
	16-bit	n clock	226	任意 bit 數
文獻[15]	4-bit	n/m clock	148	m 倍數
	8-bit	n/m clock	200	m 倍數
	16-bit	n/m clock	304	m 倍數
本文	4-bit	n/m clock	210	任意 bit 數
	8-bit	n/m clock	262	任意 bit 數
	16-bit	n/m clock	366	任意 bit 數

(m:輸入端並列數 n:輸入資料位元數)

4.4.3 模擬及實體量測結果

本篇所使用的模擬參數為 TSMC 0.35 um Mixed-Signal 2P4M Polycide 3.3/5V 製程，使用模擬軟體為 HSPICE，驗證軟體為 Calibre。電晶體尺寸均為 $(W/L)_{NMOS} = 1\mu m / 0.35\mu m$ 與 $(W/L)_{PMOS} = 2\mu m / 0.35\mu m$ ，工作電壓為 3.3V。輸入訊號為基本時脈 CLK、i0(MSB)、i1、i2、i3(LSB)，控制訊號有 C0、C1、C2、C3，輸出訊號為

S0(LSB)~S7(MSB)。圖4.4.7為電路後端模擬結果，輸入測試訊號為並列輸入100100100101的12-bit資料，C0~C1控制訊號皆設為邏輯1(3.3V)因此可以在第4個時脈(Clock)後由輸出端S7~S0得到11111000(虛線顯示部份)的CRC值。本篇所使用的D型暫存器為正緣觸發形式。

本文所設計之實體 IC 已製作完成，所使用的量測機台為 CIC 所提供之 Agilent 93000 測試平台如圖 4.4.8(左)所示。測試晶片被放置至 48pin IC 腳座，再由 Agilent 93000 機台下方測試板(圖 4.4.8 右)直接送信號至待測晶片。圖 4.4.9 為本文電路佈局圖及晶片實照圖，核心電路面積為 $229 \times 124 \text{ um}^2$ 。圖 4.4.10 為晶片實測結果，所使用的測試向量檔與圖 4.4.7 一樣，輸入亦為 100100100101 的 12-bit 資料，並將其分為 3 部份 1001,0010,0101 依序由 3 個 Clock 分別送入晶片之四個輸入接腳。每一個時脈結束時 8 個暫存器亦會產生一組餘數值，再經由回授(feedback)的方式，回授至電路的第一組 CN 再與其第二個 Clock 輸入資料作互斥或運算，直到第 3 個 Clock 結束後 8 個暫存器值 S7~S0 依序為 11111000 (紅色虛線部份)即為晶片輸出之 CRC 值。將圖 4.4.10 與圖 4.4.7 後端模擬結果作比對為完全相同，證實本晶片功能實作無誤。圖 4.4.11 為 Agilent 93000 系統所量測晶片最大頻率，圈選部份顯示本晶片最大工作頻率達 58 MHz，晶片規格整理至表 4.4.3。

表 4.4.3 晶片規格表

電路名稱	具任意輸入位元能力之 CRC 電路
製程技術	TSMC 0.35 um Mixed-Signal 2P4M Polycide 3.3/5V
核心電路面積	$0.229 \times 0.124 \text{ mm}^2$
電晶體數	262 個
工作電壓	3.3 V
平均功率消耗	2.08 mW@3.3 V
最高工作頻率	58 MHz

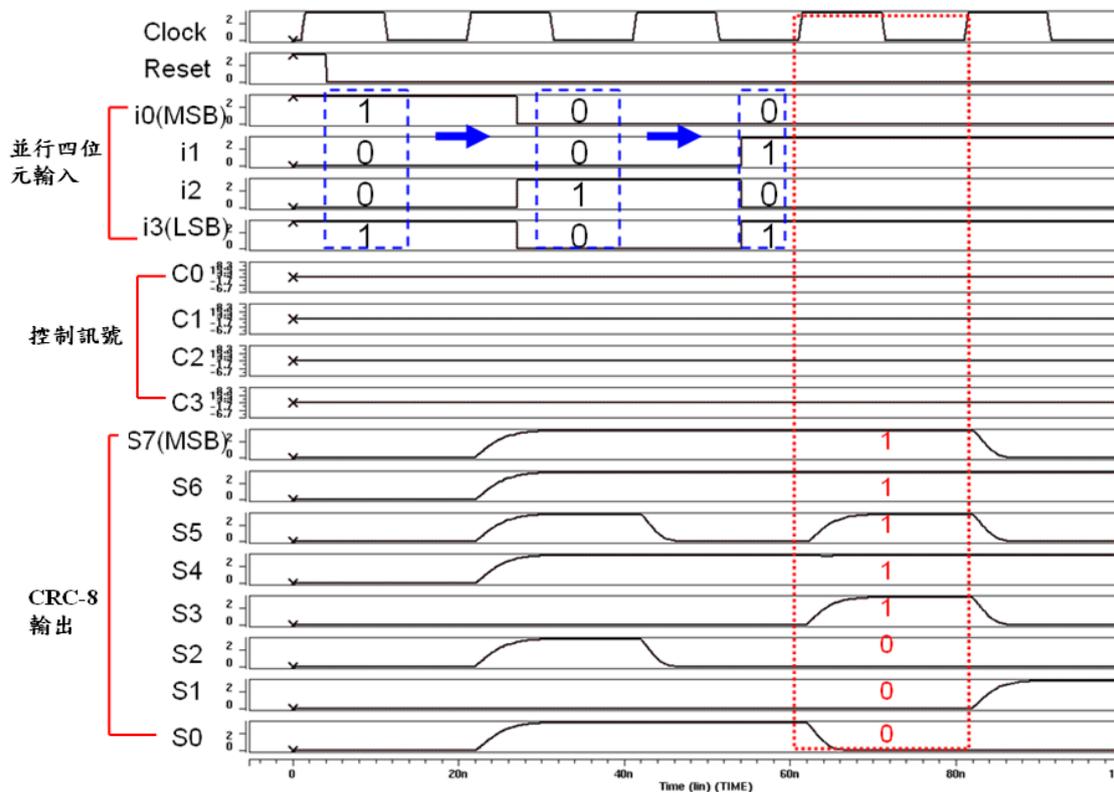


圖 4.4.7 電路後端模擬結果



圖 4.4.8 Agilent 93000 測試平台

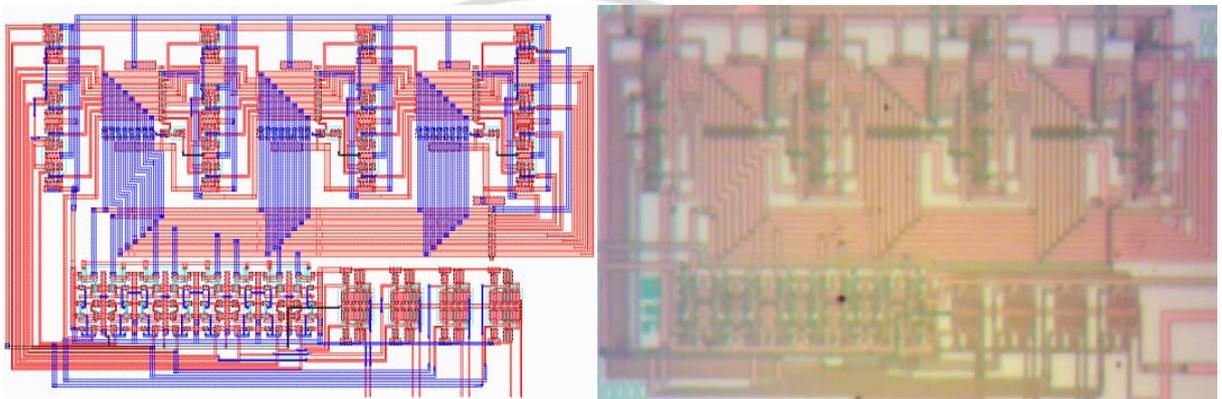


圖 4.4.9 晶片佈局圖(左)及實照圖(右)

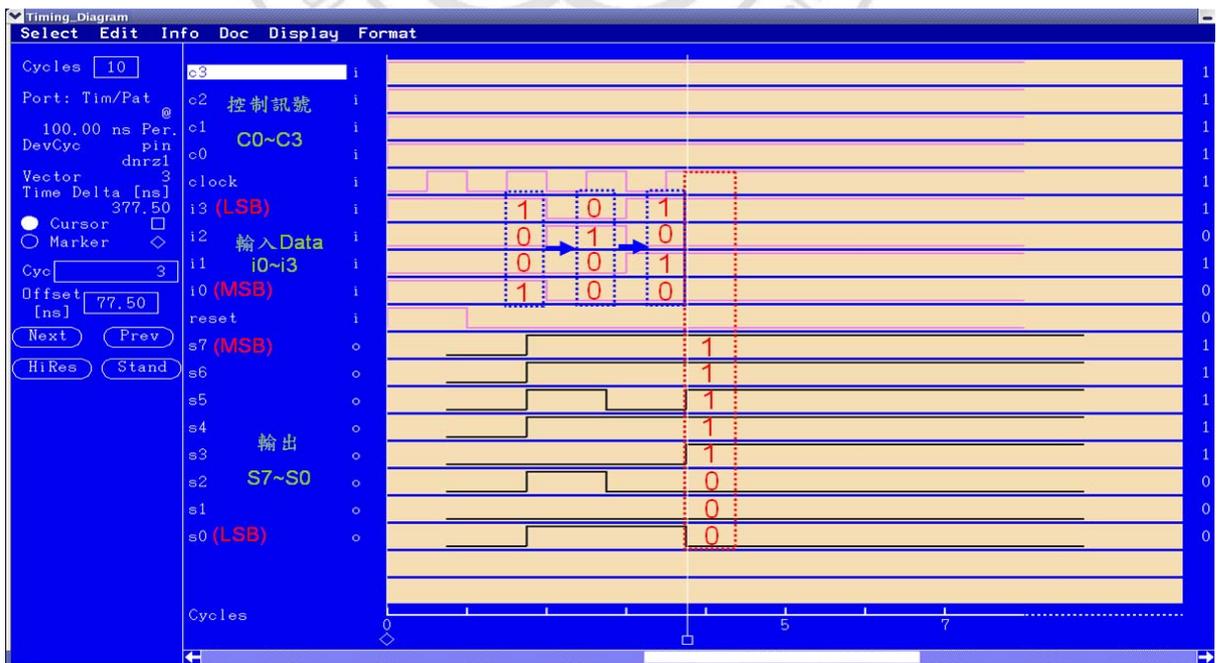


圖 4.4.10 晶片量測結果

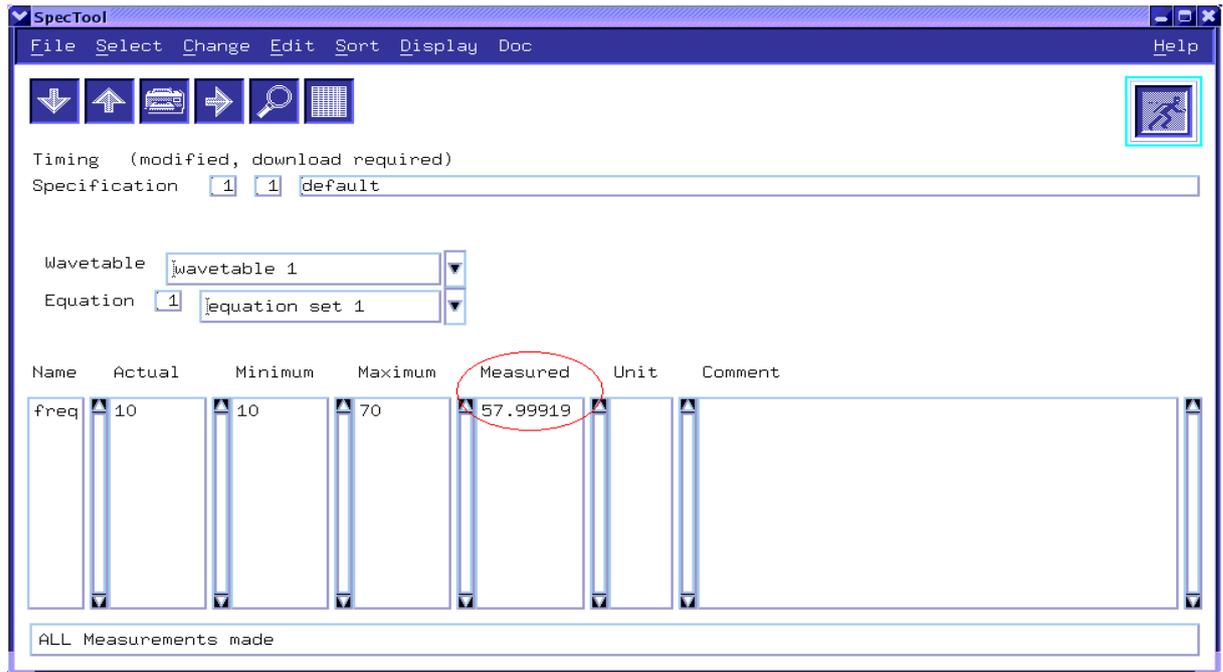


圖 4.4.11 晶片實測最大頻率



第五章 偵錯、編碼及調變多功能電路整合

在本章節我們整合 RFID 一系列的資料處理電路，包含一個具有可切換產生多項式(Generator Polynomials)之 CRC 偵錯電路和同時具有 Manchester 與 Miller 編碼功能之編碼電路及具有 ASK (Amplitude-Shift Keying) 與 FSK (Frequency-Shift Keying) 調變功能電路，並在最後將其三塊具有不同功能之電路整合，使其成為一個較有效率且功能完整的 RFID 資料處理系統。在本章節裡，由於 CRC 電路在第四章裡已有詳細說明其設計原理，因此以下將只針對編碼電路及調變電路說明其設計原理，並在最後對整個系統進行模擬與功能驗證。

5.1 Manchester 與 Miller 碼編電路設計

曼徹斯特編碼電路從最簡單的一顆互斥或閘即可實現，然而後來文獻[10]提出了另一種具有抗雜訊能力的編碼電路如圖 5.1.1 所示。主要是使用 2 倍頻率(Clock2)去對資料作取樣，由於避開了資料轉態點，因此也提高了抗雜訊能力。觀察曼徹斯特與米勒碼之編碼關係，可以發現將曼徹斯特(M1)經過除頻便能得到米勒碼，因此只要在曼徹斯特碼輸出經過一個 T-型正反器便能得到米勒碼(M2)如圖 5.1.1 所示。繼文獻 [10] 之後文獻 [11] 提出了並行處理的曼徹斯特碼架構如圖 5.1.2 所示，其主要為使用兩組硬體架構來做平行處理，以提升

資料處理速度，並進一步使用硬體共享的方式來降低硬體成本，圖 5.1.3 為化簡後的電路。其電路工作原理為當資料則由輸入端經由解多工器傳送至兩組硬體做編碼，最後再由多工器將兩組解碼後的資料合併在一起。在本論文，我們觀察文獻[11]圖 5.1.3 的電路架構及資料輸入的方式，並修改其電路架構如圖 5.1.4 所示，我們將圖 5.1.3 資料輸入端的兩個暫存器以 Latch 來取代，除了可以減少電晶體之外亦可將解多工器省略。

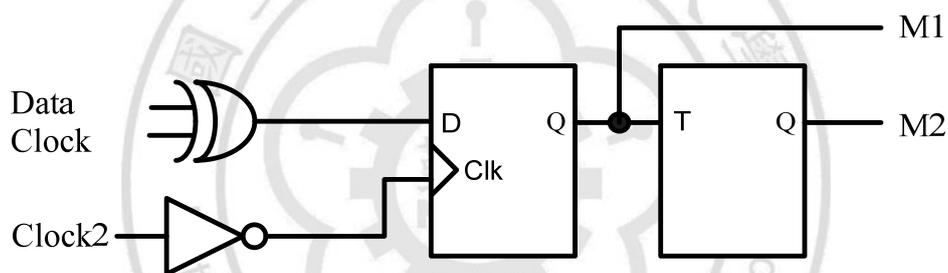


圖 5.1.1 文獻[10]提出之 Manchester 編碼器

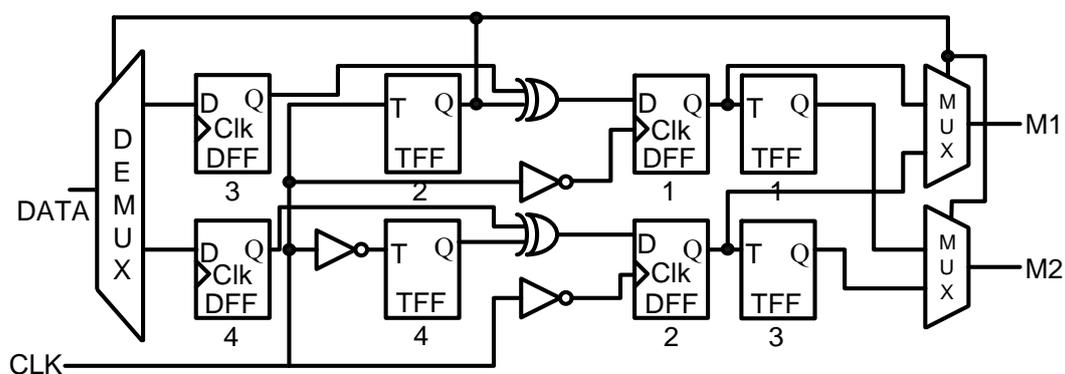


圖 5.1.2 文獻[11]提出之 Manchester 編碼器

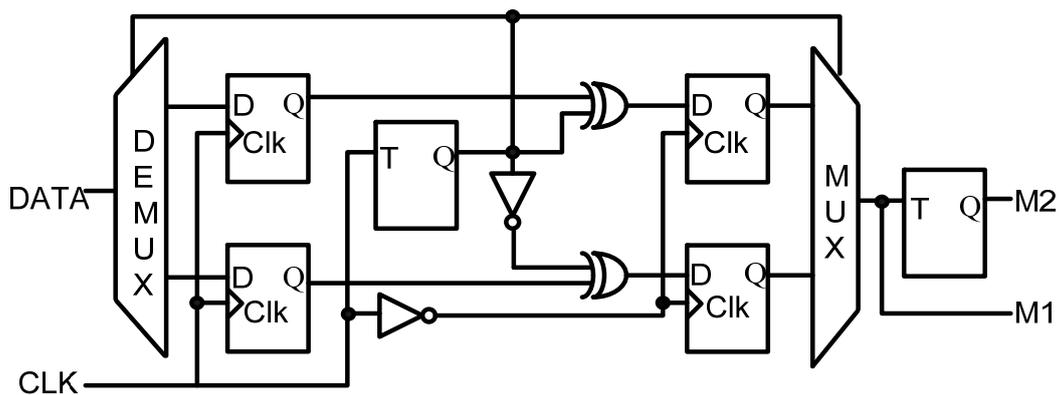


圖 5.1.3 文獻[11]提出之改良型 Manchester 編碼器

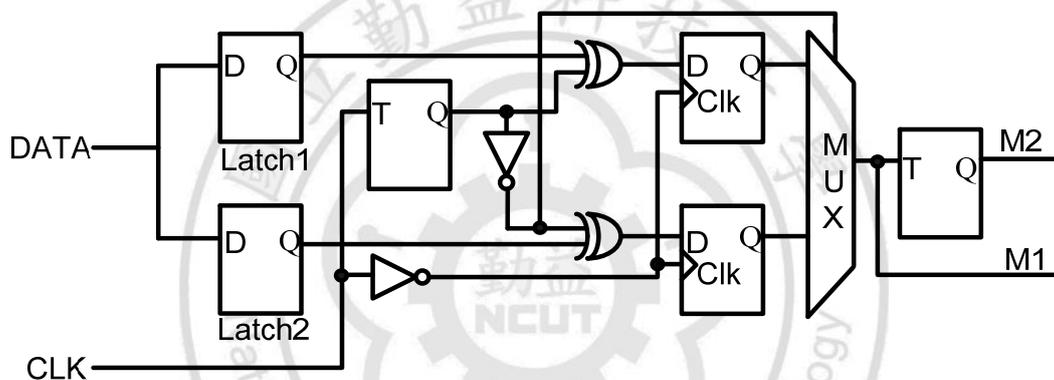


圖 5.1.4 本文所提出之 Manchester 編碼器

5.2 調變電路設計

圖 5.2.1 為本文所提出調變器，主要由無穩態 5 級環型振盪器 (Ring Oscillator) 及邏輯閘所組成。振盪器是由 5 個反向器所接成的閉迴路，若每一個反向器的延遲為 t_p 則導致震盪週期為 $2N \times t_p$ ， N 為反向器個數。其振盪器裡的每一個反向器上下皆使用了一組 NMOS 與 PMOS，藉由控制上下兩組 N 與 P 電晶體的閘極電壓來控制 NMOS 與 PMOS 其導通電流的大小，進而可以控制其振盪器頻率，振盪器

控制電壓與頻率關係圖我們以圖 5.2.2 來表示。從圖 5.2.2 可以看到控制電壓(V_{control})為 0.9 V-1.8 V 之間，可控制的頻率範圍約為 640 MHz - 1100 MHz。

如圖 5.2.1 所示，振盪器的輸出則為調變之載波。振盪器輸出有兩條路徑，一條為經過除 2 電路一條則沒有，兩條路徑分別通過兩個傳輸閘，而編碼器的輸出則接至兩個傳輸閘的閘極端，藉此控制傳輸閘導通與否。假設多工器選定為 FSK 輸出，則編碼器輸出高準位(1.8 V)由較快的頻率通過，反之若編碼器輸出低準位(0 V)則由除 2 頻率通過，藉此完成 FSK 調變。若多工器選定為 ASK 輸出，則編碼器輸出高準位有載波通過，若編碼器輸出低準位(0 V) 則無載波通過，此種調變方式又稱為 100% ASK 調變(OOK Modulation)。

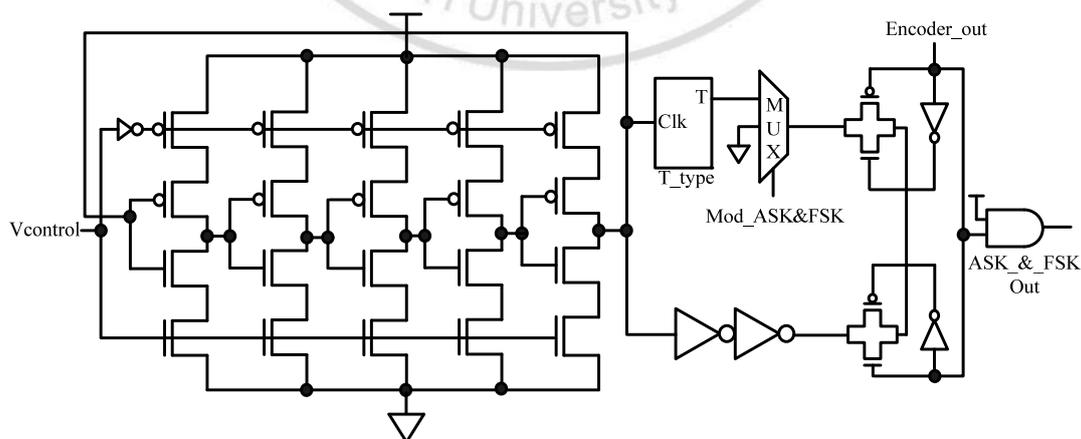


圖 5.2.1 本文提出之 ASK 與 FSK 調變器

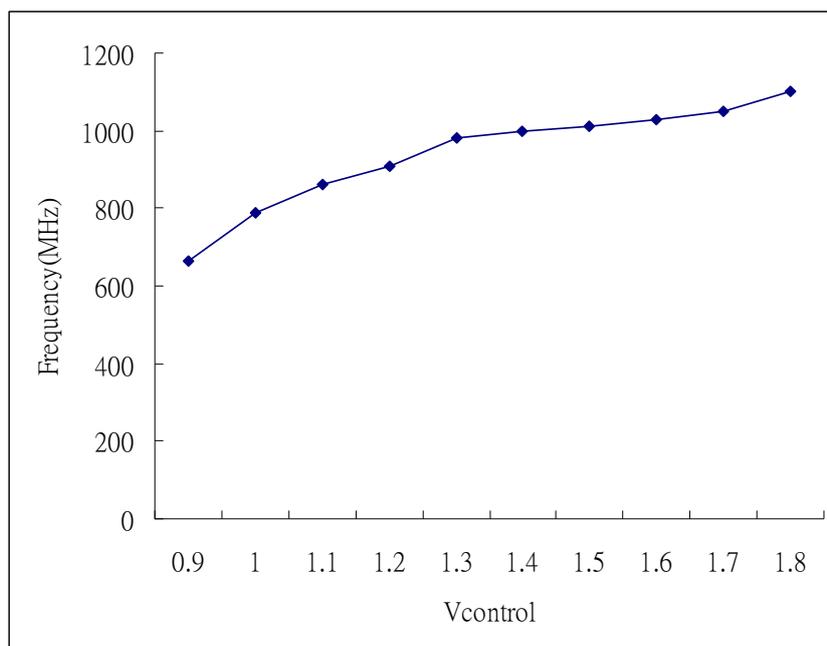


圖 5.2.2 振盪器控制電壓與頻率關係圖

5.3 電路整合與擬驗

在此章節裡我們將上述的三塊電路進行整合，並進行模擬驗證功能。如圖 5.3.1 所示，當 Tag 欲回傳一筆資料給讀取端時，資料必須先經過 CRC 電路做編碼進而產生一組偵錯碼，再由多工器將此偵錯碼附加於資料尾端。接著一筆附有 CRC 偵錯碼的資料將被傳送至 Manchester 與 Miller 編碼器做編碼，最後再經由調變電路進行 ASK 及 FSK 調變。使用者可以依需求選擇 ASK 或 FSK 輸出。

本篇所使用的模擬環境為由 CIC 提供的 TSMC 0.18 μm Mixed-Signal 1P6M Polycide 1.8/3.3V CMOS 製程，模擬軟體為 HSPICE，驗證軟體為 Calibre。電晶體尺寸為 $(W/L)_{\text{NMOS}} = 0.5 \mu\text{m} / 0.18 \mu\text{m}$ 與 $(W/L)_{\text{PMOS}} = 1 \mu\text{m} / 0.18 \mu\text{m}$ ，工作電壓為 1.8 V。

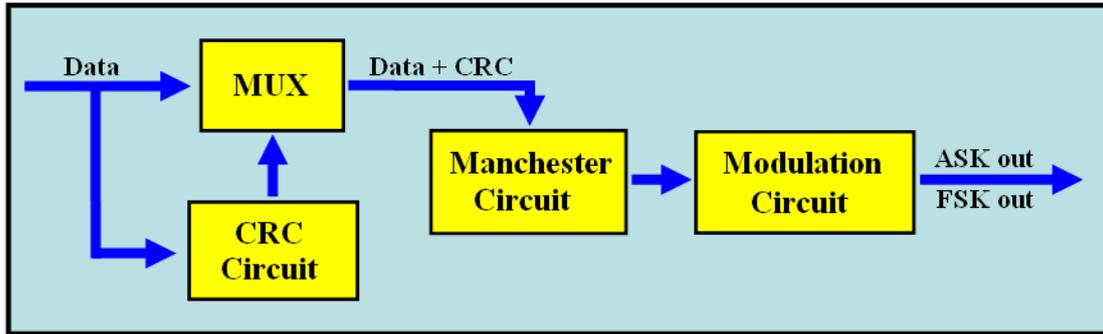


圖 5.3.1 RFID 資料輸出流程圖

我們將 FSK 及 ASK 輸出分兩張圖表示，如圖 5.3.2 所示為電路整合後的模擬結果，我們給予電路 8 位元的 Test Pattern 為 10001011。一開始 8 位元資料會以串列方式輸入至 CRC 電路及 Manchester 編碼器，在資料輸入的過程中 Manchester 編碼器就已經開始對資料做編碼，CRC 電路亦對資料做 Mod-2 計算，當資料輸入完畢時(Mod1→0) CRC 電路也剛好輸出一筆 5 位元 FCS (在此以 CRC-5 為例)。因此，此筆 5 位元偵錯碼會被多工器附加於 8 位元資料後一併傳送至 Manchester 編碼器做編碼。在圖 5.3.2 我們可以看到曼徹斯特的編碼結果，同時也得到了米勒碼的輸出。當資料完成編碼後將進行 FSK 調變，分別是曼徹斯特與米勒碼的 FSK 調變輸出如圖 5.3.2 所示。FSK 的震盪頻率為 950 MHz 及 475 MHz。圖 5.3.3 為 ASK 的模擬結果，其電路運作流程及輸入 Pattern 皆與上述 FSK 相同，差別只在於最後輸出為 ASK 調變輸出，ASK 震盪頻率為 950 MHz。表 5.3.1 為整體電路整合後規格表，從模擬結果中可看出，當電路運作於 1.8 V@ 200

MHz 時，消耗功率為 0.85 mW；當電路運作於最低工作電壓 0.9 V@100MHz 時，消耗功率僅為 90 uW。因此，根據動態功率消耗公式 5.3.1 中 (C_L :負載電容、 N :每個時脈週期內邏輯閘的平均切換次數、 f :時脈頻率) 可得到，當電路分別運作於 1.8 V 與 0.9 V 時，消耗功率約相差 8 倍。

$$P_{dynamic} = C_L \times V_{dd}^2 \times N \times f \quad (5.3.1)$$

圖 5.3.4 為電路佈局圖，其核心電路面積為 $203 \times 57 \mu\text{m}^2$ 。

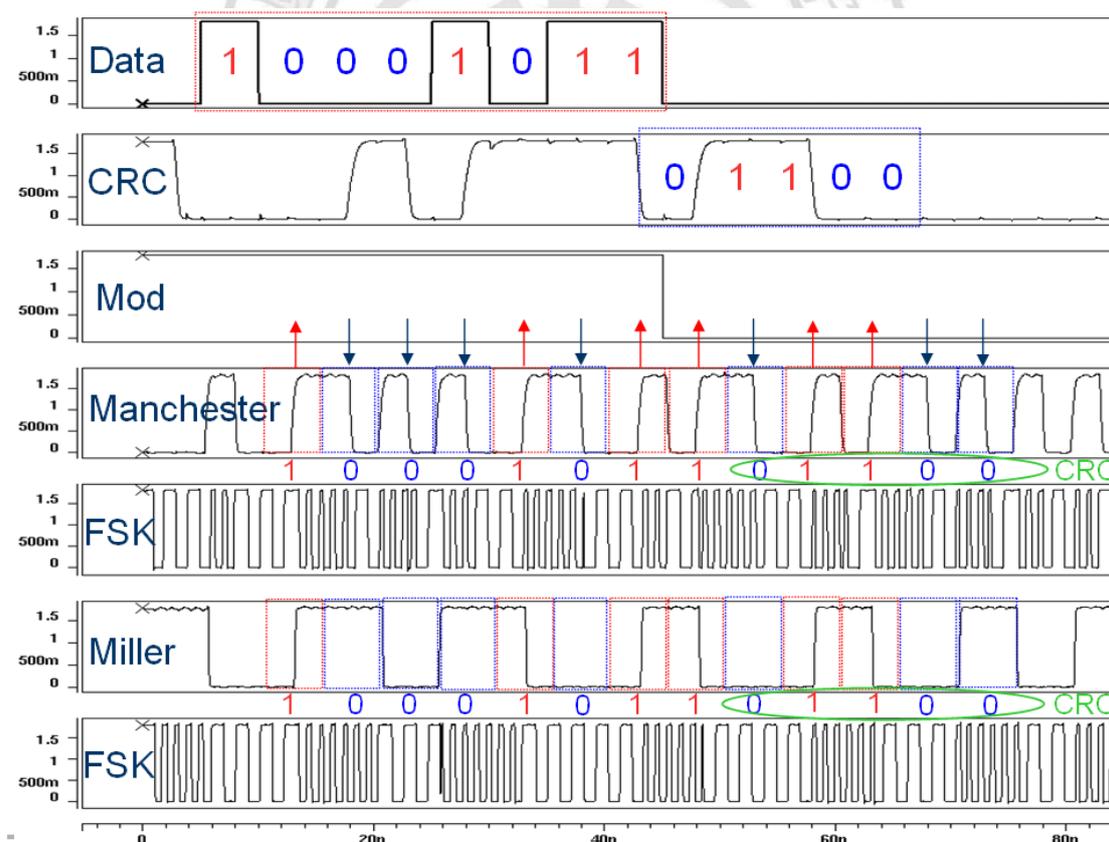


圖 5.3.2 整體電路整合後 Post-Sim 模擬結果(FSK 輸出)

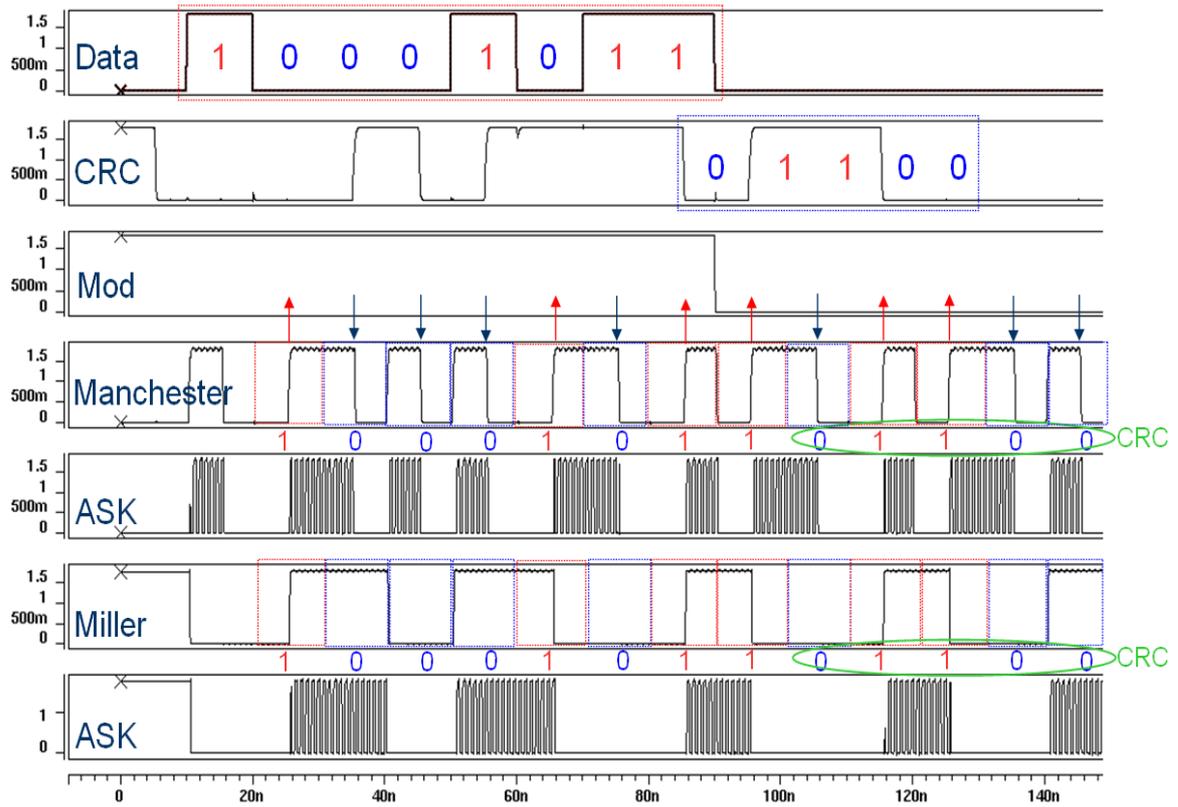


圖 5.3.3 整體電路整合後 Post-Sim 模擬結果(ASK 輸出)

表 5.3.1 電路規格表

核心電路面積	$203 \times 57 \text{ um}^2$
工作電壓	0.9-1.8 V
平均功率消耗	0.85 mW@ 1.8 V 90 μ W@ 0.9 V
最高工作頻率	200 MHz
CRC 模式	CRC- 4/ 5/ 8 / 16 四種模式
編碼輸出	Manchester 與 Miller 碼
調變輸出	ASK 與 FSK
電路功能	<ul style="list-style-type: none"> • 具多功能 CRC 模式。 • 具兩種編碼方式。 • 具 ASK/FSK 兩種調變輸出。

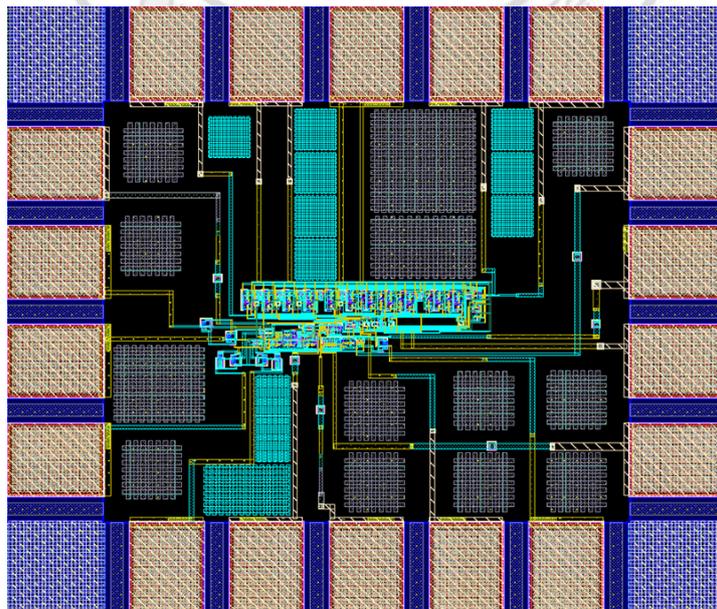


圖 5.3.4 電路佈局圖(含 I/O Pad)

第六章 結論及未來展望

6.1 結論

本論文提出三種改良型循環冗餘檢查碼(Cyclic Redundancy Check, CRC)電路，並應用於 RFID 系統中；其中包含了使用兩組硬體處理來提升電路速度之 CRC 架構、具有可改變多種產生多項式之多功能 CRC 電路及改良式之並行輸入架構 CRC 電路，可以有效提升電路運作速度，並具有可處理任意資料位元數之能力。最後，我們整合 RFID 系統內部各式資料處理電路，包含一個具有可切換產生多項式(Generator Polynomials)之 CRC 偵錯電路、具有 Manchester 與 Miller 編碼功能之編碼電路、及具有 ASK (Amplitude-Shift Keying) 與 FSK (Frequency-Shift Keying) 調變功能電路，整合成為一個功能完整的 RFID 資料處理系統。整體電路整合完成，經後端模擬可順利運作於 200 MHz，最低操作電壓為 0.9 V，電路平均功率消耗為 90 μ W。

6.2 未來展望

未來將持續對 Tag 內部其他電路繼續延伸研究，使其能成為一個更為完整的 RFID 系統，在本文裡均為設計發送端電路，在其接收端電路，包含解調變、解碼電路仍有未來研究之空間。並預期在更新製程(如 TSMC 90nm 以下)，電路能呈現更佳的性能，並完成一個更佳的 RFID 辨識系統，為生活帶來更大的便利性。

參考文獻

- [1] Y. C. Hung, H. J. Hung, "Realization of CRC chip for RFID applications," *2009 Conference on Microelectronics Technology & Applications*, pp 411-414, Kaohsiung, Taiwan, May 2009.
- [2] Y. C. Hung, H. J. Hung, "Design of CRC circuit with arbitrary inputs capability," *4th Intelligent Living Technology Conference (ILT08, ICD Session)*, pp 756-761, Taichung, Taiwan, 2009.
- [3] Y. C. Hung, H. J. Hung, "A Hardware Sharing Parallel 200MHz CRC Circuit for RFID System" *2009 International Conference on High-Speed Circuit Design (HSCD'09)*, pp H3-01-06, St.John's University, Tamsui, Taipei, Taiwan, 2009.
- [4] Y. C. Hung, H. J. Hung, "Design and Integration of CRC, Encoder, and Modulator for RFID Application," *5th Intelligent Living Technology Conference*, Taichung, Taiwan, 2010.
- [5] 陳俊彥, "可規劃平行循環冗餘檢查電路和攪散器設計及其自動產生", 全國碩博士論文, 雲林科技大學, 雲林, 2006。
- [6] 張家銓, "無線射頻系統標籤晶片設計", 全國碩博士論文, 中華大學, 新竹, 2004。
- [7] 邱健榮, "無線射頻識別系統之十六位元詢答機晶片設計", 全國碩博士論文, 中華大學, 新竹, 2003。
- [8] Klaus Finkenzeller 原著, 吳曉峰、陳大才 譯, *RFID手冊*, 台北, 2007。
- [9] 陳宏宇 編著, *RFID系統入門-無線射頻辨識系統*, 2004, 台北。
- [10] G. G. Shan, Y. C. Zhou, "A Simple and Practical Manchester and Miller Encoder," *Hefei University of Technology, School of Computer & Information*, pp. 122-123, China, 2005.
- [11] Y. C. Hung, M. M. Kuo, "High-Speed CMOS Chip Design for Manchester and Miller Encoder," *in 5th International Conference on Intelligent Information Hiding and Multimedia Signal Processing (IIHMSP-2009)*, pp 538-541, Kyoto, Japan, Sep 2009.
- [12] Tong-Bi Pei, Charles Zukowski, "High-speed Parallel CRC Circuits in VLSI," *IEEE Journals of Communication*, vol.40, no.4, pp 653-657, 1992.
- [13] M. Braun, J. Freidich, T. Grun and J. Lembert "Parallel CRC Computation in FPGAs," *The International Conference on Field Programmable Logic, Reconfigurable Computing, and Applications*, vol. 1142, pp 156-165, 1996.

- [14] Toal Ciaran, Sezer Sakir, Xin Yang, "Design and Implementation of a Field Programmable CRC Circuit Architecture," *IEEE Journals of Very Large Scale Integration (VLSI)*, vol.17, no.8, pp 1142-1147, 2009.
- [15] Michael Sprachmann, "Automatic Generation of Parallel CRC Circuits," *IEEE Journals Design&Test of computers*, vol.18, no.3, pp 108-114, May-June 2001.
- [16] Giuseppe Campobello, Giuseppe Patane', Marco Russo, "Parallel CRC Realization," *IEEE Journals Transactions on Computers*, vol.52, no.10, pp 1312-1319, Oct 2003.
- [17] Chao Cheng, Keshab K. Parhi, "High-Speed Parallel CRC Implementation Based on Unfolding, Pipelining, and Retiming," *IEEE Journals of Transactions on Circuit and Systems-II*, vol. 53, no. 10, pp 1017-1021, Oct 2006.
- [18] G. Albertengo and R. Sisto, "Parallel CRC Generation," *IEEE Micro*, vol.10, no.5, pp 63-71, Oct 1990.



作者簡歷

姓名：洪翰均 Han-Jun Hung

出生日期：民國七十四年十一月十四日

籍貫：南投縣

學歷：國立勤益科技大學 電子工程系所 積體電路組 97/09-99/07

國立勤益科技大學 電子工程系 93/09-97/06

明道中學 資訊技術科 90/09-93/06

論文發表：

- [1]Y. C. Hung, H. J. Hung, “Realization of CRC chip for RFID applications,” 2009 Conference on Microelectronics Technology & Applications, pp 411-414, Kaoshiung, Taiwan, May 2009.
- [2]Y. C. Hung, H. J. Hung, “Design of CRC circuit with arbitrary inputs capability,” 4th Intelligent Living Technology Conference (ILT08, ICD Session), pp 756-761, Taichung, Taiwan, 2009.
- [3]Y. C. Hung, H. J. Hung, “A Hardware Sharing Parallel 200MHz CRC Circuit for RFID System” 2009 International Conference on High-Speed Circuit Design (HSCD 2009), pp H3-01-06, St.John’s University, Tamsui, Taipei, Taiwan, 2009.
- [4]Y. C. Hung, H. J. Hung, “Design and Iteration of CRC, Encoder, and Modulator for RFID Application,” 5th Intelligent Living Technology Conference, Taichung, Taiwan, 2010.

參加競賽：

- [1] 2010 全國大專院校積體電路設計競賽
- [2] 2009 全國大專院校積體電路設計競賽
- [3] 2008 全國 LED 創意設計競賽(入圍決賽)
- [4] 2008 聖誕燈創意設計比賽(最佳設計獎)