



國立勤益科技大學
電子工程系研究所

碩士論文

基於錯誤偵測碼之完全自我檢查器設計
**Totally Self-Checking Checker Design Based on
Error Detecting Codes**

指導教授：謝韶徽 博士

研究生：童威修

中華民國 九十九 年 七 月

基於錯誤偵測碼之完全自我檢查器設計

Totally Self-Checking Checker Design Based on Error Detecting Codes

指導教授：謝韶徽 博士

研究生：童威修

國立勤益科技大學

電子工程系研究所

碩士論文

Submitted in partial fulfillment of the requirements
For the degree of
Master of Engineering
In
Institute of Electronic Engineering
from the National Chin-Yi University of Technology

July 2010

Taiping, Taichung, Taiwan, Republic of China

中華民國 九十九 年 七 月

國立勤益科技大學
研究所碩士班
論文口試委員會審定書

本校 電子工程系 碩士班 童威修 君

所提論文 基於錯誤偵測碼之完全自我檢查器設計

合於碩士資格水準，業經本委員會評審認可。

論文口試委員會：

召集人：

蕭敏學

委員：

洪玉城

黃德成

洪通華

指導教授：

謝昭宏

所

長：

電子工程系主任 陳文淵

中華民國九十九年七月

基於錯誤偵測碼之完全自我檢查器設計

學生：童威修

指導教授：謝韶徽 博士

國立勤益科技大學電子工程系研究所

摘要

高可靠度(Reliability)的電路或電腦一直應用在重要的電子系統中，例如太空船及飛行器的導航系統、銀行的會計系統、智慧型生醫晶片系統以及飛彈的導引系統等，均需採用高可靠度電子系統設計。本研究著重於探討自我檢查電路(Self-Checking Circuits, SCC)設計，自我檢查電路為一切高可靠度電子系統之構成基石。傳統上，高可靠度的電子系統需採用離線測試(Off-Line Testing)，在測試進行前系統必須離開正常之操作模式(Normal Mode)，以便進入測試模式(Test Mode)，當系統越來越複雜時，這並不是一個有效的方法，而自我檢查電路是一種能執行線上測試(On-Line Testing)，讓電子系統或電腦在正常操作模式下能立即偵測到錯誤，並以備份模組更換，以避免資料傳遞或運算錯誤導致不可挽救之嚴重系統功能毀損。

錯誤偵測碼(Error Detecting Code, EDC)已經證實為一種可使電路達成自我檢查能力的有效方法，自我檢查電路必須由檢查器所檢測，若檢查器具有完全自我檢查(Totally Self-Checking, TSC)功能，則檢查器除了能精確檢測出系統功能電路(Function Circuit)的錯誤，並可確保檢查器能自我檢查錯誤；本論文主要針對使用錯誤偵測碼中的伯登碼(Borden Code)、伯格碼(Berger Code)與雙軌碼(Two-Rail Code, TRC)實現在 TSC 檢查器，我們將伯格碼應用在自我檢查加法器設計上，且提出之檢查碼產生器(CBG_New-II)電路設計相較於傳統 CMOS 設計的電路在電晶體數方面減少 63.89%、功率消耗減少 50.00%以及延遲時間減少 65.63%，而在提出三種伯格碼完全自我檢查加法器模組(BCTSCAM)中以 BCTSCAM-III 效能最佳；在雙軌碼檢查器設計部分，文中提出新型可閉鎖電流鏡雙軌碼(TRC)檢查器比先前相關研究具有較佳偵測錯誤能力以及減少 39.30%的功率消耗。

關鍵詞：自我檢查電路、檢查器、伯格碼、伯登碼、雙軌碼。

Totally Self-Checking Checker Design Based on Error Detecting Codes

Student: Wei-Siou Tong

Advisors: Shao-Hiu Shieh, Ph.D.

Institute of Electronic Engineering
National Chin-Yi University of Technology

Abstract

The reliability of microelectronic systems is critical in many important applications, such as the computer system on an aircraft, the navigation system on a space ship, the accounting system in a bank and system on intelligent bio-chip, and so on. This thesis focuses on the study of the self-checking circuit (SCC) which is the building block for a highly reliable electronic or computing system.

To guarantee the detection of faults, high-reliability microelectronic systems conventionally use off-line testing in which the systems have to stop their normal operation mode in order to enter the test mode. However, it is not a feasible solution as the digital system getting more and more complicated. A totally self-checking (TSC) system can execute on-line testing in normal system operation. And, it can immediately detect the error existing in the system to avoid the data damaged or the malfunction of a function circuit.

Error detecting codes (EDCs) have the capability to enable circuits with self-checking property. Primary outputs of the self-checking circuit (SCC) must be checked by a checker, called totally self-checking (TSC) checker. The TSC checker can not only accurately detect the faults of function unit, but also ensure itself to be self-checking. In this thesis, some efficient design approaches of TSC checkers for Borden code, Berger code and Two-rail code (TRC) are proposed. Self-checking adder based on the Berger code is proposed for silicon implementation. The experiment results show that the proposed check bits generator (CBG_New-II) has 63.89% better in transistor count, 50.00% less power dissipation and 65.63% less time delay than previous CMOS design. In the proposed three kinds of Berger code TSC adder module (BCTSCAM), the BCTSCAM-III has the best performance among all. A novel TRC checker based on current mirror latch is also proposed in this work. The experiment result shows that it has 39.30% reduced power dissipation and better capability to detect faults compared with prior designs.

Keywords: Self-Checking Circuit, Checker, Berger Code, Borden Code, Two-Rail Code.

誌謝

轉眼間碩士生涯將走到尾聲，這段碩士兩年承蒙許多人的照顧，無以回報只好在此獻上我最真誠的感謝。首先要感謝我的指導教授謝韶徽博士，他總是不斷的給予鞭策與指導，對研究的要求比任何人都還要嚴謹，實事求是，我由衷的感謝在他耐心的包容與細心的指導下，才能讓我的論文順利的產生，在此感謝老師一路來的關心付出使我獲益良多。同時感謝招集人蕭敏學及口試委員黃德成、洪進華、洪玉城等教授給予本論文的建議與指導，使本論文能更為完整。

在碩士兩年來的日子，感謝混合模實驗室的學長姐國偉、盈宜、智揚、詠贊、健成、旻明、豐駿與俊宏、明恩、桂菁、翰均、登淵同學們，還有其他實驗室的同學們，謝謝你們讓我在碩士兩年的生涯過的多采多姿，充滿回憶，另外特別感謝我的好朋友怡眉，謝謝妳在我人生低潮時給予關心與鼓勵。

本論文能順利完成，承蒙台積電 TSMC 及國家晶片設計中心 CIC(Chip Implementation Center)所提供製程技術資料與晶片製作，謹此特別感謝所有相關協助單位及人員。

最後要感謝家人的支持和鼓勵，讓我能無後顧之憂的專心於研究上。謹以此篇論文敬上最誠摯的感謝。

目錄

摘要	I
Abstract	II
誌謝	III
目錄	IV
表目錄	VI
圖目錄	VII
符號說明	IX
一、緒論	1
1.1 研究動機與目標	1
1.2 背景知識	1
1.3 論文大綱	2
二、完全自我檢查電路架構	3
2.1 自我檢查電路簡介	3
2.2 完全自我檢查電路	4
三、錯誤偵測碼	7
3.1 非系統碼	8
3.1.1 m-out-of-n 碼	8
3.1.2 伯登碼	9
3.2 系統碼	10
3.2.1 伯格碼	10
3.2.2 伯斯林碼(Bose-Lin)	12
3.2.3 雙軌碼	13
四、伯登碼檢查器設計	15
4.1 伯登碼檢查器	15
4.2 B(8, 2)設計	18
4.3 模擬結果與晶片實現	22
4.3.1 模擬結果	22
4.3.2 晶片佈局	24
4.4 晶片量測與分析	25
五、伯格碼自我檢查電路設計	28
5.1 伯格碼檢查器電路設計	28
5.1.1 權重 l 或 $l+1$ 臨界電路	28
5.1.2 權重解碼器	29
5.1.3 伯格碼檢查器	30
5.2 伯格碼之檢查碼產生器設計	32
5.2.1 CBG_New-I	34

5.2.2	CBG_New-II-----	35
5.2.3	CBG_New-III-----	37
5.3	伯格碼完全自我檢查加法器模組-----	40
5.4	模擬結果與晶片實現-----	43
5.4.1	模擬結果-----	44
5.4.2	晶片佈局-----	45
5.5	晶片量測與分析-----	46
5.6	應用於核心加法器之伯格碼完全自我檢查電路實現-----	48
六、	雙軌碼檢查器設計-----	50
6.1	非樹狀架構 TRC 檢查器-----	50
6.2	非樹狀架構的電流鏡 TRC 檢查器-----	52
6.3	可門鎖電流鏡 TRC 檢查器-----	54
6.4	新型可門鎖電流鏡 TRC 檢查器-----	55
6.4.1	Checker-I-----	55
6.4.2	Checker-II-----	57
6.5	模擬結果與晶片實現-----	58
6.5.1	模擬結果-----	58
6.5.2	晶片佈局-----	60
七、	結論及未來研究方向-----	62
7.1	結論-----	62
7.2	未來研究方向-----	62
參考文獻	-----	63
作者履歷	-----	65

表目錄

表 3.1	BC(7, 4)真值表-----	11
表 3.2	BC(5, 3)真值表-----	11
表 3.3	BLC ₁ (24, 4)真值表-----	12
表 3.4	BLC ₂ (52, 5)真值表-----	13
表 4.1	TSC 檢查器以伯登碼 C(8, 2)輸出狀態-----	20
表 4.2	察覺錯誤在 3 塊 m/n 碼 TSC 檢查器-----	20
表 4.3	TSC 檢查器以伯登碼 C(8, 2)在 Pre-與 Post-layout simulation 比較-----	23
表 4.4	TSC 檢查器以伯登碼 C(8, 2)晶片規格表-----	25
表 5.1	權重解碼器真值表-----	30
表 5.2	伯格碼檢查器所有輸入對應輸出的真值表-----	31
表 5.3	2-Bit RCA 真值表以伯格碼的檢查位元-----	33
表 5.4(a)	2-Bit RCA 真值表以 CBG_New-II-----	36
表 5.4(b)	2-Bit RCA 真值表以 CBG_New-II-----	36
表 5.5	CBG 的特性比較表-----	37
表 5.6(a)	2-Bit RCA 真值表以 CBG_New-III-----	39
表 5.6(b)	2-Bit RCA 真值表以 CBG_New-III-----	39
表 5.7	BCTSCAM 的特性比較表-----	43
表 5.8	BCTSCAM 在 Pre-與 Post-layout simulation 比較-----	45
表 5.9	BCTSCAM 晶片規格表-----	46
表 6.1	TRC 檢查器特性比較表-----	54
表 6.2(a)	可閃鎖 TRC 檢查器特性比較表-----	58
表 6.2(b)	可閃鎖 TRC 檢查器特性比較表-----	58
表 6.3	Checker-II 在 Pre-與 Post-layout simulation 比較-----	59
表 6.4	Checker-II 晶片規格表-----	61

圖目錄

圖 2.1	自我檢查電路架構圖-----	4
圖 2.2	Fault secure 特性-----	4
圖 2.3	Self-testing 特性-----	5
圖 2.4	Code disjoint 特性-----	5
圖 3.1	錯誤的類態-----	7
圖 3.2	m/n 碼輸出狀態-----	8
圖 3.3	2-pair TRC 檢查器-----	14
圖 3.4	2-pair TRC 符號-----	14
圖 4.1	權重 k 臨界電路-----	15
圖 4.2	權重 k 或 $k+1$ 臨界電路-----	17
圖 4.3	訊號 I 控制 m/n 碼檢查器-----	18
圖 4.4	m/n 碼檢查器符號-----	18
圖 4.5	TSC 檢查器以伯登碼 C(8, 2) -----	19
圖 4.6	4-out-of-8 TSC checker 接收非法碼(1→0 error) -----	21
圖 4.7	4-out-of-8 TSC checker 接收非法碼(0→1 error) -----	22
圖 4.8	Post-layout simulation for Borden C(8, 2) -----	23
圖 4.9	TSC 檢查器以伯登碼 C(8, 2)核心佈局-----	24
圖 4.10	TSC 檢查器以伯登碼 C(8, 2)晶片顯微攝影圖-----	25
圖 4.11	伯登碼量測架構-----	26
圖 4.12(a)	m=1-----	26
圖 4.12(b)	m=4-----	27
圖 4.12(c)	m=7-----	27
圖 5.1	Structure of Berger code TSC system-----	28
圖 5.2	l 或 $l+1$ 權重臨界電路-----	29
圖 5.3	權重解碼器架構-----	30
圖 5.4	Berger code checker for $i=3$ and $r=2$ -----	31
圖 5.5	檢查器輸入訊號對應輸出訊號波形-----	32
圖 5.6	BC(10, 7)模擬波形以 $W=m$ -----	32
圖 5.7	系統功能電路模組以 2-Bit RCA-----	33
圖 5.8	CBG_New-I schematic-----	34
圖 5.9	CBG_New-II schematic-----	37
圖 5.10	CBG_New-III schematic-----	40
圖 5.11	BCTSCAM for embedded system-----	40
圖 5.12	低態動作 2 對 4 解碼器-----	41
圖 5.13	BCTSCAM-I schematic-----	41
圖 5.14	BCTSCAM-II schematic-----	42

圖 5.15	BCTSCAM-III schematic-----	42
圖 5.16	N-Bit RCA schematic-----	43
圖 5.17	Post-layout simulation for BCTSCAM-----	44
圖 5.18	BCTSCAM 核心佈局-----	45
圖 5.19	BCTSCAM 晶片顯微攝影圖-----	46
圖 5.20	BCTSCAM 量測架構-----	47
圖 5.21(a)	$W=m(1=1)$ -----	47
圖 5.21(b)	$W<m(2<3)$ -----	48
圖 5.21(c)	$W>m(3>2)$ -----	48
圖 5.22	應用於核心加法器之伯格碼完全自我檢查電路架構-----	49
圖 5.23	結合矩陣顯示器的核心加法器之伯格碼完全自我檢查電路-----	49
圖 6.1	非樹狀架構 TRC 電路-----	51
圖 6.2	非樹狀架構 TRC 電路在無錯狀態-----	51
圖 6.3	非樹狀架構 TRC 電路發生錯誤狀態-----	52
圖 6.4	非樹狀架構的電流鏡 TRC 電路-----	52
圖 6.5	非樹狀架構的電流鏡 TRC 電路在無錯誤狀態-----	53
圖 6.6	非樹狀架構的電流鏡 TRC 電路發生錯誤狀態-----	53
圖 6.7	可閃鎖電流鏡 TRC 電路-----	55
圖 6.8	可閃鎖電流鏡 TRC 電路發生錯誤狀態-----	55
圖 6.9	Checker-I-----	56
圖 6.10	正邊緣觸發 SETDFF-----	56
圖 6.11	Checker-I 輸出狀態-----	56
圖 6.12	Checker-II-----	57
圖 6.13	Checker-II 輸出狀態-----	57
圖 6.14	Post-layout simulation for Checker-II-----	59
圖 6.15	Checker-II 核心佈局-----	60
圖 6.16	Checker-II 佈局平面圖-----	60

符號說明

X: 輸入位元

Y: 輸出位元

F: 自我檢查電路的錯誤集合

n: 編碼長度

m: 合法碼裡 1 的數目

t: 單向錯誤的數目

$d(X, Y)$: X 與 Y 的漢明距離

w: 伯登碼權重

i: 資料位元長度

r: 檢查位元長度

p_0 : 伯斯林碼資料位元裡的 0 數目

l_c : 伯斯林碼的檢查符號

k: 權重 k

I: 控制原先權重是否加 1

l : 權重 $l \in \{0, 1, \dots, q\}$

W: Hamming Weight

m : 權重解碼器輸出 $d_m=0$ 的權重



第一章 緒論

1.1 研究動機與目標

在傳統上，高可靠度的電子系統採用離線測試(Off-Line Testing)，在測試進行前系統必須離開正常之操作模式(Normal Mode)，以便進入測試模式(Test Mode)，當製程越來越先進與系統越來越複雜時，傳統的測試方法並無法偵測出串音(Crosstalk)、電源供應雜訊(Power Supply Noise)或 α 粒子(Alpha Particles)等原因所造成的錯誤，顯然傳統的測試方法不是一個有效的方法，而自我檢查電路(Self-Checking Circuits, SCC)[1]是能執行線上測試(On-Line Testing)，讓電子系統或電腦在正常操作模式(Normal Operation)下能立即偵測到錯誤，並以備份模組更換，以避免資料及系統功能毀損或運算結果錯誤。

自我檢查電路是由系統功能電路(Function Circuit)與檢查器(Checker)所構成，系統功能電路可稱為被檢測電路會產生編碼過的輸出，此輸出屬於錯誤偵測碼(Error Detecting Code, EDC)，且輸出將被檢查器所檢測，此檢查器可稱為完全自我檢查(Totally Self-Checking Checker, TSC)器，偵測整個自我檢查電路是否有錯，來達成即時檢查錯誤的功能。

本研究使用錯誤偵測碼提出兩種有效的設計方式實現完全自我檢查器，首先提出內嵌式加法器之伯格碼(Berger Code)完全自我檢查電路，以及提出一種較佳偵測能力的可閃鎖電流鏡雙軌碼(Two-Rail Code, TRC)檢查器。

1.2 背景知識

常見錯誤偵測碼種類可分類成系統(Systematic)與非系統(Non-Systematic)碼，系統碼之組成可劃分資料位元(Information Bits)與檢查

位元(Check Bits)，適合執行在算術與邏輯電路，非系統碼是資料位元與檢查位元合併一起，適合執行在控制邏輯電路；系統碼包含伯格碼(Berger Code)[2]、伯斯林碼(Bose-Lin Code)[3]與雙軌碼(Two-Rail Code)[4]，非系統碼包含 m-out-of-n 碼(m/n Code)[1]與伯登碼(Borden Code)[5]，而近年來基於各類型編碼所設計的檢查器常被研究，其中部分研究為探討如何減少檢查器的硬體成本及減少功率消耗，且將檢查器與數位電路做實際的結合與應用。

1.3 論文大綱

本論文共分為七章，如下列介紹：第一章是緒論，主要說明研究動機與目標以及背景知識，最後簡單的敘述本論文的大綱，說明各章節的重點。第二章是介紹完全自我檢查電路架構，並且說明電路架構以及定義相關之術語並詳細的說明解釋。第三章討論錯誤偵測碼，介紹目前錯誤偵測碼的分類，並且加以說明編碼方式與應用場合。第四章是伯登碼檢查器設計，將此架構做實驗分析與討論。第五章是伯格碼自我檢查電路設計，本研究提出新型的檢查碼產生器，並且提出伯格碼完全自我檢查加法器模組，應用方面提出核心加法器之伯格碼完全自我檢查電路實現。第六章是雙軌碼檢查器設計，提出較佳偵測能力的可閃鎖電流鏡雙軌碼檢查器。第七章提出結論及未來研究方向。

第二章 完全自我檢查電路架構

2.1 自我檢查電路簡介

自我檢查是一種內建在電路上的機制，能自動的察覺電路在正常的工作下無論是永久性(Permanent)、瞬間性(Transient)或時斷時續性(Intermittent)錯誤都能即時偵測出來，避免資料被錯誤引用。自我檢查系統是先定義一些系統輸入為合法輸入，稱為輸入碼，以及一些系統輸出為正確的合法輸出，稱為輸出碼，在藉由觀察輸出是否為合法輸出，便可判讀電路是否存在錯誤，在線上正常操作下，電路接收到輸入碼會產生正確的輸出碼，但當電路有錯誤(Fault)時，至少存在有一輸入碼可以讓電路產生非正確的輸出碼。以下介紹何謂合法碼(Code Word)與非法碼(Non-Code Word)：

1. **合法碼**：對於 X 個輸入位元與 Y 個輸出位元的電路，該電路的輸入集合有 2^X 個長度為 X 的二位元輸入向量，輸出集合有 2^Y 個長度為 Y 的二位元輸出向量；合法碼是指該電路的輸出入向量集合中有效輸出入構成的子集合。
2. **非法碼**：反之，非此在電路的有效輸出入向量集合中構成的集合稱之非法碼。

在西元 1968 年由 W. C. Carter 與 P. R. Schneider 提出自我檢查電路理論 [4]，而在西元 1973 年由 D.A. Anderson 正式定義自我檢查電路可稱為完全自我檢查(TSC)電路[1]。自我檢查電路是由系統功能電路(可稱為被檢測電路)與檢查器所構成，如圖 2.1 所示，系統功能電路可以是組合電路或是循序電路，在透過檢查器的輸出訊號得知系統功能電路是否有錯誤發生，當輸出訊號是互補(01 or 10)表示無錯(Fault-Free)，反之，非互補(00 or 11)輸出訊號表示系統功能電路有錯誤。

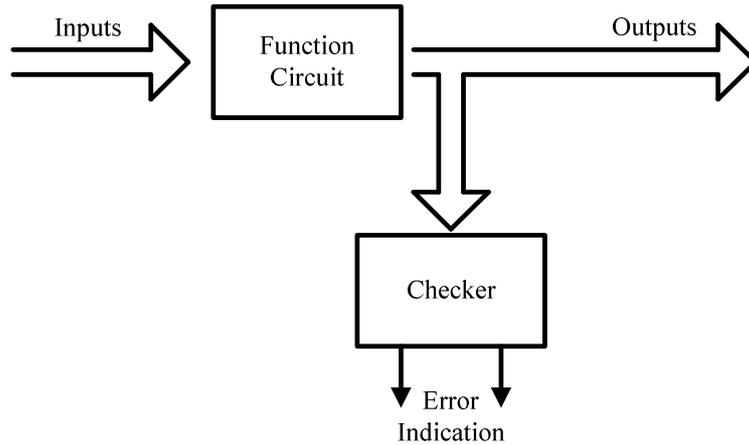


圖 2.1 自我檢查電路架構圖

以下有兩個假設使得自我檢查電路系統減少錯誤的複雜度分析：

1. 在一個時間點上只會有一個錯誤的發生。
2. 發生一個錯誤後，新的錯誤發生之前有足夠的時間去確保一些合法碼的使用，以便察覺第一個錯誤。

2.2 完全自我檢查(TSC)電路定義

定義 1. 錯誤防禦(Fault Secure, FS)

X 與 Y 分別表示輸入碼與輸出碼，輸出 $Y=Y1 \cup Y2$ ，其中 Y1 表示合法輸出碼，而 Y2 是非法輸出碼。對於自我檢查電路定義一個錯誤集合 F，當電路是 FS 時，在給定錯誤集合 F 中的任一錯誤發生後，輸出一定會對應到非法輸出碼，此輸出不會對應到合法輸出碼。換句話說，FS 可以確保輸出具有安全性的，如圖 2.2。

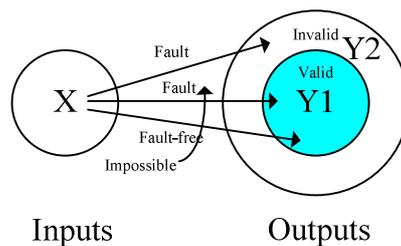


圖 2.2 Fault secure 特性

定義 2. 自我測試(Self-Testing, ST)

當電路是 ST 時，在給定錯誤集合 F 中的任一錯誤發生後，至少存在一組輸入碼可以讓電路產生非法輸出碼。換句話說，輸出 $Y2$ 一定會對應到一組輸入訊號，確定任何一個錯誤必然會被察覺到，這就是 SF 特性，如圖 2.3。

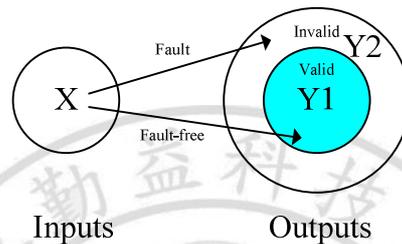


圖 2.3 Self-testing 特性

定義 3. 完全自我檢查(TSC)

當電路同時滿足 FS 與 ST 特性，此電路可稱為 TSC 電路。

定義 4. 碼分離(Code Disjoint, CD)

當電路是 CD 時，則對於檢查電路在無錯的操作環境下，輸入合法碼對應輸出合法碼，輸入非法碼對應輸出非法碼，如圖 2.4。

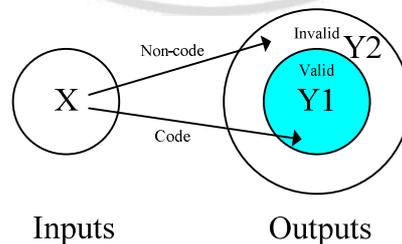


圖 2.4 Code disjoint 特性

定義 5. 完全自我檢查(TSC)器

TSC 檢查器必須同時滿足 TSC 與 CD 特性，一但滿足定義即可確保 TSC 的高可靠度。

一般 TSC 檢查器有兩個輸出，在偵測電路無錯狀態下，輸出訊號呈現互補狀態，反之，非互補表示有錯誤。TSC 電路的輸出是藉由 TSC 檢查器所檢測，TSC 檢查器除了能精確檢測電路上的錯誤，並且確保自我檢查的能力。如何設計出一個性能較好的檢查器，來提升 TSC 的總體效能是本篇論文主軸。



第三章 錯誤偵測碼

錯誤偵測碼(EDC)較常應用在自我檢查系統上，依據錯誤的型態、碼的冗餘(Redundant)以及實現的成本來選擇 EDC 的種類。由圖 3.1 可知道錯誤的形態 [6] 可分為對稱性(Symmetric)、非對稱性(Asymmetric)與單向性(Unidirectional)，資料發生錯誤有邏輯 0 變成邏輯 1 錯誤(0→1)與邏輯 1 變成邏輯 0(1→0 錯誤)這兩種類型。

1. 對稱性錯誤：資料同時發生 0→1 與 1→0 錯誤，可稱為亂數(Random)錯誤。
2. 非對稱性錯誤：資料只會發生 0→1 或 1→0 錯誤，其中一種。
3. 單向性錯誤：資料發生錯誤有 0→1 與 1→0 類型，但在某個時間上只會發生 0→1 或 1→0 錯誤，其中一種。

非對稱性錯誤是單向錯誤的子集合，而另一個說法，非對稱性錯誤是對稱性錯誤的子集合。

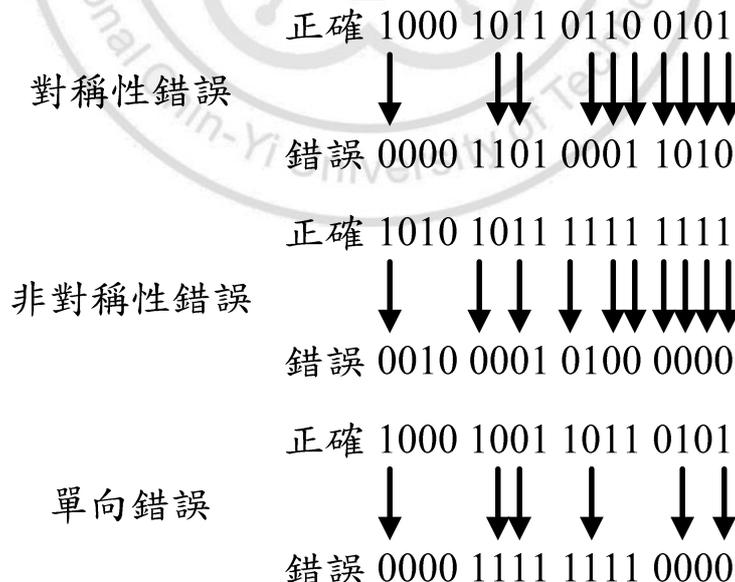


圖 3.1 錯誤的型態

通常 EDC 被提出來可以察覺單一固著(Stuck-at)錯誤與單向錯誤，EDC

可分成系統碼(Systematic)與非系統碼(Non-Systematic)兩種類型，系統碼之組成可劃分資料位元與檢查位元，非系統碼之組成是不可劃分資料位元與檢查位元，對於給定一個合法碼的長度為 n ，非系統碼的合法碼數目會比系統碼的多，而且非系統碼的編碼與解碼的成本較高，無法普及。一般來說，系統碼適合用來實現算術電路與數位電路，非系統碼適合用來實現在連續性靜態分配與編碼的機構，以及控制電路，無論如何，在一個系統裡選擇適合的 EDC 是非常重要的，不同的碼適合用在不同的場合。

3.1 非系統碼

非系統碼之組成是不可劃分資料位元與檢查位元。

3.1.1 m-out-of-n 碼

假設位元長度 n 中的合法碼有 m 個 1 的數目，則 0 的數目是 $n-m$ 個， m -out-of- n 碼可以由 m/n 碼代表， m/n 碼常用在察覺固著(Stuck-at)錯誤與單向錯誤是非常有用， m/n 碼可以察覺所有可能單向錯誤，換句話說， m/n 碼是屬於所有單向錯誤偵測(All Unidirectional Error Detecting, AUED)碼； m/n 碼輸出狀態由圖 3.2 所示：

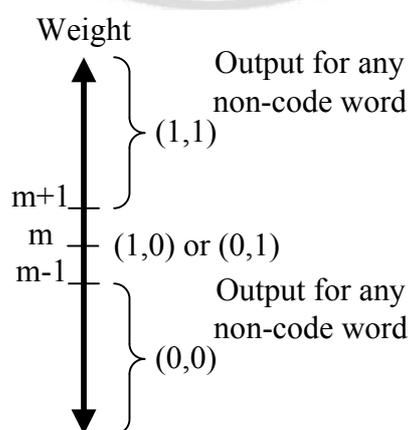


圖 3.2 m/n 碼輸出狀態

m/n 碼檢查器的權重(Weight)在於 m ，如果電路輸入權重大於 m 則輸出呈現(1, 1)狀態，權重小於 m 則輸出呈現(0, 0)狀態，輸入權重等於檢查器權重 m 則輸出會呈現(1, 0)或(0, 1)。

3.1.2 伯登碼

單向錯誤逐漸地被注意在許多的設備，像是可程式邏輯陣列(Programmable Logic Array, PLA)、唯讀記憶體(Read-Only Memory, ROM)與唯讀記憶光碟(Compact Disc Read-Only Memory, CDROM)等數位系統，這些電路內部架構很有規則性與資料架構是以 Bytes 為單位，如果錯誤比常數 t 的單向錯誤多， t -單向錯誤偵測(t -Unidirectional Error Detecting, t -UED)碼可以替代 AUED 碼；所以，伯登碼在所有 t -UED 碼中是最佳的碼[5]， t -UED 碼可以察覺 t 個單向錯誤。

兩筆資料 $X_i=(X_1, X_2, \dots, X_n)$ 與 $Y_i=(Y_1, Y_2, \dots, Y_n)$ ， $i=1, 2, \dots, n$ ， X_i 覆蓋(Covers) Y_i ， $X_i=1$ 對應 $Y_i=1$ ，稱為 Ordered，反之是 Unordered。漢明距離(Hamming Distance, d)，兩筆資料 X 與 Y 的漢明距離 $d(X, Y)$ ，所代表的意思是 X 與 Y 經過比較後不同位元的數目，例如： $X=(00111)$ ， $Y=(11100)$ ，則 $d(X, Y)=4$ 。B. Boss 與 D. J. Lin[3]證明以下定義：

定義 6. 可察覺 t 單向錯誤

假設一個碼代稱為 C ， C 能夠察覺 t 單向錯誤但是必須符合， X 與 Y 是 Unordered 或者 $d(X, Y) \geq t+1$ 其中一項，從所有 $X, Y \in C$ 。

伯登碼的編碼方式[5]由第(3.1)式設計，以 $B(n, t)$ 表示：

$$B(n, t) = \sum_{w=\lfloor n/2 \rfloor \bmod (t+1)}^n \binom{n}{w} \quad (3.1)$$

- n : 位元長度
- w : 伯登碼權重， $0 \leq w \leq n$

- t: 單向錯誤的數目

伯登碼以 $C(n, t)$ 連結所有 m/n 碼， $C(n, t) = C_1(n, t) \cup C_2(n, t) \dots \cup C_p(n, t)$ ， $j=1, 2, \dots, p$ ，舉例： $B(10, 2)$ ， $w = \lfloor 10/2 \rfloor \bmod (2+1) = 2$ ， $2 \bmod 3 = 2$ ， $5 \bmod 3 = 2$ ， $8 \bmod 3 = 2$ ，所以 $B(10, 2) = \binom{10}{2} + \binom{10}{5} + \binom{10}{8} = 342$ ，輸入合法碼有 342 種變化，而 $C(10, 2) = C_1(10, 2) \cup C_2(10, 2) \cup C_3(10, 2)$ ， $C_1(10, 2)$ 為 2/10 碼， $C_2(10, 2)$ 為 5/10 碼， $C_3(10, 2)$ 為 8/10 碼。

3.2 系統碼

系統碼之組成可劃分資料位元與檢查位元。

3.2.1 伯格碼

伯格碼的組成可劃分資料位元與檢查位元，屬於最佳可分離碼 (Separable Code)，可以察覺所有單一固著 (Stuck-at) 錯誤與單向錯誤，所以伯格碼是系統碼中是最佳 AUED 碼 [2]。資料位元長度以 i 表示，檢查位元長度以 r 表示， $r = \lceil \log_2(i+1) \rceil$ ，伯格碼有兩種的編碼方式如下所示：

- B_0 : 計數資料位元長度 i 中 0 的數目，再轉換成二進制為檢查位元。
- B_1 : 計數資料位元長度 i 中 1 的數目，再轉換成二進制取 1's 補數為檢查位元。

對於位元長度為 n 的伯格碼， $n=i+r$ ，伯格碼以 $BC(n, i)$ 表示，當 $r = \log_2(i+1)$ ， $i=2^r-1$ 稱為最大長度伯格碼，反之，當 $r = \lceil \log_2(i+1) \rceil$ 稱為非最大長度伯格碼，舉例： $BC(7, 4)$ ，則 $r = \lceil \log_2(4+1) \rceil = 3$ ， $n=4+3=7$ ， $BC(7, 4)$ 就是非最大長度伯格碼，如表 3.1。另一個舉例在 $BC(5, 3)$ ， $r = \log_2(3+1) = 2$ ， $BC(5, 3)$ 就是最大長度伯格碼，如表 3.2。

表 3.1 BC(7, 4)真值表

資料位元(<i>i</i>)	B ₀	B ₁	資料位元(<i>i</i>)	B ₀	B ₁
0000	100	111	1000	011	110
0001	011	110	1001	010	101
0010	011	110	1010	010	101
0011	010	101	1011	001	100
0100	011	110	1100	010	101
0101	010	101	1101	001	100
0110	010	101	1110	001	100
0111	001	100	1111	000	011

表 3.2 BC(5, 3)真值表

資料位元(<i>i</i>)	B ₀	B ₁
000	11	11
001	10	10
010	10	10
011	01	01
100	10	10
101	01	01
110	01	01
111	00	00

伯格碼有以下幾項優點：

1. 在系統碼中，不需要額外的電路去分離資料位元，因為資料位元是由被檢測電路所產生。
2. 可察覺所有單向錯誤。
3. 在 AUED 碼中是最少冗餘可離的碼，用較少的檢查位元。

伯格碼的主要缺點需要額外的硬體去產生檢查位元，本文在第 5.2 節針對此問題提出比傳統較低硬體架構的檢查碼產生器。

3.2.2 伯斯林碼(Bose-Lin)

伯斯林碼是屬於系統碼的 t-UED 由 B. Bose 與 D. J. Lin 所提出，在伯斯林碼的檢查位元長度不受資料位元長度而變動， p_0 代表資料位元裡 0 的數目，伯斯林碼有兩種編碼方式[3]，如下所示：

1. 伯斯林碼 1($BLC_1(n, r)$)：

- (1) 當 $r \in \{2, 3\}$ ，則檢查符號 $I_c = p_0 \bmod 2^r$ ，可以察覺 r 個單向錯誤。
- (2) 當 $r \geq 4$ ，讓 $I'_c = p_0 \bmod 2^{r-1} = q_{r-2}q_{r-3}\dots q_0$ ，檢查符號 $I_c = s_{r-1}s_{r-2}\dots s_0$ ，然而 $s_{r-1} = q_{r-2}$ ， $s_{r-2} = \bar{q}_{r-2}$ 與 $s_h = q_h$ ， $h=0, 1, \dots, r-3$ ，可以察覺 $(2^{r-2} + r - 2)$ 個單向錯誤。舉例： $BLC_1(24, 4)$ 如表 3.3， $p_0 = 6$ ， $I'_c = 6 \bmod 2^{4-1} = 6$ ，轉成二進制表示 $I'_c = q_2q_1q_0 = \underline{110}$ ，將 I'_c 轉換成檢查符號 I_c ，則 $I_c = s_3s_2s_1s_0 = \underline{1010}$ 。

表 3.3 $BLC_1(24, 4)$ 真值表

資料位元(i)	p_0	I'_c	檢查符號(I_c)	資料位元(i)	p_0	I'_c	檢查符號(I_c)
<u>00...011...1</u> 5 0's	5	<u>101</u>	<u>1001</u>	<u>00...011...1</u> 13 0's	13	<u>101</u>	<u>1001</u>
<u>00...011...1</u> 6 0's	6	<u>110</u>	<u>1010</u>	<u>00...011...1</u> 14 0's	14	<u>110</u>	<u>1010</u>
<u>00...011...1</u> 7 0's	7	<u>111</u>	<u>1011</u>	<u>00...011...1</u> 15 0's	15	<u>111</u>	<u>1011</u>
<u>00...011...1</u> 8 0's	8	<u>000</u>	<u>0100</u>	<u>00...011...1</u> 16 0's	16	<u>000</u>	<u>0100</u>
<u>00...011...1</u> 9 0's	9	<u>001</u>	<u>0101</u>	<u>00...011...1</u> 17 0's	17	<u>001</u>	<u>0101</u>
<u>00...011...1</u> 10 0's	10	<u>010</u>	<u>0110</u>	<u>00...011...1</u> 18 0's	18	<u>010</u>	<u>0110</u>
<u>00...011...1</u> 11 0's	11	<u>011</u>	<u>0111</u>	<u>00...011...1</u> 19 0's	19	<u>011</u>	<u>0111</u>
<u>00...011...1</u> 12 0's	12	<u>100</u>	<u>1000</u>	<u>00...0</u> 20 0's	20	<u>100</u>	<u>1000</u>

2. 伯斯林碼 2($BLC_2(n, r)$): 當 $r \geq 5$ 時, $I'_c = p_0 \bmod (3 \cdot 2^{r-3}) = q_{r-2}q_{r-3} \dots q_0$, 前 3 個 $q_{r-2}q_{r-3}q_{r-4}$ 位元藉由 Function H 對應到 $s_{r-1}s_{r-2}s_{r-3}s_{r-4}$, H 產生 6 個 2/4 碼如: $H(000)=0011$, $H(001)=0101$, $H(010)=(0110)$, $H(011)=(1001)$, $H(100)=1010$, $H(101)=1100$, 檢查符號 $I_c = s_{r-1}s_{r-2} \dots s_0$ 在 $s_{r-5} = q_{r-5}$, 可以察覺 $t = (5 \cdot 2^{r-4} + r - 4)$ 個單向錯誤。舉例: $BLC_2(52, 5)$ 如表 3.4, $p_0 = 8$, $I'_c = 8 \bmod (3 \cdot 2^{5-3}) = 8$, 轉成二進制表示 $I'_c = q_3q_2q_1q_0 = \underline{1000}$, 前 3 個 $q_3q_2q_1 = 100$ 藉由 Function H 得知 $H(100) = 1010$ 對應到 $I_c = s_4s_3s_2s_1s_0 = \underline{10100}$, 則 $s_0 = q_0$ 。

表 3.4 $BLC_2(52, 5)$ 真值表

資料位元(i)	p_0	I'_c	檢查符號(I_c)	資料位元(i)	p_0	I'_c	檢查符號(I_c)
<u>00...011...1</u> 6 0's	6	<u>0110</u>	<u>10010</u>	<u>00...011...1</u> 25 0's	25	<u>0001</u>	<u>00111</u>
<u>00...011...1</u> 8 0's	8	<u>1000</u>	<u>10100</u>	<u>00...011...1</u> 27 0's	27	<u>0011</u>	<u>01011</u>
<u>00...011...1</u> 12 0's	12	<u>0000</u>	<u>00110</u>	<u>00...011...1</u> 30 0's	30	<u>0110</u>	<u>10010</u>
<u>00...011...1</u> 14 0's	14	<u>0010</u>	<u>01010</u>	<u>00...011...1</u> 34 0's	34	<u>1010</u>	<u>11000</u>
<u>00...011...1</u> 16 0's	16	<u>0100</u>	<u>01100</u>	<u>00...011...1</u> 38 0's	38	<u>0010</u>	<u>01010</u>
<u>00...011...1</u> 19 0's	19	<u>0111</u>	<u>10011</u>	<u>00...011...1</u> 42 0's	42	<u>0110</u>	<u>10010</u>
<u>00...011...1</u> 21 0's	21	<u>1001</u>	<u>10101</u>	<u>00...011...1</u> 47 0's	47	<u>1011</u>	<u>11001</u>

伯斯林 BLC_1 與 BLC_2 碼, 在察覺單向錯誤方面 BLC_2 比 BLC_1 佳, 以 $r \geq 6$ 。

3.2.3 雙軌碼

雙軌碼(TRC)是一種最常用在自我檢查電路上的編碼, 雖然 TRC 屬於最大冗餘的 EDC(檢查位元與資料位元相同)[7], 但容易設計實現在電路

上，圖 3.3 為樹狀(Tree)架構的 2-pair TRC 檢查器[8]，其輸入分別 (X_1, X_2, \dots, X_n) 與 (Y_1, Y_2, \dots, Y_n) ， $i=1, 2, \dots, n$ 代表編碼的長度，兩個輸出端為 F 與 G，對於每一對有效的輸入 $X_i = \bar{Y}_i$ ，輸出端訊號 $(F, G)=(1, 0)$ 或 $(0, 1)$ 彼此呈現互補表示被檢測的電路無錯誤，反之，輸入無效的 $X_i \neq \bar{Y}_i$ ，輸出訊號 $(F, G)=(0, 0)$ 或 $(1, 1)$ 彼此為相同即表示被檢測電路發生錯誤。

以圖 3.4 的 2-pair TRC 檢查器為一個模組，輸入編碼長度為 n Bits，就需要 $(n-1)$ 個 2-pair TRC 檢查器，每個 2-pair TRC 檢查器包括 4 個 AND Gate 與 2 個 OR Gate，如此對於輸入編碼長度為 n Bits 而言，需要 $4(n-1)$ 個 AND Gate 與 $2(n-1)$ 個 OR Gate；在樹狀架構 TRC 檢查器很容易設計，但在 n Bits 越高會有輸入 Fin-In 的問題，而電路的訊號傳遞需要較長的路徑。



圖 3.3 2-pair TRC 檢查器

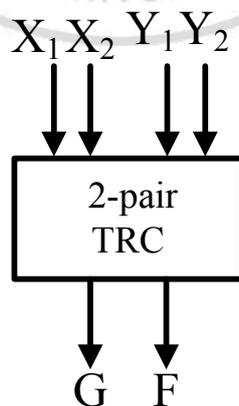


圖 3.4 2-pair TRC 符號

第四章 伯登碼檢查器設計

4.1 伯登碼檢查器

本論文在伯登碼檢查器設計上是以文獻[9]的權重 k 臨界電路(k -Weight Threshold Circuit)設計方式實現在 m/n 碼檢查器， $C(n, t)$ 伯登碼在將所有 m/n 碼做連結， k 臨界電路的 n 代表位元長度，當輸入位元 X_1, X_2, \dots, X_n 中 1 的數目為 k 或 k 值以上，輸出為高電位(邏輯 1)，反之為低電位(邏輯 0)。權重 k 臨界電路的電晶體長寬比由第(4.1)式設計：

$$\frac{W}{L} = \frac{W_{pm} / W_{nm}}{L_{pm} / L_{nm}} = \frac{W_{pm} \cdot L_{nm}}{W_{nm} \cdot L_{pm}} \quad (4.1)$$

其中，NMOS(nm_1, nm_2, \dots, nm_n)電晶體的通道寬度 W_{nm} 和長度 L_{nm} 相同，因此可控制 PMOS(pm)電晶體尺寸來達到權重的大小；權重 k 臨界電路如圖 4.1 所示，此電路設計方法屬於比例式邏輯(Ratio Logic)。

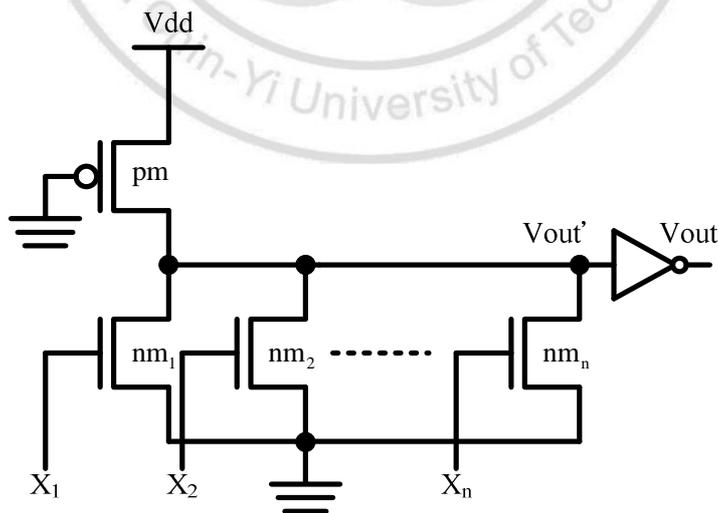


圖 4.1 權重 k 臨界電路

由圖 4.1 電路可推導出第(4.2)式：

$$(k-1) \frac{KP_n}{KP_p} \cdot \frac{2(V_{dd} - V_m)V_{IHMIN} - V_{IHMIN}^2}{(V_{dd} + V_{tp})^2} \leq \frac{W}{L} \leq k \frac{KP_n}{KP_p} \cdot \frac{2(V_{dd} - V_m)V_{ILMAX} - V_{ILMAX}^2}{(V_{dd} + V_{tp})^2} \quad (4.2)$$

- $V_{IHMIN}(V_{ILMAX})$: 反相器最小輸入高電壓(最大輸入低電壓), 可判斷出邏輯 1(0)
- $V_m(V_{tp})$: NMOS(PMOS)電晶體的臨界電壓
- $KP_n(KP_p)$: $\mu_n \cdot C_{ox}(\mu_p \cdot C_{ox})$

從第(4.2)式, 使用以下簡稱:

$$C_H = \frac{KP_n}{KP_p} \cdot \frac{2(V_{dd} - V_m)V_{IHMIN} - V_{IHMIN}^2}{(V_{dd} + V_{tp})^2}$$

$$C_L = \frac{KP_n}{KP_p} \cdot \frac{2(V_{dd} - V_m)V_{ILMAX} - V_{ILMAX}^2}{(V_{dd} + V_{tp})^2}$$

$$\text{得到 } C_H \cdot (k-1) \leq \frac{W}{L} \leq C_L \cdot k \quad (4.3)$$

將權重 k 臨界電路加上一顆 PMOS(pm_1) 電晶體以訊號 I 控制, 使電路具有切換 k 或 $k+1$ 權重如圖 4.2, 電晶體長寬比以第(4.4)式設計:

$$C_H \cdot k \leq \frac{W_{pm}}{L_{pm}} + \frac{W_{pm_1}}{L_{pm_1}} \leq C_L \cdot (k+1) \quad (4.4)$$

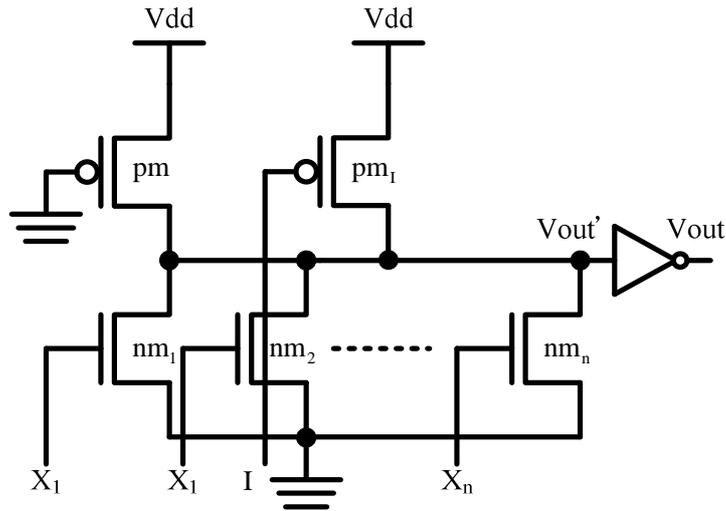


圖 4.2 權重 k 或 $k+1$ 臨界電路

設計權重 k 的值等於 m/n 碼的 m 權重，以 $k=m$ 將兩個圖 4.2 電路分別以模組 L_0 與 L_1 組合在一起，而訊號 I 切換模組 L_0 與 L_1 權重，如圖 4.3 就是 m/n 碼檢查器，圖 4.4 為 m/n 碼檢查器符號。 $I=1$ ，模組 L_0 稱為 $m+1/n(m+1\text{-out-of-}n)$ 碼檢查器，而模組 L_1 稱為 m/n 碼檢查器，反之， $I=0$ ，模組 L_0 稱為 m/n 碼檢查器，而模組 L_1 稱為 $m+1/n(m+1\text{-out-of-}n)$ 碼檢查器。舉例：電路權重 $m=2$ ， $I=1$ ，輸入位元 X_1, X_2, \dots, X_n 中 1 的數目為 2 (2-out-of- n code)，模組 L_0 權重是 $3(m+1)$ ，而模組 L_1 權重是 $2(m)$ ，所以輸出訊號 $(Z_1, Z_2)=(0, 1)$ ，反之， $I=0$ ，模組 L_0 權重是 $2(m)$ ，而模組 L_1 權重是 $3(m+1)$ ，所以輸出訊號 $(Z_1, Z_2)=(1, 0)$ 。

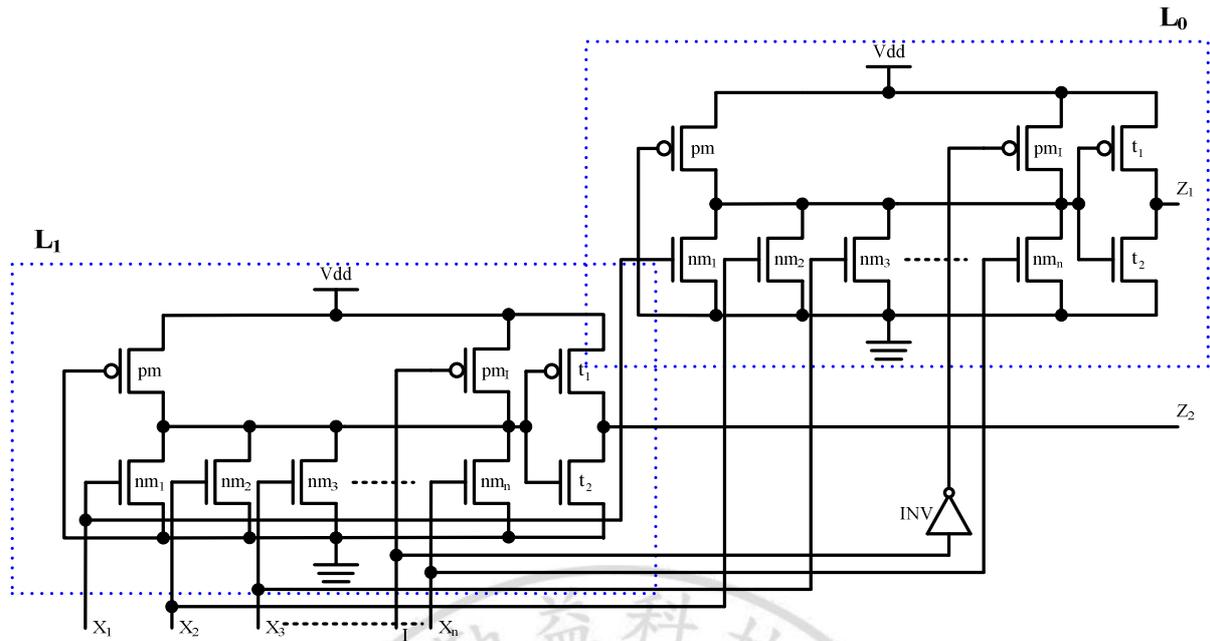


圖 4.3 訊號 I 控制 m/n 碼檢查器

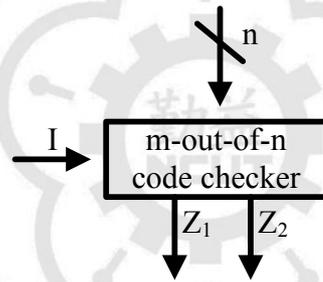


圖 4.4 m/n 碼檢查器符號

4.2 B(8, 2)設計

本論文在伯登碼檢查器設計是以 $n=8, t=2$ 設計，從第 3.1.2 節的第(3.1)式設計， $w = \lfloor 8/2 \rfloor \bmod (2+1) = 1, 1 \bmod 3 = 1, 4 \bmod 3 = 1, 7 \bmod 3 = 1$ ，所以 $B(10, 2) = \binom{8}{1} + \binom{8}{4} + \binom{8}{7} = 86$ ，輸入合法碼有 86 種變化，伯登碼以 $C(n, t)$ 連結所有 m/n 碼檢查器， $C(8, 2) = C_1(8, 2) \cup C_2(8, 2) \cup C_3(8, 2)$ ， $C_1(8, 2)$ 為 1/8 碼檢查器， $C_2(8, 2)$ 為 4/8 碼檢查器， $C_3(8, 2)$ 為 7/8 碼檢查器，TSC 檢查器以伯登碼 $C(8, 2)$ 如下圖 4.5：

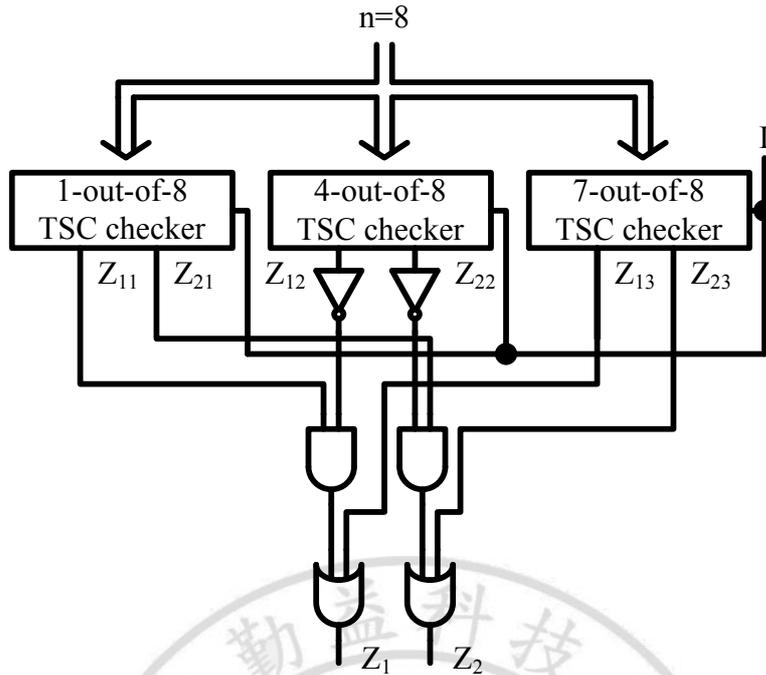


圖 4.5 TSC 檢查器以伯登碼 C(8, 2)

最後檢查器 Z_1 與 Z_2 輸出結果由下面第(4.5)與(4.6)式得到：

$$Z_1 = Z_{11} \cdot \bar{Z}_{12} + Z_{13} \quad (4.5)$$

$$Z_2 = Z_{21} \cdot \bar{Z}_{22} + Z_{23} \quad (4.6)$$

TSC 檢查器 C(8, 2)輸入以 1/8 word(1-out-of-8 code)為例，訊號 $I=1(0)$ ，在 1-out-of-8 TSC checker 輸出 $(Z_{11}, Z_{21})=(0, 1)((1, 0))$ ，其他 4-out-of-8 TSC checker 與 7-out-of-8 TSC checker 在訊號 $I=1(0)$ 對應輸出一致呈現 $(Z_{12}, Z_{22})=(Z_{13}, Z_{23})=(0, 0)$ ，這些輸出值代入(4.5)與(4.6)式，最後結果為 $(Z_1, Z_2)=(0, 1)((1, 0))$ 。從表 4.1 可以知道輸入 1/8 word, 4/8 word, 7/8 word 是合法碼所對應的輸出 $(Z_1, Z_2)=(0, 1)$ 與 $(1, 0)$ 為合法碼，其餘輸入非法碼對應輸出非法碼，此電路具有第 2.2 節的碼分離(CD)特性。

Stuck-at-0(Stuck-at-1)錯誤簡稱為 s-a-0(s-a-1)錯誤，當 s-a-0(s-a-1)錯誤發生在圖 4.5 的 3 塊 m/n 碼 TSC 檢查器輸出 Z_{1i} 與 Z_{2i} 上， $1 \leq i \leq 3$ ，從表 4.2 得知，以 1/8 TSC checker 發生 s-a-0(s-a-1)錯誤為例，最少有一組輸入 1/8

word 就可以找出 s-a-0(s-a-1)錯誤，而最後輸出 $(Z_1, Z_2)=(0, 0)((1, 1))$ ，其他 4/8 TSC checker 與 7/8 TSC checker 發生 s-a-0(s-a-1)錯誤，至少有一組輸入可以判斷電路已經發生錯誤，以上敘述此電路符合第 2.2 節的自我測試(ST)特性。

圖 4.5 的 3 塊 m/n 碼 TSC 檢查器輸出 Z_{1i} 與 $Z_{2i}, 1 \leq i \leq 3$ ，發生 s-a-0(s-a-1)錯誤，輸出 $(Z_{1i}, Z_{2i})=(0, 0)((1, 1))$ ，並不會發生 $(Z_{1i}, Z_{2i})=(0, 1)$ 與 $(1, 0)$ 狀態，而最後輸出也不會產生 $(Z_1, Z_2)=(0, 1)$ 與 $(1, 0)$ 狀態，此電路具有第 2.2 節的錯誤防禦(FS)特性。因此從第 2.2 節的定義 5 知道，我們設計的電路是 TSC 檢查器。

表 4.1 TSC 檢查器以伯登碼 C(8, 2)輸出狀態

Outputs	Inputs n								
	0/8 word	1/8 word	2/8 word	3/8 word	4/8 word	5/8 word	6/8 word	7/8 word	8/8 word
Z_{11}	0	(0, 1)	1	1	1	1	1	1	1
Z_{21}	0	(1, 0)	1	1	1	1	1	1	1
Z_{12}	0	0	0	0	(0, 1)	1	1	1	1
Z_{22}	0	0	0	0	(1, 0)	1	1	1	1
Z_{13}	0	0	0	0	0	0	0	(0, 1)	1
Z_{23}	0	0	0	0	0	0	0	(1, 0)	1
Z_1	0	(0, 1)	1	1	(1, 0)	0	0	(0, 1)	1
Z_2	0	(1, 0)	1	1	(0, 1)	0	0	(1, 0)	1

表 4.2 察覺錯誤在 3 塊 m/n 碼 TSC 檢查器

Outputs	s-a-0 in 1/8 TSC checker	s-a-1 in 1/8 TSC checker	s-a-0 in 4/8 TSC checker	s-a-1 in 4/8 TSC checker	s-a-0 in 7/8 TSC checker	s-a-1 in 7/8 TSC checker
Z_{11}	0	1	1	1	1	1
Z_{21}	0	1	1	1	1	1
Z_{12}	0	0	0	1	1	1
Z_{22}	0	0	0	1	1	1
Z_{13}	0	0	0	0	0	1
Z_{23}	0	0	0	0	0	1
Z_1	0	1	1	0	0	1
Z_2	0	1	1	0	0	1

從表 4.1 看出輸入 3 個合法碼 1/8 word, 4/8 word, 7/8 word 對應輸出圖 4.5 的 3 塊 m/n 碼 TSC 檢查器輸出 $(Z_{1i}, Z_{2i})=(0, 1)$ 與 $(1, 0)$, $1 \leq i \leq 3$, 其餘輸入就是非法碼, 圖 4.6 是以 4-out-of-8 TSC checker 為例, X 代表電路可接收輸入合法碼 4/8 word, Y 代表輸入非法碼 3/8 word, 2/8 word, 1/8 word, 從圖上可以看出輸入非法碼對照電路可接收合法碼之間所發生的錯誤類型是屬於 1→0 錯誤, 輸入 3/8 word 而 $t=1$, 輸入 2/8 word 而 $t=2$, 前面兩組輸入訊號就有符合第 3.1.2 節定義 6 的 $C(8, 2)$ 可察覺 2 單向錯誤, 而在輸入 1/8 word 的 $d(X, Y)=3$, 也有符合定義 6 的 $d(X, Y) \geq t+1$; 圖 4.7 是以 4-out-of-8 TSC checker 為例, 輸入非法碼 5/8 word, 6/8 word, 7/8 word, 發生的錯誤類型是屬於 0→1 錯誤, 輸入 5/8 word 而 $t=1$, 輸入 6/8 word 而 $t=2$, 前面兩組輸入訊號就有符合定義 6 的 $C(8, 2)$ 可察覺 2 單向錯誤, 而在輸入 7/8 word 的 $d(X, Y)=3$, 也有符合定義 6 的 $d(X, Y) \geq t+1$ 。以上敘述可以證明單向錯誤只會發生在某個時間點上的 1→0 或 0→1 錯誤。

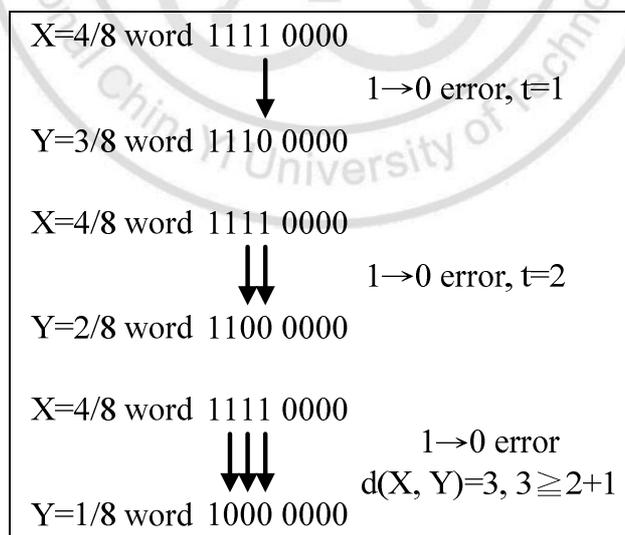


圖 4.6 4-out-of-8 TSC checker 接收非法碼(1→0 error)

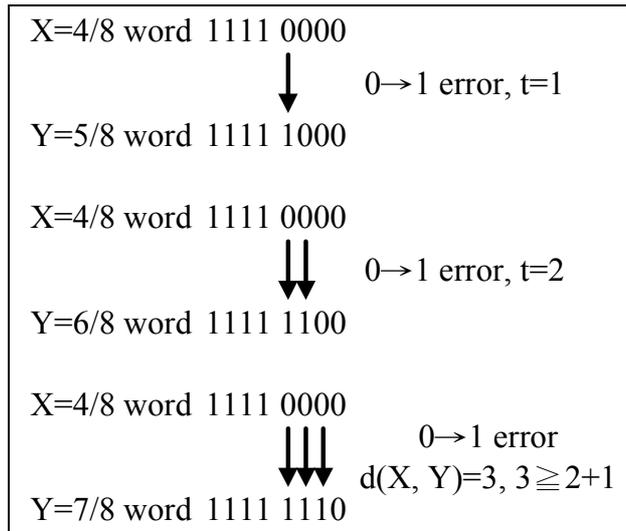


圖 4.7 4-out-of-8 TSC checker 接收非法碼(0→1 error)

4.3 模擬結果與晶片實現

實驗操作環境如下：

- 操作系統：SUN Solaris'9
- 使用製程：TSMC 0.18 μm CMOS Mixed Signal RF 1P6M 1.8&3.3 V
- 模擬軟體：Synopsys H-spice(Ver.: 2004.09)
- 佈局軟體：Laker(Ver.: 31v3p1)
- 驗證軟體：Mentor Calibre(Ver.: 2008.2_22.20)

4.3.1 模擬結果

用 H-spice 模擬本研究的 TSC 檢查器以伯登碼 C(8, 2)，操作工作頻率為 100 MHz，供應電源電壓為 1.8 V，假設被檢測的電路無錯誤提供給檢查器的輸入訊號為合法碼 1/8 word, 4/8 word, 7/8 word，所對應輸出 $(Z_1, Z_2)=(0, 1)$ 與 $(1, 0)$ ，反之，輸出為 $(Z_1, Z_2)=(0, 0)$ 或 $(1, 1)$ ；考慮輸出端的推動能力，能推動 I/O PAD 上的寄生電容，在輸出端 Z_1 與 Z_2 加上緩衝閘(Buffer)增加

推動能力。輸入訊號以 1/8 word, 2/8 word, ..., 8/8 word 變化，從圖 4.8 Post-layout simulation 可以看出 Z_{1i} 與 Z_{2i} , $1 \leq i \leq 3$ ，以及 Z_1 與 Z_2 輸出結果跟表 4.1 相符，由此可證明本研究的成果有達到 TSC 檢查器以伯登碼 C(8, 2) 的功能。

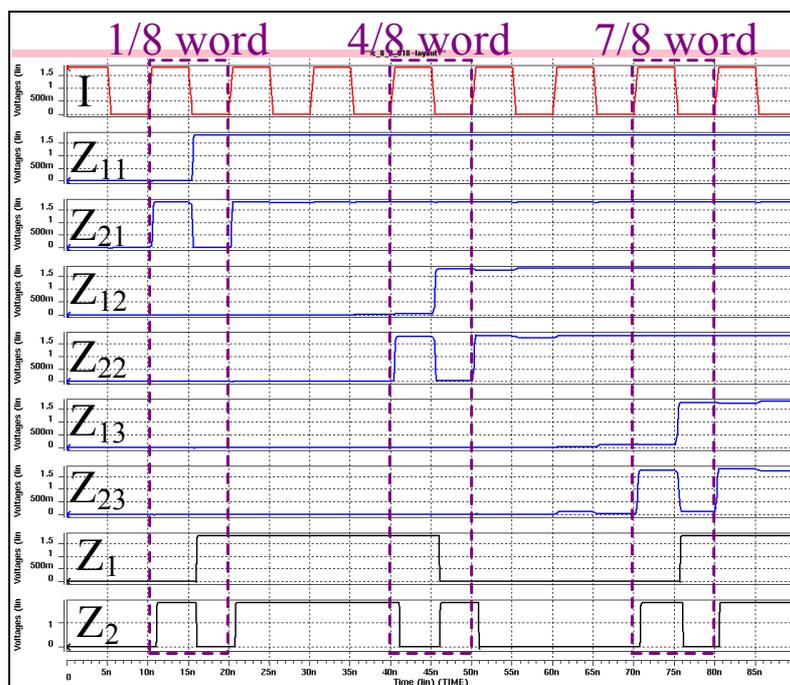


圖 4.8 Post-layout simulation for Borden C(8, 2).

製程參數變異下 Pre-與 Post-layout simulation 結果整理如表 4.3。

表 4.3 TSC 檢查器以伯登碼 C(8, 2)在 Pre-與 Post-layout simulation 比較

環境變化		Pre-sim	Post-sim
Corner 模擬	TT mode	Pass	Pass
	FF mode	Pass	Pass
	SS mode	Pass	Pass
	FS mode	Fail	Fail
	SF mode	Fail	Fail
溫度 變化	25°C	Pass	Pass
	4°C	Pass	Pass
	70°C	Pass	Pass
	100°C	Pass	Pass
電壓 變化	1.62 V	Pass	Fail
	1.98 V	Pass	Pass

TSC 檢查器以伯登碼 C(8, 2)，是由 3 塊 m/n 碼 TSC 檢查器與邏輯閘組成，而 m/n 碼 TSC 檢查器設計是基於比例式邏輯權重 k 臨界電路設計，所以在製程參數變異，造成輸出準位不準，但電路在 TT mode 不會有此問題發生。

4.3.2 晶片佈局



圖 4.9 TSC 檢查器以伯登碼 C(8, 2)核心佈局

圖 4.9 為 TSC 檢查器以伯登碼 C(8, 2)核心佈局平面圖，而圖 4.10 是 TSC 檢查器以伯登碼 C(8, 2)晶片顯微攝影圖。

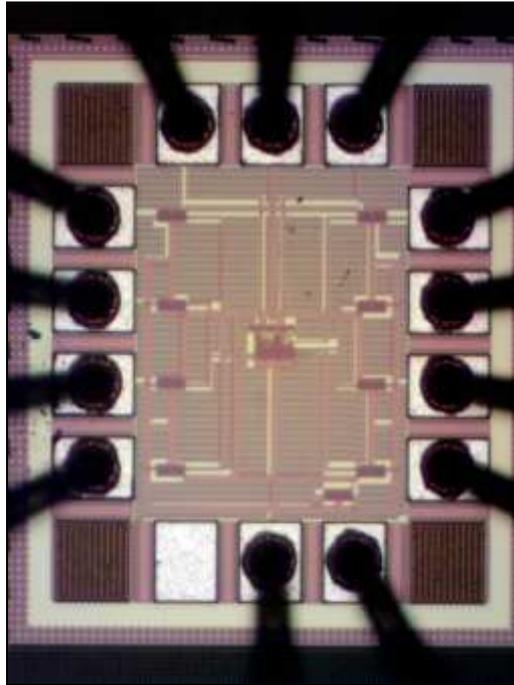


圖 4.10 TSC 檢查器以伯登碼 C(8, 2)晶片顯微攝影圖

本研究的 TSC 檢查器以伯登碼 C(8, 2)，透過國家晶片設計中心(CIC) Tapeout，在 T18-98C 梯次，表 4.4 是晶片規格。

表 4.4 TSC 檢查器以伯登碼 C(8, 2)晶片規格表

電路名稱	TSC 檢查器以伯登碼 C(8, 2)
製程技術	TSMC 0.18 μm 1P6M 1.8&3.3 V
電源電壓(V)	1.8
平均功率消耗(mW)	7.8@100 MHz
晶片面積(mm^2)	0.03662 \times 0.04451 (without I/O PAD) 0.421 \times 0.502 (with I/O PAD)
電路特性	自我檢查以 C(8, 2)

4.4 晶片量測與分析

依照圖 4.11 量測架構做為電路功能驗證，以波形產生器(Tektronix AFG3252)CH1 為 I 訊號的輸入，DIP Pin 16 訊號給輸入 X_1, X_2, \dots, X_8 ，DIP Pin 16 分成一半供應高電壓另一半供應低電壓，由示波器(Tektronix DPO4054)的 CH1 接到 Chip 的 I、CH2 接 Z_1 以及 CH3 接 Z_2 ，電源供應器提供 1.8 V。在 DIP Pin 16 輸入高電位(邏輯 1)的個數為 m，輸入 $m=1, 4, 7$ ，

輸出 $(Z_1, Z_2)=(0, 1)$ 與 $(1, 0)$ ，其餘輸入在 $m=0, 5, 6$ 輸出 $(Z_1, Z_2)=(0, 0)$ 與輸入在 $m=2, 3, 8$ 輸出 $(Z_1, Z_2)=(1, 1)$ ；因實驗室測試儀器無法輸出 100 MHz 的方波，所以電路操作頻率在於 $I=10$ MHz，實際量測結果如圖 4.12(a)(b)(c)。

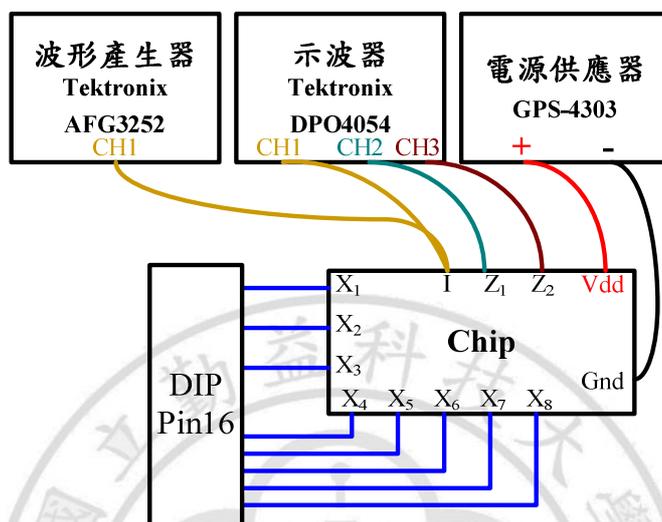


圖 4.11 伯登碼量測架構



圖 4.12(a) $m=1$

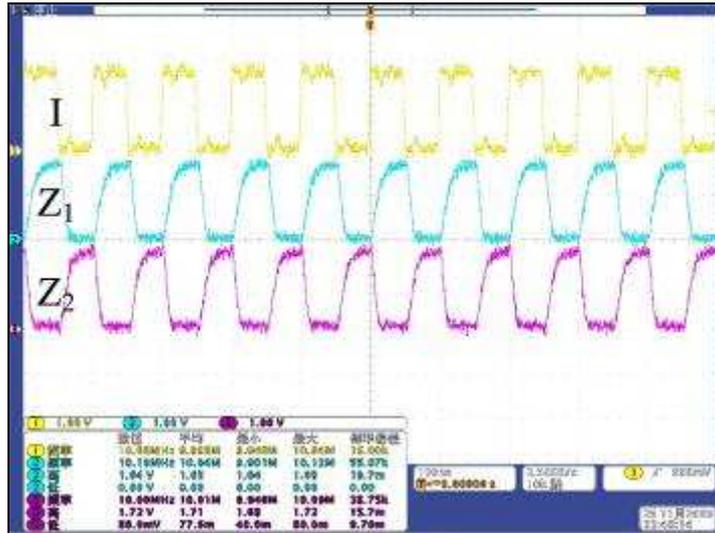


圖 4.12(b) m=4

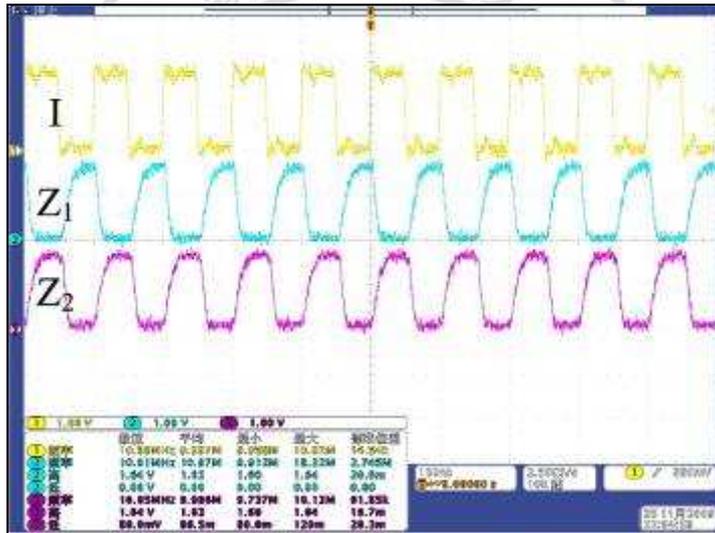


圖 4.12(c) m=7

第五章 伯格碼自我檢查電路設計

伯格碼的組成可劃分資料位元與檢查位元，屬於最佳可分離碼，在第 3.2.1 節提到檢查位元的編碼有 B_0 與 B_1 兩種，本研究是採用 B_1 的編碼方式，套用在第 2.1 節的圖 2.1 自我檢查電路架構上，除了原本的系統功能電路 (Function Circuit) 與檢查器 (Checker) 電路外，需要加入檢查碼產生器 (Check Bits Generator, CBG) 產生檢查位元，如圖 5.1 所示：

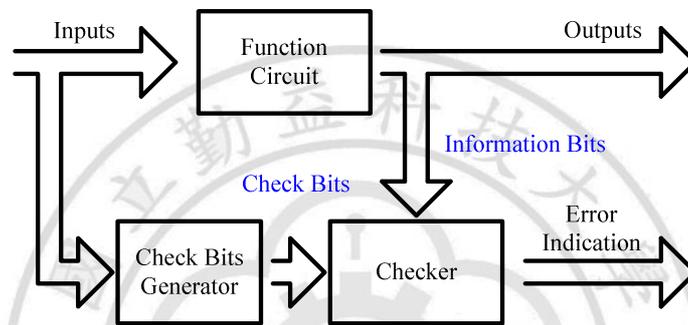


圖 5.1 Structure of Berger code TSC system.

系統功能電路(可稱為被檢測電路)是設計用來產生適當的編碼，此輸出編碼為資料位元，資料位元長度以 i 表示，而檢查位元是由檢查碼產生器(CBG)輸出所產生，檢查位元長度以 $r = \lceil \log_2(i+1) \rceil$ ，在正常操作模式下檢查器接收資料位元與檢查位元，檢測被檢測電路是否錯誤；本論文在此章節主要設計在圖 5.1 的檢查器與檢查碼產生器(CBG)兩個部份，在檢查位元編碼部份提出優於傳統的檢查碼產生器(CBG)。

5.1 伯格碼檢查器電路設計

5.1.1 權重 l 或 $l+1$ 臨界電路

伯格碼檢查器設計是基於在第 4.1 節的權重 k 臨界電路[9]，輸入資料位元長度以 i 表示，當輸入 X_1, X_2, \dots, X_i 中 1 的數目為 k 或 k 值以上，輸出

為 0 將提供圖 5.2 的 l 或 $l+1$ 權重臨界電路，表 5.1 列出權重解碼器輸出輸入關係以 $i=3$ 與 $r=2$ 。

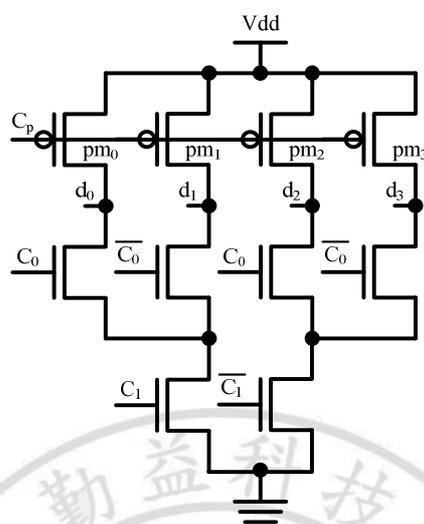


圖 5.3 權重解碼器架構

表 5.1 權重解碼器真值表

Check Bits $C_1 C_0$	Decoder Outputs				Weight of X_1, X_2, X_3
	d3	d2	d1	d0	
1 1	1	1	1	0	0
1 0	1	1	0	1	1
0 1	1	0	1	1	2
0 0	0	1	1	1	3

5.1.3 伯格碼檢查器

將兩個圖 5.2 電路分別以模組 M_0 與 M_1 組合在一起，在加入權重解碼器就是文獻[10]的伯格碼檢查器在圖 5.4， W 為漢明權重(Hamming Weight)代表在輸入資料位元中 1 的數目， m 代表權重解碼輸出 $d_m=0$ ，而權重解碼器決定伯格碼檢查器的權重，表 5.2 是伯格碼檢查器所有輸入對應輸出的真值表；舉例：假設 $I=1$ ，輸入資料位元 X_1, X_2, X_3 中的 $W=2$ ，那權重解碼器的 $d_2=0$ ，接著模組 M_0 與 M_1 分別操作在權重 $3(m+1)$ 與權重 $2(m)$ ，輸出 $(Q_0, Q_1)=(0, 1)$ ，反之， $I=0$ ，輸出 $(Q_0, Q_1)=(1, 0)$ ，輸出呈現互補狀態表示被檢測電路是無錯誤。

表 5.2 伯格碼檢查器所有輸入對應輸出的真值表

I	Weight	Q ₀ Q ₁
0	$W < m$	0 0
	$W = m$	1 0
	$W > m$	1 1
1	$W < m$	0 0
	$W = m$	0 1
	$W > m$	1 1

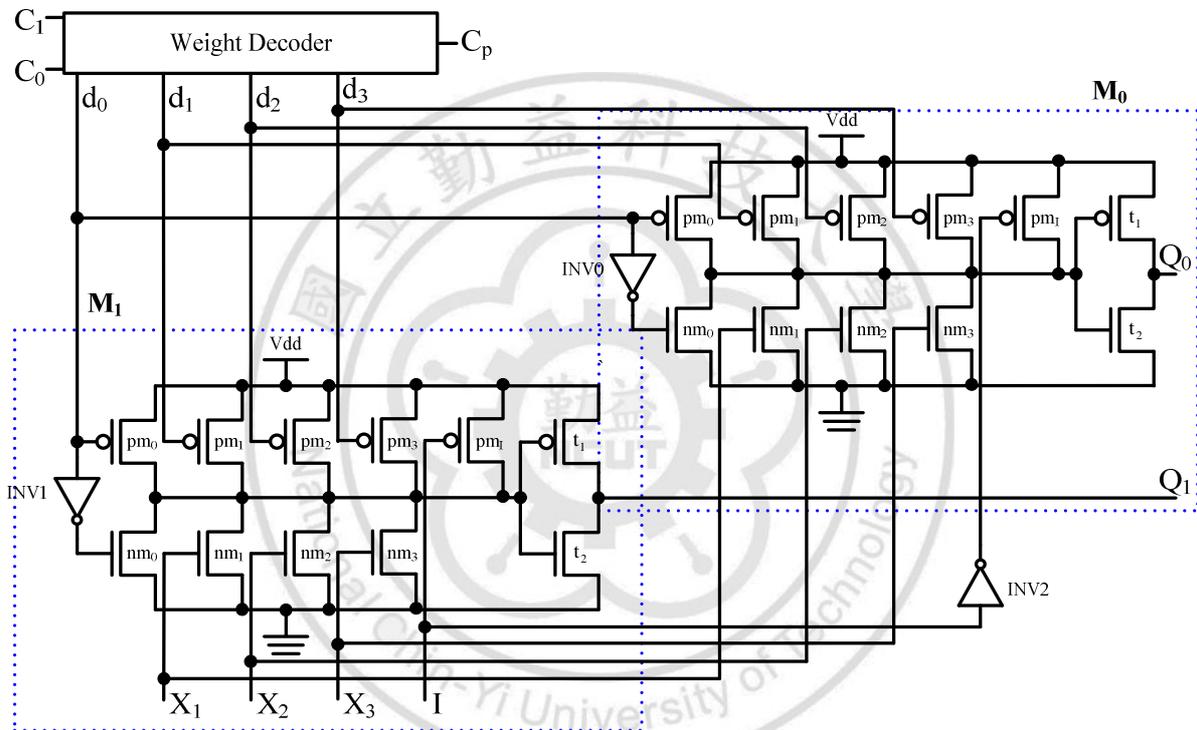


圖 5.4 Berger code checker for $i=3$ and $r=2$.

在圖 5.5 是檢查器 C_p 訊號的頻率設為 $2I$ ，輸入 Data 包含資料位元與檢查位元 (X_1, X_2, X_3, C_0, C_1)，當 $C_p=1$ 時輸出結果 (Q_0, Q_1) 將被採用。實際電路模擬波形如圖 5.6 以 $BC(10, 7)$ ，則 $r = \lceil \log_2(7+1) \rceil = 3$ ， $n = 7+3 = 10$ ，是最大長度伯格碼，電路設計方法屬於比例式邏輯，所以 Q_{00} 與 Q_{11} 是加上緩衝閘 (Buffer) 後的輸出，模擬波形可看出輸入 Data 的權重 ($W=m$) 依序從 0 變化到 7，在 $C_p=1$ 的輸出結果 (Q_{00}, Q_{11}) = (1,0) 或 (0, 1) 有符合表 5.2 輸出狀態與圖 5.5 的波形，此結果證明模擬結果是正確無誤。

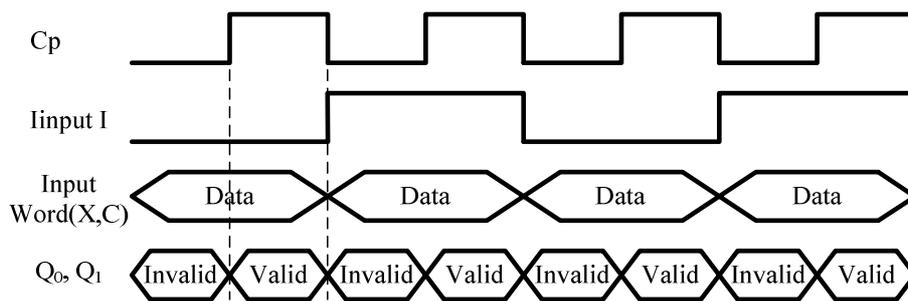


圖 5.5 檢查器輸入訊號對應輸出訊號波形

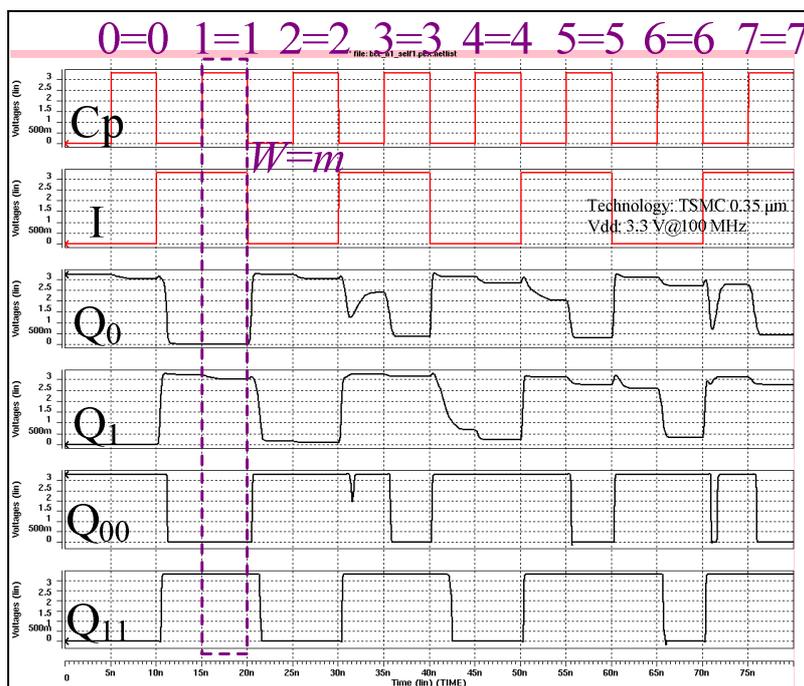


圖 5.6 BC(10,7)模擬波形以 $W=m$

5.2 伯格碼之檢查碼產生器設計

伯格碼所使用檢查位元的編碼方式是依照圖 5.1 的系統功能電路輸出資料位元進行編碼，本研究的伯格碼檢查器所檢測的系統功能電路設為「二位元漣波進位加法器」(2-Bit Ripple-Carry Adder, 2-Bit RCA)如圖 5.7。

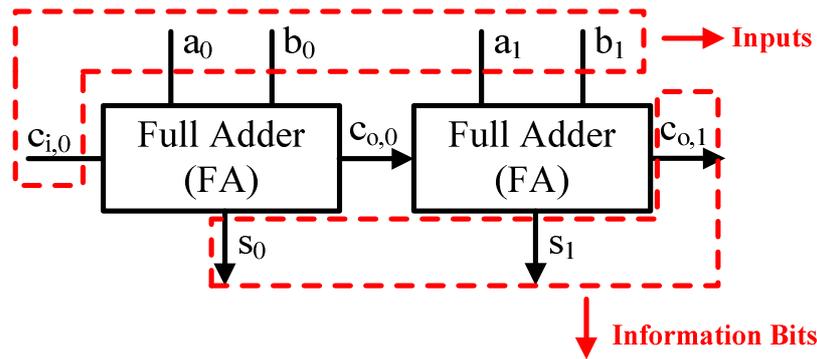


圖 5.7 系統功能電路模組以 2-Bit RCA

電路的 $a_1, b_1, a_0, b_0, c_{i,0}$ 是輸入信號，而 $c_{o,1}, s_1, s_0$ 是輸出信號亦為伯格碼的資料位元， C_1 與 C_0 是伯格碼中的檢查位元，是依照伯格碼 B_1 的編碼方式，表 5.3 輸入 $a_1, b_1, a_0, b_0, c_{i,0}$ 對應 C_1 與 C_0 ，用卡諾圖化簡可得到第(5.2)與第(5.3)式：

表 5.3 2-Bit RCA 真值表以伯格碼的檢查位元

Inputs					Information Bits			Check Bits	
a_1	b_1	a_0	b_0	$c_{i,0}$	$c_{o,1}$	s_1	s_0	C_1	C_0
0	0	0	0	0	0	0	0	1	1
0	0	0	0	1	0	0	1	1	0
0	0	0	1	0	0	0	1	1	0
0	0	0	1	1	0	1	0	1	0
0	0	1	0	0	0	0	1	1	0
0	0	1	0	1	0	1	0	1	0
0	0	1	1	0	0	1	0	1	0
0	0	1	1	1	0	1	1	0	1
0	1	0	0	0	0	1	0	1	0
		.				.		.	
		.				.		.	
		.				.		.	
1	1	1	1	1	1	1	1	0	0

$$\begin{aligned}
C_1 = & \overline{a_1} \overline{b_1} \overline{a_0} \overline{b_0} c_{i,0} + \overline{a_1} \overline{b_1} a_0 \overline{b_0} c_{i,0} + \overline{a_1} \overline{b_1} a_0 b_0 \overline{c_{i,0}} + \overline{a_1} \overline{b_1} a_0 b_0 c_{i,0} \\
& + \overline{a_1} b_1 \overline{a_0} \overline{b_0} c_{i,0} + \overline{a_1} b_1 \overline{a_0} b_0 \overline{c_{i,0}} + \overline{a_1} b_1 a_0 \overline{b_0} c_{i,0} + \overline{a_1} b_1 a_0 b_0 \overline{c_{i,0}} \\
& + \overline{a_1} b_1 b_0 \overline{c_{i,0}} + \overline{a_1} b_1 b_0 c_{i,0}
\end{aligned} \tag{5.2}$$

$$\begin{aligned}
C_0 = & \overline{a_1} \overline{b_1} \overline{a_0} \overline{b_0} c_{i,0} + \overline{a_1} \overline{b_1} a_0 \overline{b_0} c_{i,0} + \overline{a_1} \overline{b_1} a_0 b_0 \overline{c_{i,0}} + \overline{a_1} \overline{b_1} a_0 b_0 c_{i,0} \\
& + \overline{a_1} b_1 \overline{a_0} \overline{b_0} c_{i,0} + \overline{a_1} b_1 \overline{a_0} b_0 \overline{c_{i,0}} + \overline{a_1} b_1 a_0 \overline{b_0} c_{i,0} + \overline{a_1} b_1 a_0 b_0 \overline{c_{i,0}} \\
& + \overline{a_1} b_1 b_0 \overline{c_{i,0}} + \overline{a_1} b_1 b_0 c_{i,0}
\end{aligned} \tag{5.3}$$

以 CMOS 設計方式實現第(5.2)與(5.3)式電路，會有電晶體數過多、充放電時間過久以及造成輸出電壓準位不準等缺點；所以，本研究提出三種設計方法的 CBG 電路架構，具有硬體較低、快速充放電以及輸出準位正確等優點。

5.2.1 CBG_New-I

首先提出第一個架構稱為 CBG_New-I，從表 5.3 可觀測出以 2-Bit RCA 所產生的輸出再經由一個全加器(Full Adder, FA)運算所得進位(Carry)與和(Sum)的結果跟表 5.3 上的 C_1 與 C_0 形成互補，所以加上反相器能得到相同的結果，CBG_New-I 是以 3 個傳統 CMOS FA[11]所構成，如圖 5.8 所示，產生檢查位元是經過 4 個電路路徑(3 個 FA 與反相器)，此電路不會有充放電時間過久與電壓準位不準的問題。

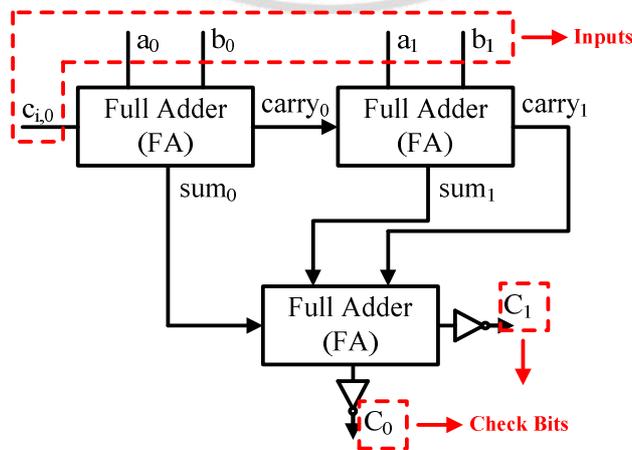


圖 5.8 CBG_New-I schematic.

5.2.2 CBG_New-II

提出第二個架構稱為 CBG_New-II，從表 5.4(a)(b)可觀測出輸入 $a_0, b_0, c_{i,0}$ 訊號經由一個 FA 運算的結果 $s_0, c_{o,0}$ 在經過邏輯閘運算，提供輸入給多工器(Multiplexer, MUX)，而訊號 a_1 與 b_1 控制多工器的選擇輸出；以下分析 CBG_New-II 設計：

1. 多工器選擇訊號 a_1 與 b_1 是 00 狀態：FA 運算結果 $s_0, c_{o,0}$ 經由 NAND 閘運算的結果跟表 5.4(a)的 C_1 相同；FA 運算結果 $s_0, c_{o,0}$ 經由 XNOR 閘運算的結果跟表 5.4(a)的 C_0 相同。
2. 多工器選擇訊號 a_1 與 b_1 是 01 狀態：FA 運算結果 s_0 經由反相器運算的結果跟表 5.4(a)的 C_1 相同；FA 運算結果 s_0 跟表 5.4(a)的 C_0 相同。
3. 多工器選擇訊號 a_1 與 b_1 是 10 狀態：FA 運算結果 s_0 經由反相器運算的結果跟表 5.4(b)的 C_1 相同；FA 運算結果 s_0 跟表 5.4(b)的 C_0 相同。
4. 多工器選擇訊號 a_1 與 b_1 是 11 狀態：FA 運算結果 $s_0, c_{o,0}$ 經由 NOR 閘運算的結果跟表 5.4(b)的 C_1 相同；FA 運算結果 $s_0, c_{o,0}$ 經由 XOR 閘運算的結果跟表 5.4(b)的 C_0 相同。

圖 5.9 是 CBG_New-II，產生檢查位元是經過 3 個電路路徑(FA、邏輯閘與多工器)，此電路不會有充放電時間過久與電壓準位不準的問題。

表 5.4(a) 2-Bit RCA 真值表以 CBG_New-II

Inputs					Information Bits			$c_{o,0}$	Check Bits	
a_1	b_1	a_0	b_0	$c_{i,0}$	$c_{o,1}$	s_1	s_0		C_1	C_0
0	0	0	0	0	0	0	0	0	1	1
0	0	0	0	1	0	0	1	0	1	0
0	0	0	1	0	0	0	1	0	1	0
0	0	0	1	1	0	1	0	1	1	0
0	0	1	0	0	0	0	1	0	1	0
0	0	1	0	1	0	1	0	1	1	0
0	0	1	1	0	0	1	0	1	1	0
0	0	1	1	1	0	1	1	1	0	1
0	1	0	0	0	0	1	0	0	1	0
0	1	0	0	1	0	1	1	0	0	1
0	1	0	1	0	0	1	1	0	0	1
0	1	0	1	1	1	0	0	1	1	0
0	1	1	0	0	0	1	1	0	0	1
0	1	1	0	1	1	0	0	1	1	0
0	1	1	1	0	1	0	0	1	1	0
0	1	1	1	1	1	0	1	1	0	1

表 5.4(b) 2-Bit RCA 真值表以 CBG_New-II

Inputs					Information Bits			$c_{o,0}$	Check Bits	
a_1	b_1	a_0	b_0	$c_{i,0}$	$c_{o,1}$	s_1	s_0		C_1	C_0
1	0	0	0	0	0	1	0	0	1	0
1	0	0	0	1	0	1	1	0	0	1
1	0	0	1	0	0	1	1	0	0	1
1	0	0	1	1	1	0	0	1	1	0
1	0	1	0	0	0	1	1	0	0	1
1	0	1	0	1	1	0	0	1	1	0
1	0	1	1	0	1	0	0	1	1	0
1	0	1	1	1	1	0	1	1	0	1
1	1	0	0	0	1	0	0	0	1	0
1	1	0	0	1	1	0	1	0	0	1
1	1	0	1	0	1	0	1	0	0	1
1	1	0	1	1	1	1	0	1	0	1
1	1	1	0	0	1	0	1	0	0	1
1	1	1	0	1	1	1	0	1	0	1
1	1	1	1	0	1	1	0	1	0	1
1	1	1	1	1	1	1	1	1	0	0

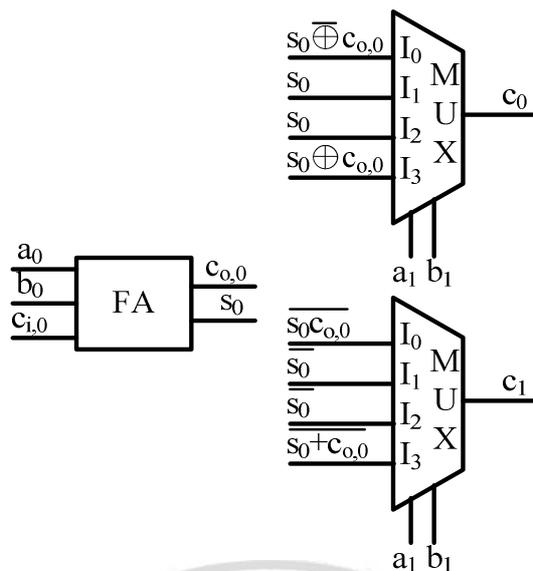


圖 5.9 CBG_New-II schematic.

表 5.5 CBG 的特性比較表

Vdd=3.3 V @100 MHz	電晶體數	平均功率消耗 (mW)	平均延遲時間 (ns)
CMOS_CBG	216	0.20	1.60
CBG_New-I	88	0.10	0.86
CBG_New-II	78	0.10	0.55

表 5.5 是以 TSMC 0.35 μm 製程所模擬結果，在量測功率消耗部份以亂數產生 10000 組訊號輸入，而量測延遲時間以考慮輸出邏輯 1 \rightarrow 0 與 0 \rightarrow 1 所有變化；實驗證明在本研究提出的 CBG_New-I 與 CBG_New-II 電路性能都比傳統 CMOS 設計的 CBG 電路佳，表 5.5 的三種電路中 CBG_New-II 比 CMOS 設計電路在電晶體數減少 63.89%、功率消耗減少 50.00% 以及延遲時間減少 65.63%，CBG_New-II 電路延遲時間是最少，因為產生的檢查位元的路徑是經由 3 個電路運算，比其他電路的路徑短。

5.2.3 CBG_New-III

上面敘述表 5.5 裡的 3 個 CBG 電路所產生的檢查位元，都提供給權重解碼器產生 d_i ，所以從輸入訊號到產生 d_i 訊號所運算的路徑是 CBG 電路加

上權重解碼器，以 CBG_New-II 電路加上權重解碼器就需要 4 個電路運算路徑，在此節提出只需要 3 個電路運算路徑的架構，稱為 CBG_New-III 如圖 5.10。從表 5.6(a)(b)可觀測出輸入 $a_0, b_0, c_{i,0}$ 訊號經由一個 FA 運算的結果 $s_0, c_{o,0}$ 在經過邏輯閘運算，提供輸入給多工器，而訊號 a_1 與 b_1 控制多工器的選擇輸出；以下分析 CBG_New-III 設計：

1. 多工器選擇訊號 a_1 與 b_1 是 00 狀態：FA 運算結果 $s_0, c_{o,0}$ ，經由 OR, XNOR, NAND 閘運算的結果跟表 5.6(a)的 d_0, d_1, d_2 相同；接下來 FA 運算結果對輸出 d_3 不會有所影響所以接高電位(邏輯 1)。
2. 多工器選擇訊號 a_1 與 b_1 是 01 狀態：FA 運算結果 s_0 跟表 5.6(a)的 d_1 相同；FA 運算結果 s_0 經由反相器運算的結果跟表 5.6(a)的 d_2 相同；FA 運算結果對輸出 d_0, d_3 不會有所影響所以接高電位(邏輯 1)。
3. 多工器選擇訊號 a_1 與 b_1 是 10 狀態：FA 運算結果 s_0 跟表 5.6(b)的 d_1 相同；FA 運算結果 s_0 經由反相器運算的結果跟表 5.6(b)的 d_2 相同；FA 運算結果對輸出 d_0, d_3 不會有所影響所以接高電位(邏輯 1)。
4. 多工器選擇訊號 a_1 與 b_1 是 11 狀態：FA 運算結果 $s_0, c_{o,0}$ ，經由 OR, XNOR, NAND 閘運算的結果跟表 5.6(b)的 d_1, d_2, d_3 相同；接下來 FA 運算結果對輸出 d_0 不會有所影響所以接高電位(邏輯 1)。

表 5.6(a) 2-Bit RCA 真值表以 CBG_New-III

Inputs					Information Bits			$c_{o,0}$	Decoder Outputs			
a_1	b_1	a_0	b_0	$c_{i,0}$	$c_{o,1}$	s_1	s_0		d_0	d_1	d_2	d_3
0	0	0	0	0	0	0	0	0	0	1	1	1
0	0	0	0	1	0	0	1	0	1	0	1	1
0	0	0	1	0	0	0	1	0	1	0	1	1
0	0	0	1	1	0	1	0	1	1	0	1	1
0	0	1	0	0	0	0	1	0	1	0	1	1
0	0	1	0	1	0	1	0	1	1	0	1	1
0	0	1	1	0	0	1	0	1	1	0	1	1
0	0	1	1	1	0	1	1	1	1	1	0	1
0	1	0	0	0	0	1	0	0	1	0	1	1
0	1	0	0	1	0	1	1	0	1	1	0	1
0	1	0	1	0	0	1	1	0	1	1	0	1
0	1	0	1	1	1	0	0	1	1	0	1	1
0	1	1	0	0	0	1	1	0	1	1	0	1
0	1	1	0	1	1	0	0	1	1	0	1	1
0	1	1	1	0	1	0	0	1	1	0	1	1
0	1	1	1	1	1	0	1	1	1	1	0	1

表 5.6(b) 2-Bit RCA 真值表以 CBG_New-III

Inputs					Information Bits			$c_{o,0}$	Decoder Outputs			
a_1	b_1	a_0	b_0	$c_{i,0}$	$c_{o,1}$	s_1	s_0		d_0	d_1	d_2	d_3
1	0	0	0	0	0	1	0	0	1	0	1	1
1	0	0	0	1	0	1	1	0	1	1	0	1
1	0	0	1	0	0	1	1	0	1	1	0	1
1	0	0	1	1	1	0	0	1	1	0	1	1
1	0	1	0	0	0	1	1	0	1	1	0	1
1	0	1	0	1	1	0	0	1	1	0	1	1
1	0	1	1	0	1	0	0	1	1	0	1	1
1	0	1	1	1	1	0	1	1	1	1	0	1
1	1	0	0	0	1	0	0	0	1	0	1	1
1	1	0	0	1	1	0	1	0	1	1	0	1
1	1	0	1	0	1	1	0	1	1	1	0	1
1	1	0	1	1	1	1	0	1	1	1	0	1
1	1	1	0	0	1	0	1	0	1	1	0	1
1	1	1	0	1	1	1	0	1	1	1	0	1
1	1	1	1	0	1	1	0	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1	1	1	0

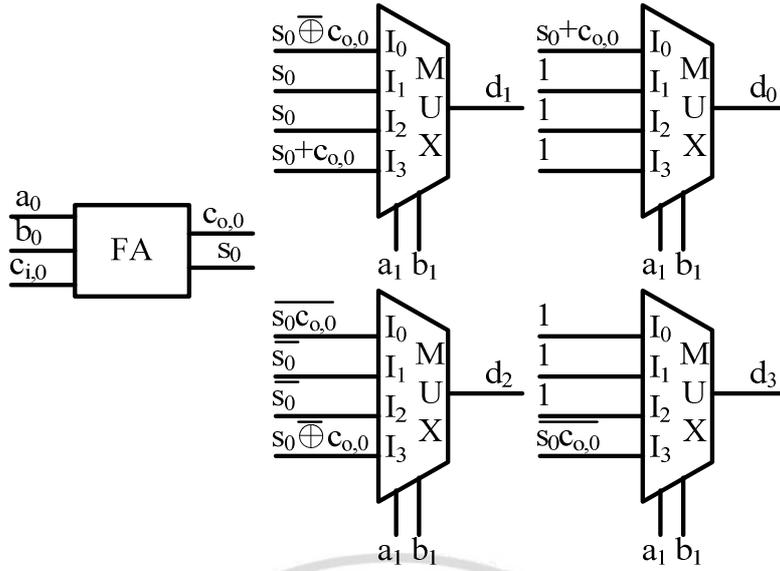


圖 5.10 CBG_New-III schematic.

5.3 伯格碼完全自我檢查加法器模組

本論文將第 5.1 節的伯格碼檢查器與第 5.2 節的 CBG 電路做結合，提出伯格碼完全自我檢查加法器模組 (Berger Code TSC Adder Module, BCTSCAM) 應用於檢測 2-Bit RCA，圖 5.11 是以第 5.1.3 節的伯格碼檢查器與第 5.2.1 節的 CBG_New-I 做結合。

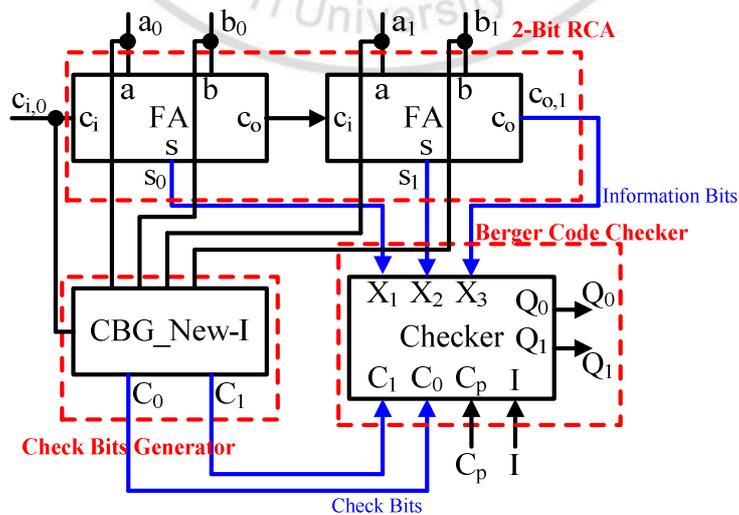


圖 5.11 BCTSCAM for embedded system.

在圖 5.11 架構除了輸入訊號外還需要 C_p 與 I 訊號， C_p 訊號是供應給伯格碼檢查器內的權重解碼器，從第 5.1.3 節的圖 5.5 可知道 $C_p=0$ 時伯格碼檢查器輸出是不被採用，所以只有一半的週期的狀態可以採用，針對這個問題本研究使用低態動作 2 對 4 解碼器如圖 5.12，就不須要 C_p 訊號。

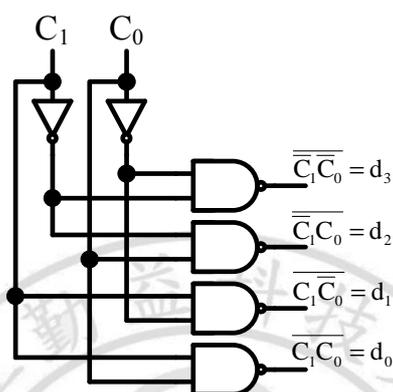


圖 5.12 低態動作 2 對 4 解碼器

本研究提出三種 BCTSCAM 架構，首先第一個 BCTSCAM-I 架構如圖 5.13，此架構是將圖 5.11 的 BCTSCAM 裡的權重解碼器更換為低態動作 2 對 4 解碼器，因此不需要 C_p 訊號，就能觀測整個週期的輸出狀態。

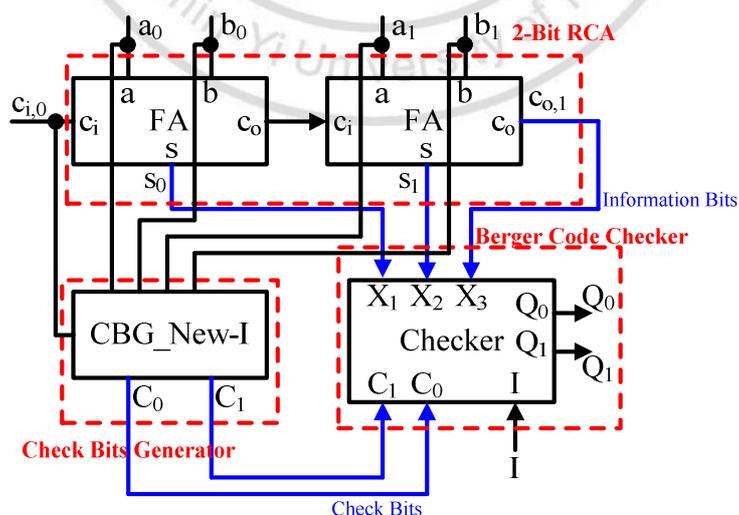


圖 5.13 BCTSCAM-I schematic.

提出第二個是 BCTSCAM-II 架構如圖 5.14，是將圖 5.13 的 CBG_New-I 換成 CBG_New-II。

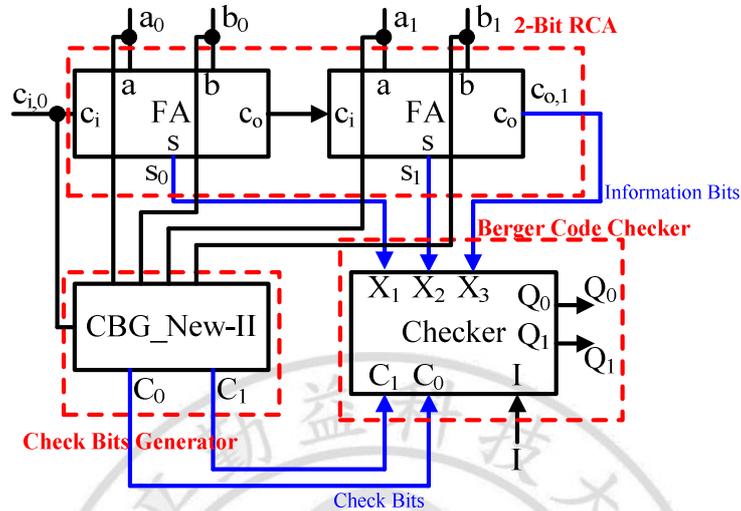


圖 5.14 BCTSCAM-II schematic.

最後提出的第三個是 BCTSCAM-III 架構如圖 5.15，是將圖 5.13 的 CBG_New-I 換成 CBG_New-III，並且除去伯格碼檢查器上的低態動作 2 對 4 解碼器。

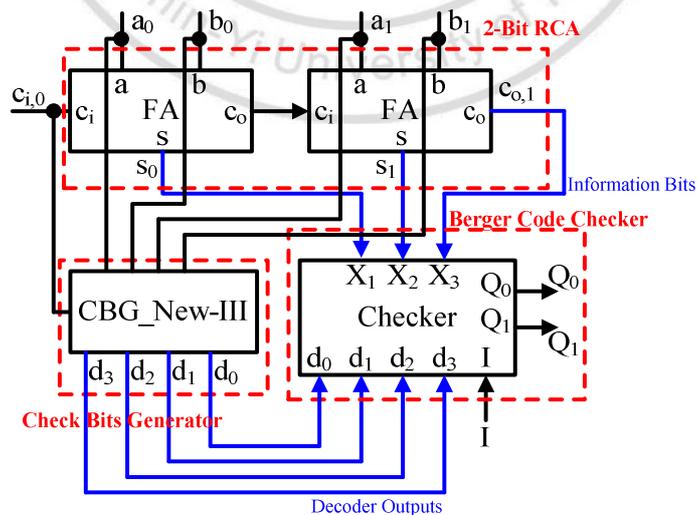


圖 5.15 BCTSCAM-III schematic.

表 5.7 是以 TSMC 0.35 μm 製程所模擬結果，在量測功率消耗部份以亂數產生 10000 組訊號輸入，實驗證明在本研究提出的三種 BCTSCAM 架構中以 BCTSCAM-III 效能最佳。考慮到擴充至 N-Bit RCA 系統時，只需要將 BCTSCAM-III 視為基本元件去串接擴充，如圖 5.16 所示，即可擴充至系統所需位元。

表 5.7 BCTSCAM 的特性比較表

Vdd=3.3 V @50 MHz	電晶體數	平均功率消耗 (mW)	平均延遲時間 (ns)
BCTSCAM-I	192	4.48	2.36
BCTSCAM-II	182	4.47	2.00
BCTSCAM-III	194	4.45	1.85

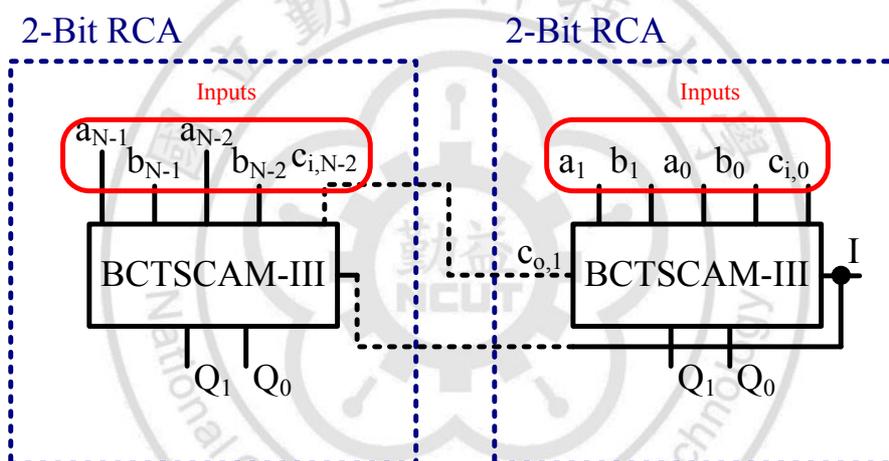


圖 5.16 N-Bit RCA schematic.

5.4 模擬結果與晶片實現

實驗操作環境如下：

- 操作系統：SUN Solaris'9
- 使用製程：TSMC 0.35 μm Mixed-Signal 2P4M Polycide 3.3/5 V Process
- 模擬軟體：Synopsys H-spice(Ver: 2004.09)
- 佈局軟體：Laker(Ver: 31v3p1)
- 驗證軟體：Mentor Calibre(Ver: 2008.2_22.20)

5.4.1 模擬結果

用 H-spice 模擬本研究圖 5.11 的 BCTSCAM，操作工作頻率為 100 MHz，供應電源電壓為 3.3 V，此電路架構有 Cp 與 I 訊號，將 Cp 訊號的頻率設為 2I，當 Cp=1 時輸出結果(Q₀, Q₁)將被採用，以 5.1.3 節敘述的權重 W 與 m 觀念引入模擬結果，從圖 5.17 的 Post-layout simulation 可以知道 W=m 代表 2-Bit RCA 處於無錯誤狀態輸出(Q₀, Q₁)=(1,0)或(0, 1)為互補，而在 W<m 與 W>m 代表 2-Bit RCA 發生錯誤，造成資料位元 c_{0,1}, s₁, s₀ 非預計中的權重 W 輸出(Q₀, Q₁)=(0,0)或(1, 1)為非互補，在伯格碼檢查器是屬於比例式邏輯，所以 Q₀₀ 與 Q₁₁ 是加上緩衝閘後的輸出。

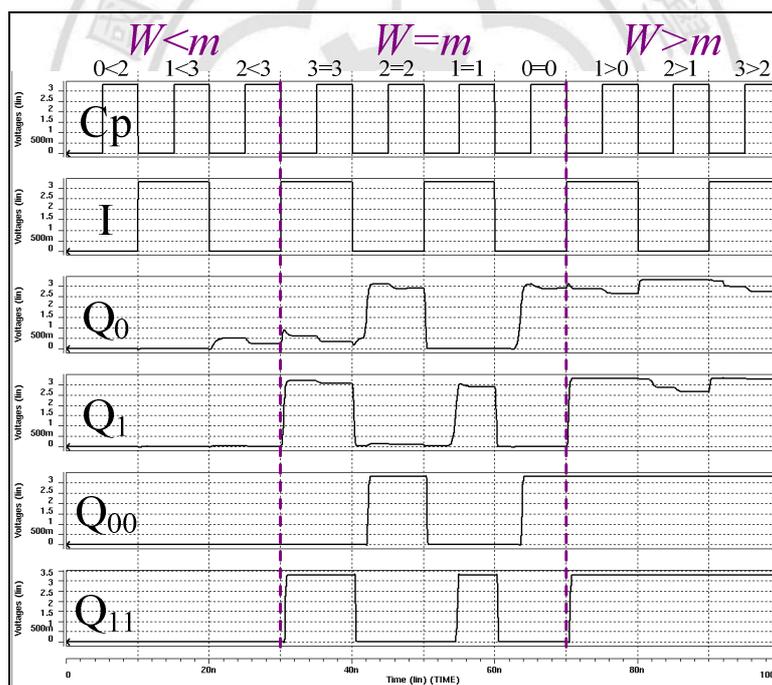


圖 5.17 Post-layout simulation for BCTSCAM.

製程參數變異下 Pre-與 Post-layout simulation 結果整理如表 5.8。BCTSCAM 裡伯格碼檢查器是屬於比例式邏輯，所以在製程參數變異，造成輸出準位不準，但電路在 TT mode 不會有此問題發生。

表 5.8 BCTSCAM 在 Pre-與 Post-layout simulation 比較

環境變化		Pre-sim	Post-sim
Corner 模擬	TT mode	Pass	Pass
	FF mode	Pass	Pass
	SS mode	Pass	Pass
	FS mode	Pass	Fail
	SF mode	Pass	Pass
溫度 變化	25°C	Pass	Pass
	4°C	Pass	Pass
	70°C	Pass	Pass
	100°C	Pass	Pass

5.4.2 晶片佈局

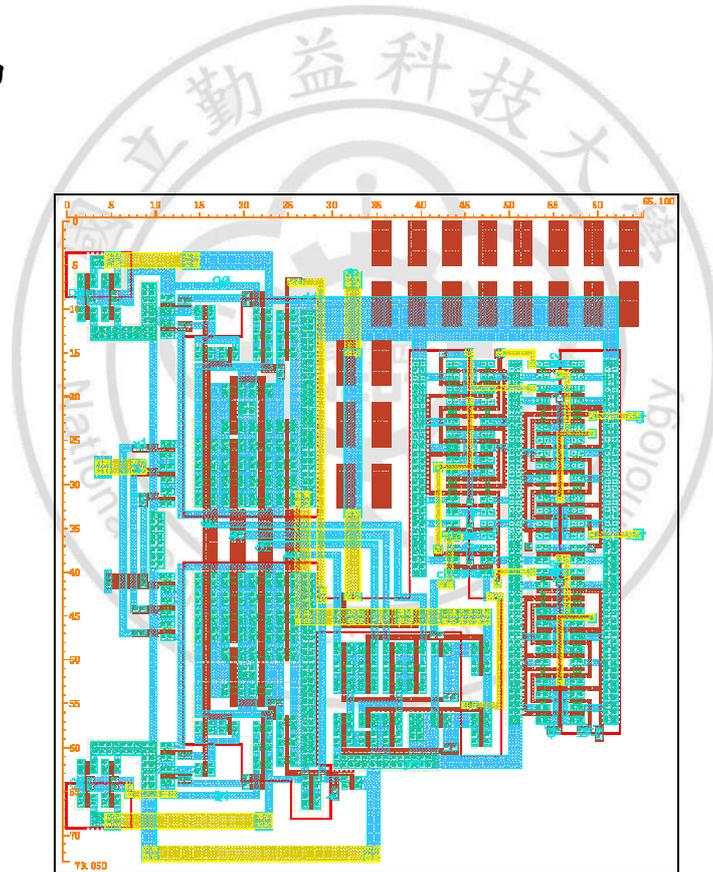


圖 5.18 BCTSCAM 核心佈局

圖 5.18 為 BCTSCAM 核心佈局平面圖，而圖 5.19 是 BCTSCAM 晶片顯微攝影圖。

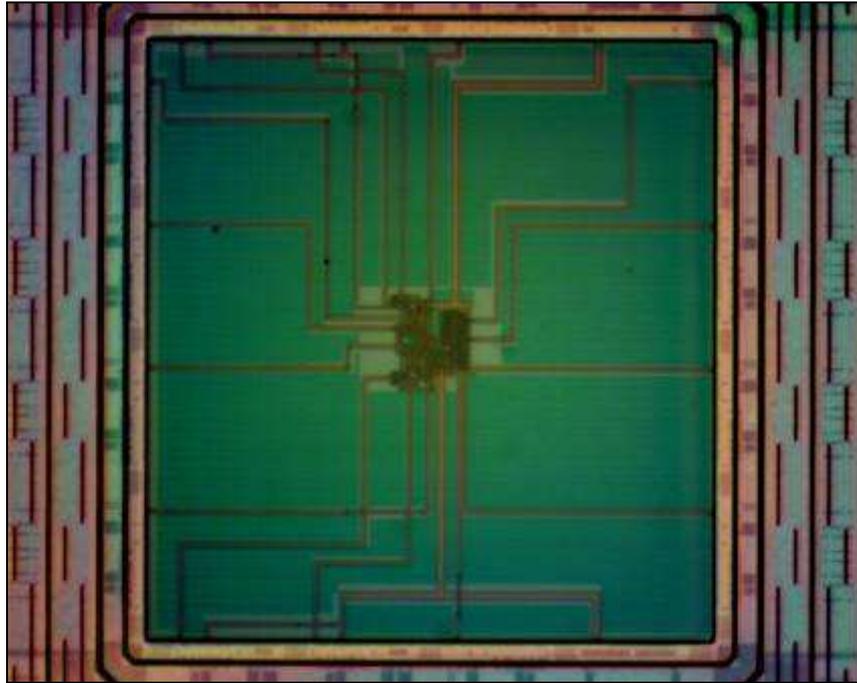


圖 5.19 BCTSCAM 晶片顯微攝影圖

本研究的 BCTSCAM，透過國家晶片設計中心(CIC) Tapeout，在 D35-98A 梯次，表 5.9 是晶片規格。

表 5.9 BCTSCAM 晶片規格表

電路名稱	BCTSCAM
製程技術	TSMC 0.35 μm 2P4M 3.3&5 V
電源電壓(V)	3.3
平均功率消耗(mW)	4.82@100 MHz
晶片面積(mm^2)	0.0651 \times 0.07305 (without I/O PAD) 1.166 \times 1.166 (with I/O PAD)
電路特性	自我檢查以 2-Bit RCA

5.5 晶片量測與分析

依照圖 5.20 量測架構做為功能驗證，以波形產生器(Tektronix AFG3252)CH1 為 C_p 訊號輸入，CH2 為 I 訊號輸入，而被檢測電路 2-Bit RCA 以 DIP Pin 10 輸入訊號，DIP Pin 10 分成一半供應高電壓另一半供應低電壓，2-Bit RCA 產生的 $c_{0,1}$, s_1 , s_0 資料位元給 Chip 使用，最後以示波器

(Tektronix DPO4054)的 CH1 接到 Chip 的 Cp、CH2 接 I、CH3 接 Q₀₀ 以及 CH4 接 Q₁₁，電源供應器提供 3.3 V。在正常情況下 DIP Pin 10 提供訊號，Chip 的輸出(Q₀₀, Q₁₁)=(1,0)或(0, 1)，如果在 2-Bit RCA 的輸出 c_{0,1}, s₁, s₀ 接 s-a-1 或 s-a-0，Chip 的輸出(Q₀₀, Q₁₁)=(0,0)或(1, 1)；因實驗室測試儀器無法輸出 100 MHz 的方波，所以電路操作頻率在於 Cp=10 MHz，實際量測結果如圖 5.21(a)(b)(c)。

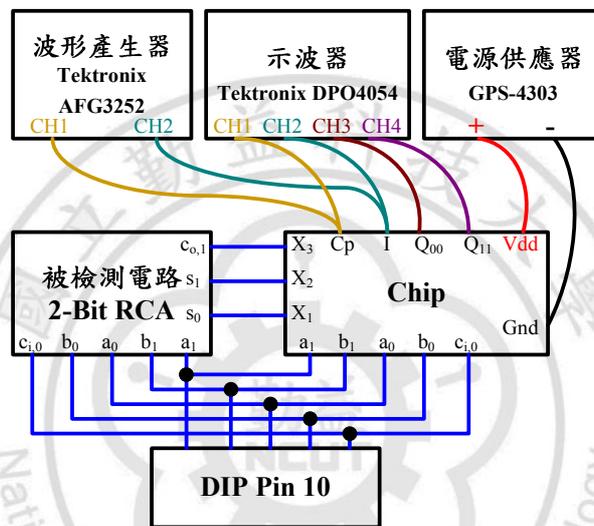


圖 5.20 BCTSCAM 量測架構

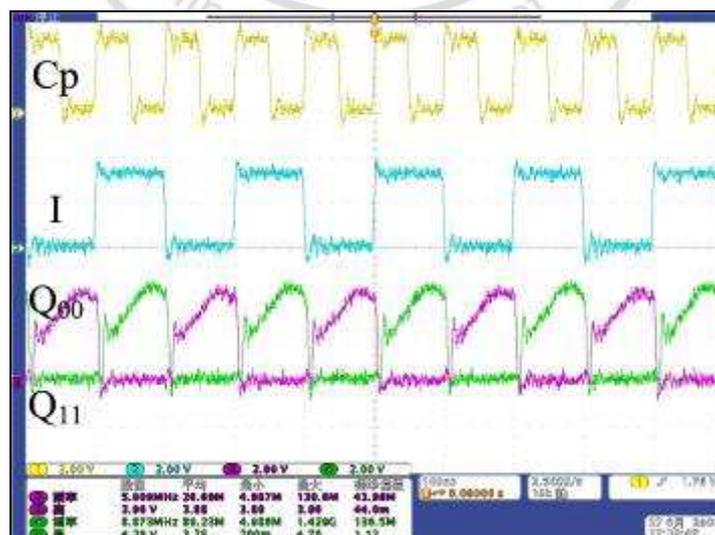


圖 5.21(a) $W=m(1=1)$.

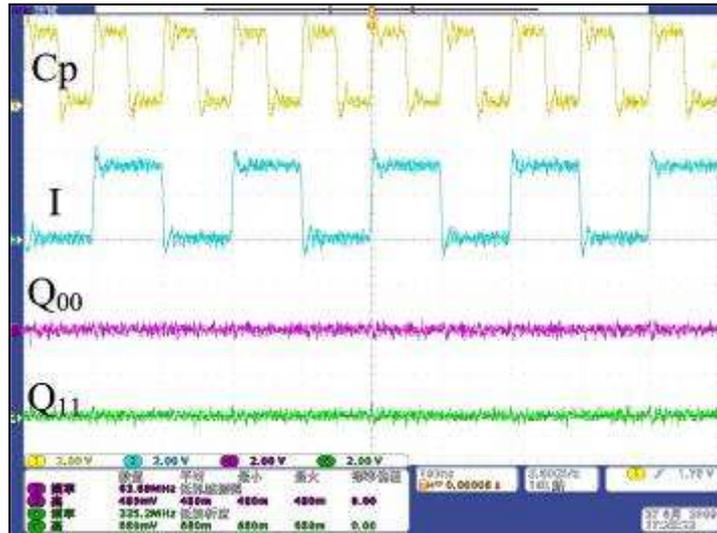


圖 5.21(b) $W < m(2 < 3)$.

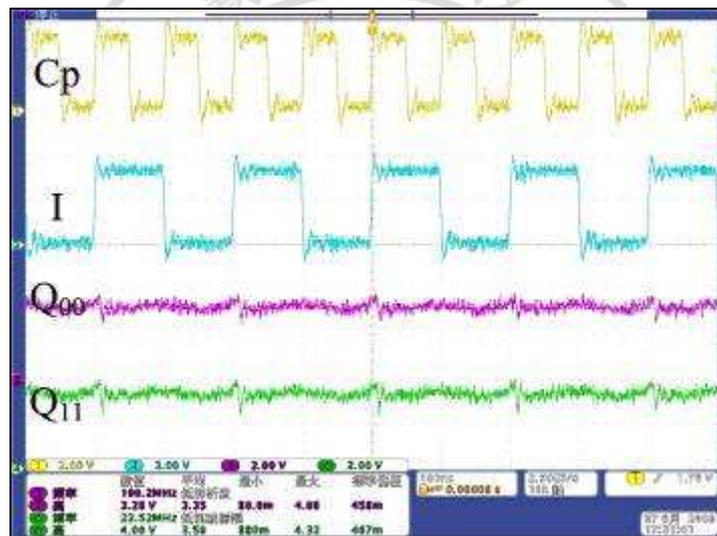


圖 5.21(c) $W > m(3 > 2)$.

5.6 應用於核心加法器之伯格碼完全自我檢查電路實現

本研究的 BCTSCAM 經由 Tapeout 的實際晶片去偵測 2-Bit RCA 應用系統，晶片偵測結果的訊號給 89C51 控制 8×8 矩陣顯示器，顯示 2-Bit RCA 是否錯誤，發生 s-a-1 或 s-a-0 檢測點為 X_1, X_2, X_3 ，圖 5.22 是整體架構。此研究成果將列入 98-99 學年度教育部計畫，教育部「前瞻晶片系統設計(SoC)學程計畫」-A 類學程，實作教材相關資料。

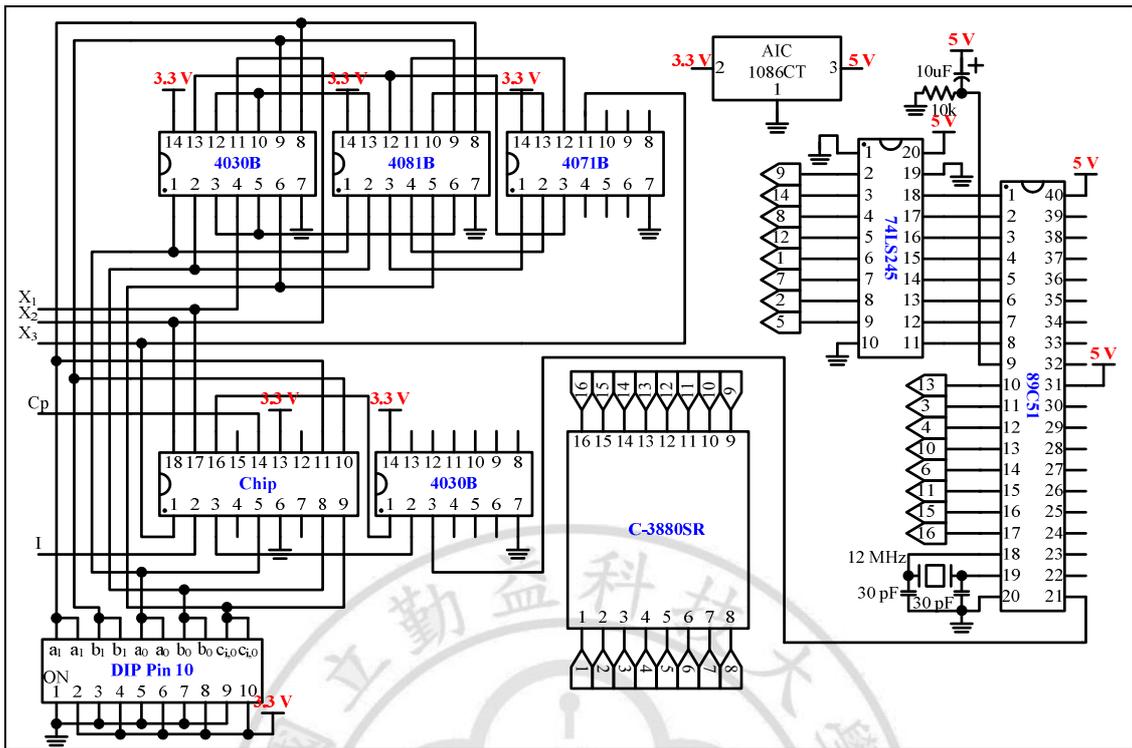
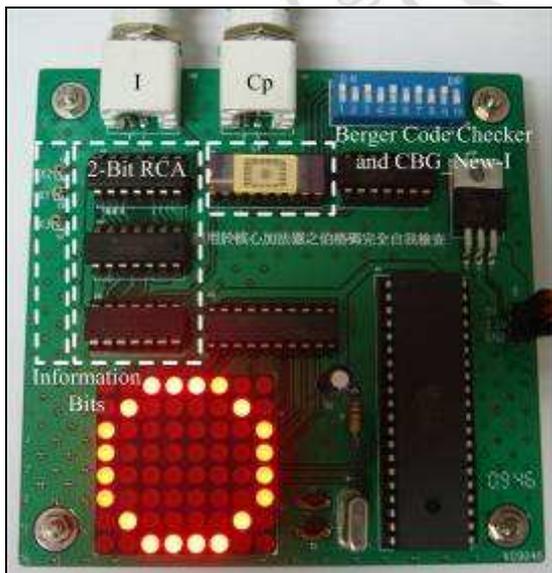
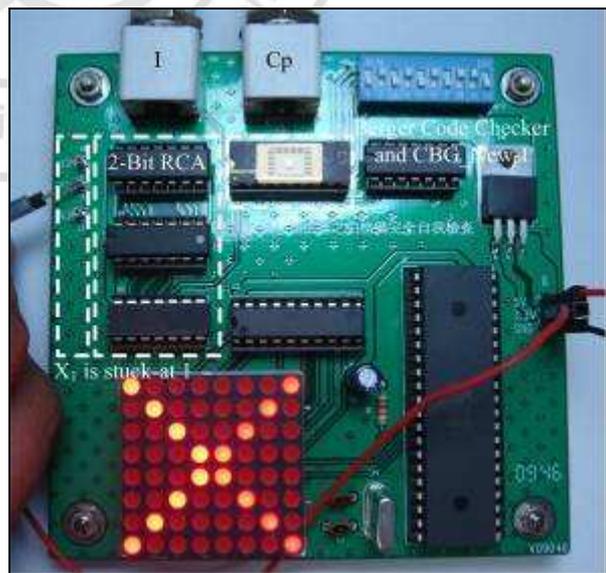


圖 5.22 應用於核心加法器之伯格碼完全自我檢查電路架構

在 2-Bit RCA 無錯狀態下如圖 5.33(a)顯示○訊號，反之發生 s-a-1 在檢測點 X_1 如圖 5.33(b)顯示×訊號



(a)



(b)

圖 5.23 結合矩陣顯示器的核心加法器之伯格碼完全自我檢查電路

第六章 雙軌碼檢查器設計

近年來在文獻上[12]-[17]有許多作者提出幾種的非樹狀(Non-Tree)架構雙軌碼(TRC)檢查器，減少電路的訊號傳遞路徑，提升檢查器的速度，但此類型非樹狀架構 TRC 檢查器需要調整電晶體的尺寸。

6.1 非樹狀架構 TRC 檢查器

文獻[15]非樹狀架構 TRC 檢查器，輸入分別 (X_1, X_2, \dots, X_n) 與 (Y_1, Y_2, \dots, Y_n) ， $i=1, 2, \dots, n$ 代表編碼的長度，CK 為輸入時脈訊號，兩個輸出端為 F 與 G，對於每一對有效的輸入 $X_i = \bar{Y}_i$ ，輸出端訊號 F 與 G 彼此呈現互補表示被檢測的電路無錯，但輸入 $X_i \neq \bar{Y}_i$ ，F 與 G 輸出訊號為相同即表示被檢測電路發生錯誤。圖 6.1 為非樹狀架構 TRC 檢查器，在串聯 NMOS 的電晶體尺寸簡稱 $(W/L)_{nn}$ ，串聯 PMOS 的電晶體尺寸簡稱 $(W/L)_{pp}$ ， $(W/L)_{nn}$ 與 $(W/L)_{pp}$ 設計以第(6.1)與(6.2)式設計：

$$(W/L)_{pp} \geq 2 \frac{\mu_n}{\mu_p} (W/L)_n \quad (6.1)$$

$$(W/L)_{nn} \geq 2 \frac{\mu_p}{\mu_n} (W/L)_p \quad (6.2)$$

μ_n 的移動速率通常是 μ_p 的 2-4 倍，而 $(W/L)_p$ 尺寸設為 $(W/L)_n$ 的 2 倍，所以把這些倍率套入第(6.1)與第(6.2)式，得到 $(W/L)_{pp}=8$ 與 $(W/L)_{nn}=2$ 。

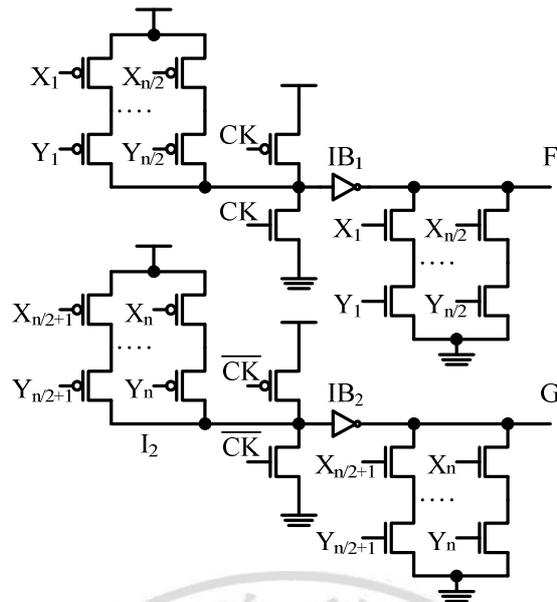


圖 6.1 非樹狀架構 TRC 電路

輸入訊號在 $X_i = \bar{Y}_i$ ，輸出端訊號 F 與 G 彼此呈現互補，如圖 6.2 所示：

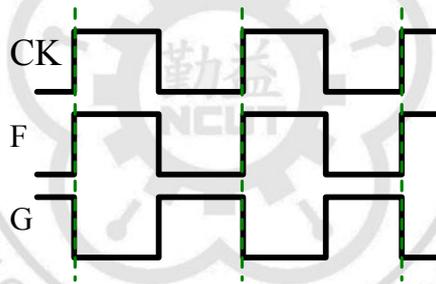


圖 6.2 非樹狀架構 TRC 電路在無錯狀態

當輸入 $X_i \neq \bar{Y}_i$ ，F 與 G 輸出訊號為相同，表示找到被檢測電路的錯誤；接下來分析 $X_i \neq \bar{Y}_i$ 會有兩個狀態發生，而對應輸出端 F 與 G 的結果如圖 6.3 所示：

1. 假設輸入第 1 個 bit $(X_1, Y_1)=(1, 1)$ 時， $CK=1$ ，反相器 IB_1 的 PMOS 與串聯 NMOS $(W/L)_{nm}$ 同時導通，造成比例式邏輯(Ratio Logic)，輸出端 F 為低電位(邏輯 0)。
2. 假設輸入第 1 個 bit $(X_1, Y_1)=(0, 0)$ 時， $CK=1$ ，輸入訊號 CK 的 NMOS 與串聯 PMOS $(W/L)_{pp}$ 同時導通，造成比例式邏輯，輸出端 F 為低電位(邏輯 0)。

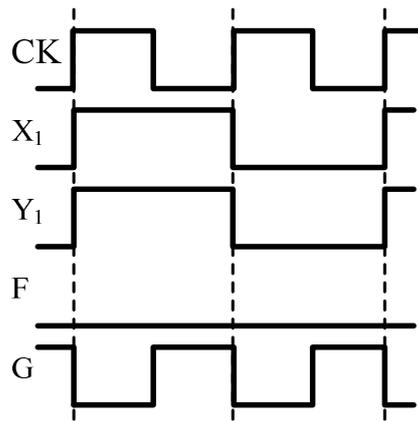


圖 6.3 非樹狀架構 TRC 電路發生錯誤狀態

圖 6.3 的 $CK=0$ ， $(X_1, Y_1)=(1, 1)$ 與 $(0, 0)$ ，輸出端 F 與 G 卻是互補，造成無法察覺被檢測電路的錯誤。

6.2 非樹狀架構的電流鏡 TRC 檢查器

文獻[17]非樹狀架構的電流鏡 TRC 檢查器，輸入分別 (X_1, X_2, \dots, X_n) 與 (Y_1, Y_2, \dots, Y_n) ， $i=1, 2, \dots, n$ 代表編碼的長度， $k=n/2$ ，CLK 為輸入時脈，兩個輸出端為 F 與 G 如圖 6.4。

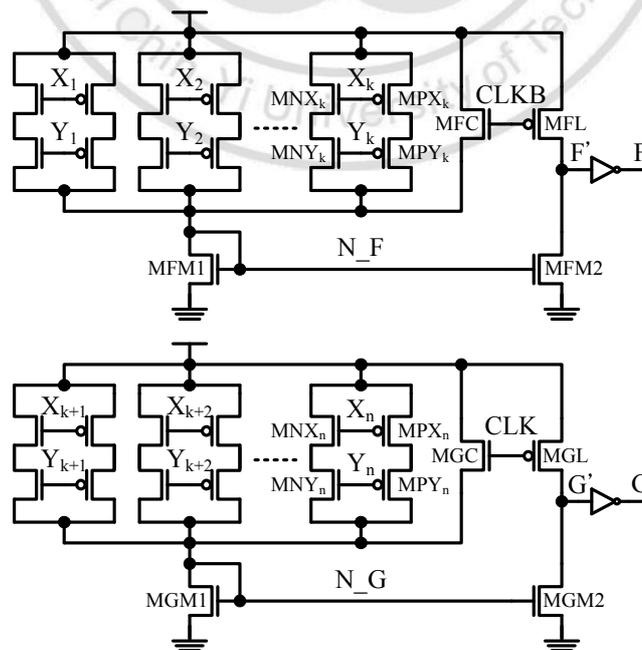


圖 6.4 非樹狀架構的電流鏡 TRC 電路

輸入訊號在 $X_i = \bar{Y}_i$ ，輸出端訊號 F 與 G 彼此呈現互補，如圖 6.5 所示：

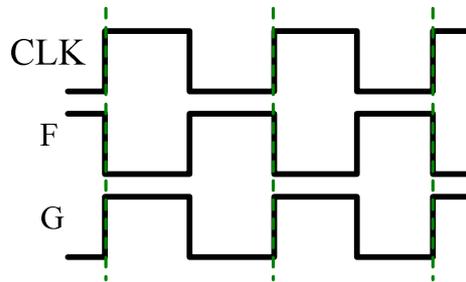


圖 6.5 非樹狀架構的電流鏡 TRC 電路在無錯誤狀態

當輸入 $X_i \neq \bar{Y}_i$ ，F 與 G 輸出訊號為相同，表示找到被檢測電路的錯誤；接下來我們分析 $X_i \neq \bar{Y}_i$ 會有兩個狀態發生，而對應輸出端 F 與 G 的結果如圖 6.6 所示：

1. 假設輸入第 1 個 bit $(X_1, Y_1)=(1, 1)$ 時，CLK=1，MFM1 會鏡射 MFM2 電晶體導通，使 MFL 與 MFM2 電晶體分壓，造成比例式邏輯，設計 MFM2 電晶體尺寸較大，使輸出端 F 為 1。
2. 假設輸入第 1 個 bit $(X_1, Y_1)=(0, 0)$ 時，CLK=1，MFM1 會鏡射 MFM2 電晶體導通，使 MFL 與 MFM2 電晶體分壓，造成比例式邏輯，設計 MFM2 電晶體尺寸較大，使輸出端 F 為 1。

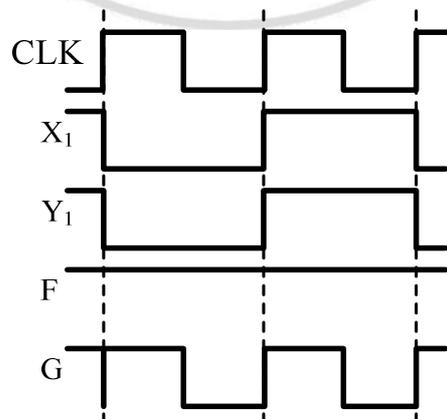


圖 6.6 非樹狀架構的電流鏡 TRC 電路發生錯誤狀態

圖 6.6 的 CLK=0， $(X_1, Y_1)=(1, 1)$ 與 $(0, 0)$ ，輸出端 F 與 G 卻是互補，造成無

法察覺被檢測電路的錯誤，在 6.1 節的非樹狀架構 TRC 檢查器[15]也有相同的問題，本文在後面第 6.3 節會說明如何改善。在 TRC 檢查器[15]與電流鏡 TRC 檢查器[17]，由表 6.1 可觀察到在 Bits 數增加時，在面積與延遲時間部分，電流鏡 TRC 比 TRC 檢查器少，但在功率消耗方面，電流鏡 TRC 比 TRC 檢查器呈現較緩慢的遞增。

表 6.1 TRC 檢查器特性比較表

Vdd=1.8 V @100MHz	Silicon Area Cost (UST)		Delay Time (ps)		Power Dissipation (μ W)	
n-Bit	TRC[15]	電流鏡 TRC[17]	TRC[15]	電流鏡 TRC[17]	TRC[15]	電流鏡 TRC[17]
8	31.12	17.24	274.90	140.60	74.63	154.53
16	59.92	26.52	524.74	159.52	91.54	158.74
32	117.52	45.08	997.17	195.84	123.60	165.43

*UST: Unit Size Transistor

6.3 可閃鎖電流鏡 TRC 檢查器

在第 6.1 節圖 6.3 的 CK=0 與第 6.2 節圖 6.6 的 CLK=0，以 $(X_1, Y_1)=(1, 1)$ 與 $(0, 0)$ ，輸出端 F 與 G 卻是互補狀態，造成無法察覺被檢測電路的錯誤，為了改善這個錯誤，在文獻[17]提出檢查器的輸出端 F 與 G 個別加上閃鎖電路(Latch Circuit)，使最後輸出 F 與 G 訊號為相同，就能夠察覺到錯誤，閃鎖電路上的 Reset 訊號初始值設 1，偵測錯誤後在設為 0，解除閃鎖電路，圖 6.7 為可閃鎖電流鏡 TRC 檢查器[17]，圖 6.8 的輸出 F 與 G 虛線部份為改善過後的狀態。實驗發現在 GSB 模組輸入訊號 CLK=1 時，以 $(X_{k+1}, Y_{k+1})=(1, 1)$ 與 $(0, 0)$ ，輸出端 F 與 G 卻是互補還是會造成判斷錯誤的現象，所以本研究提出新的電路對此問題加以修改。

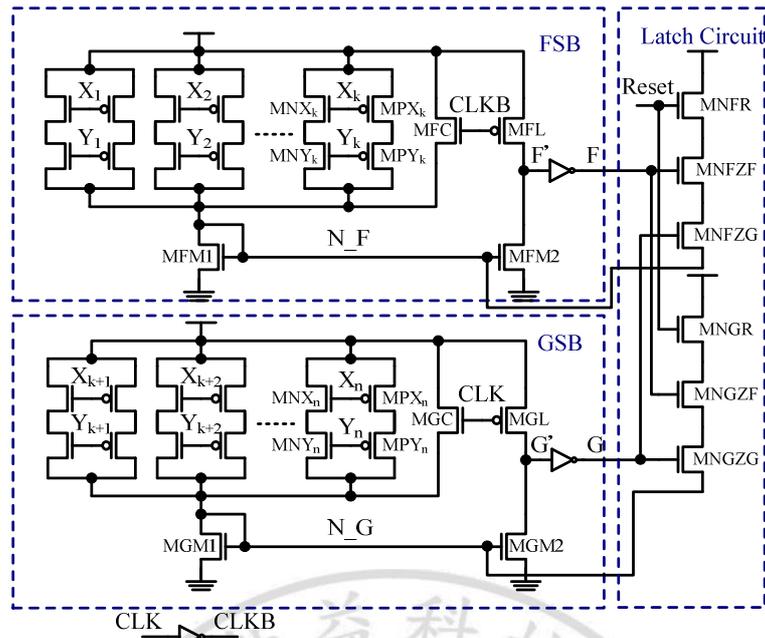


圖 6.7 可閃鎖電流鏡 TRC 電路

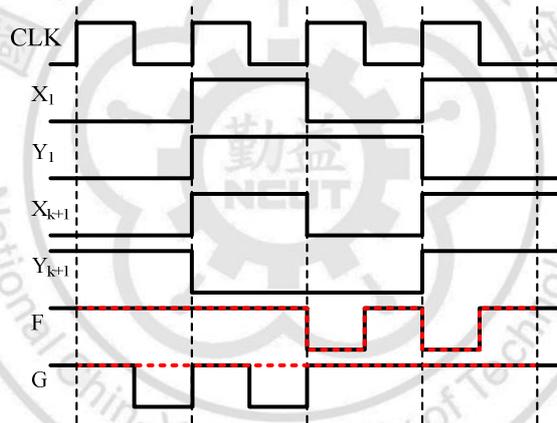


圖 6.8 可閃鎖電流鏡 TRC 電路發生錯誤狀態

6.4 新型可閃鎖電流鏡 TRC 檢查器

6.4.1 Checker-I

圖 6.9 是本研究提出來的電路 Checker-I，是把文獻[17]電流鏡 TRC 的 FSB 與 GSB 模組組成一個區塊，輸入訊號在 $X_i = \bar{Y}_i$, $i=1, 2, \dots, n$ ，觀測節點訊號 F 與 CLK 彼此呈現互補，互補訊號接至單邊緣觸發 D 型正反器 (Single-Edge Triggered D Flip-Flop, SETDFF) 如圖 6.10，而採用正邊緣觸發 SETDFF 使輸出訊號 $(Z_F, Z_G) = (0, 1)$ 在一個週期內；當輸入 $X_i \neq \bar{Y}_i$, $CLK=1$ ，

節點(F, CLK)=(1, 1)，但是在 CLK=0，節點(F, CLK)=(1, 0)造成判斷錯誤的現象，所以 CLK=1 用 SETDFF 的正緣觸發，輸出訊號在一個週期內呈現(Z_F, Z_G)=(1, 1)就不會有判斷錯誤的現象，輸出狀態如圖 6.11。在 CLK=1 屬於門鎖狀態，而 CLK=0 是記取上一個輸出狀態會有所跳動，ZZ_F與 ZZ_G是加上緩衝閘後的輸出。

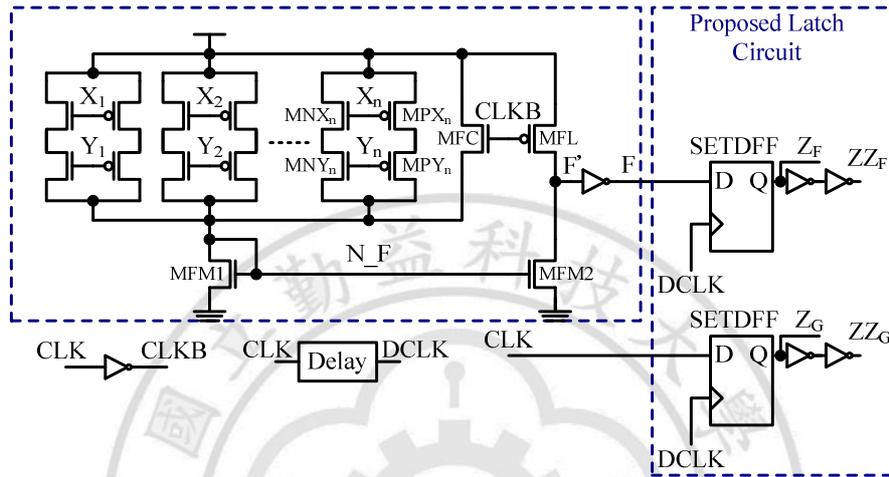


圖 6.9 Checker-I.

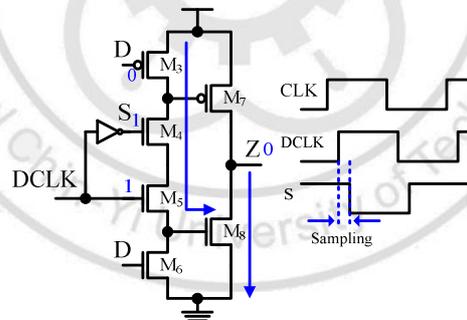


圖 6.10 正邊緣觸發 SETDFF

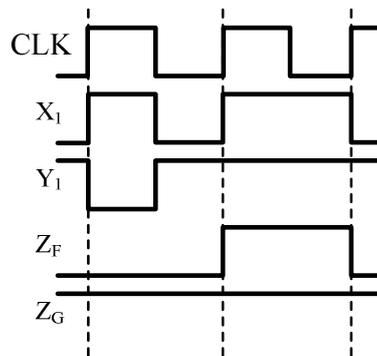


圖 6.11 Checker-I 輸出狀態

6.4.2 Checker-II

本研究提出的 Checker-I 修改文獻[17]的判斷錯誤的缺點，但在 SETDFE 需要 DCKL 與 S 之間的 Sampling，在 Corner 變化使 Sampling 時間變化，而造成取樣錯誤，面對這個問題提出在節點訊號 F 與 CLK 接至由多工器組成的閃鎖電路，圖 6.12 是提出的 Checker-II，輸出狀態如圖 6.13。在 CLK=1 屬於閃鎖狀態，而 CLK=0 是記取上一個輸出狀態會有所跳動，ZZ_F 與 ZZ_G 是加上緩衝閘後的輸出。

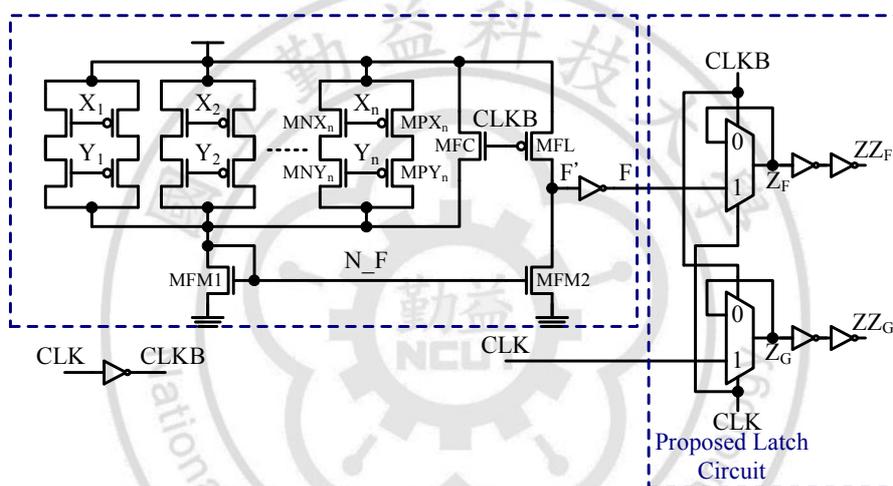


圖 6.12 Checker-II.

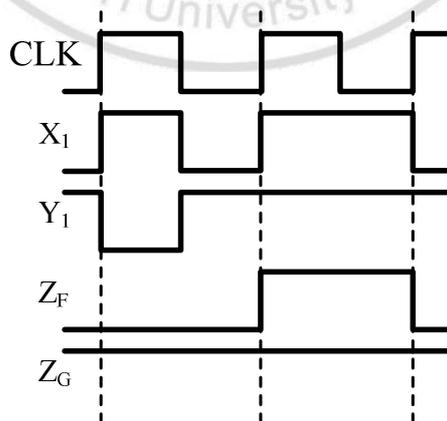


圖 6.13 Checker-II 輸出狀態

使用 TSMC 0.18 μm 製程模擬可閃鎖電流鏡 TRC 檢查器[17]、Checker-I

與 Checker-II，由表 6.2 可看出本研究提出 Checker-I 與 Checker-II 在察覺錯誤能力優於文獻[17]，能達到完全偵測錯誤，並且功率消耗 Checker-II 比文獻[17]減少 39.30%。

表 6.2(a) 可閃鎖 TRC 檢查器特性比較表

Vdd=1.8 V @100 MHz	Faults Detection Capability		
8-Bit	[17]	Checker-I	Checker-II
	No	Yes	Yes

表 6.2(b) 可閃鎖 TRC 檢查器特性比較表

Vdd=1.8 V @100 MHz	Silicon Area Cost (UST)			Power Dissipation (μ W)		
8-Bit	[17]	Checker-I	Checker-II	[17]	Checker-I	Checker-II
	19.8	27.48	20.22	198.45	138.03	120.45

6.5 模擬結果與晶片實現

實驗操作環境如下：

- 操作系統：SUN Solaris'9
- 使用製程：TSMC 0.18 μ m CMOS Mixed Signal RF 1P6M 1.8&3.3 V
- 模擬軟體：Synopsys H-spice(Ver: 2004.09)
- 佈局軟體：Laker(Ver: 31v3p1)
- 驗證軟體：Mentor Calibre(Ver: 2008.2_22.20)

6.5.1 模擬結果

用 H-spice 模擬本研究的 Checker-II，設計 $n=8$ ，操作工作頻率為 100 MHz，供應電源電壓為 1.8 V，原本輸入編碼為 X_1, X_2, \dots, X_8 和 Y_1, Y_2, \dots, Y_8 ，從佈局角度思考就需要 16 個 I/O PAD，所以將輸入做共享，舉例在

X_1 與 X_2 共用輸入，總共輸入 I/O PAD 為 8 個，從圖 6.14 Post-layout simulation 虛線部分以 $X_i = \bar{Y}_i$ 與 $(X_1, X_2, Y_1, Y_2)=(0, 0, 0, 0)$ 訊號為一組，以及 $X_i = \bar{Y}_i$ 與 $(X_1, X_2, Y_1, Y_2)=(1, 1, 1, 1)$ 訊號為一組，輸入 $X_i = \bar{Y}_i$ ，輸出訊號 $(ZZ_F, ZZ_G)=(0, 1)$ 在一個週期內；輸入 $X_i \neq \bar{Y}_i$ ，輸出訊號在一個週期內呈現 $(ZZ_F, ZZ_G)=(1, 1)$ ，製程參數變異下 Pre-與 Post-layout simulation 結果整理如表 6.3。

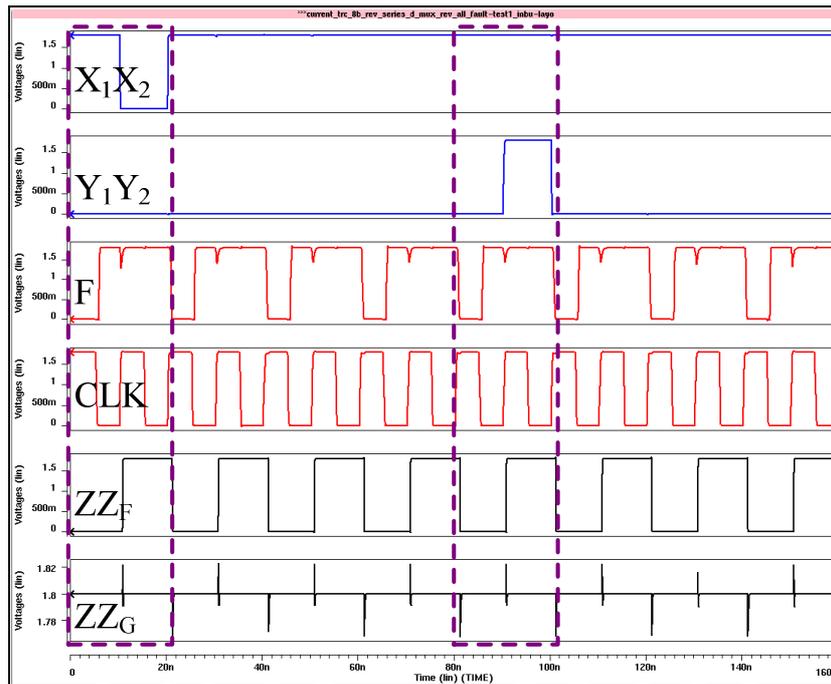


圖 6.14 Post-layout simulation for Checker-II.

表 6.3 Checker-II 在 Pre-與 Post-layout simulation 比較

環境變化		Pre-sim	Post-sim
Corner 模擬	TT mode	Pass	Pass
	FF mode	Pass	Pass
	SS mode	Pass	Pass
	FS mode	Pass	Pass
	SF mode	Pass	Pass
溫度 變化	25°C	Pass	Pass
	4°C	Pass	Pass
	70°C	Pass	Pass
	100°C	Pass	Pass
電壓 變化	1.62 V	Pass	Pass
	1.98 V	Pass	Pass

6.5.2 晶片佈局

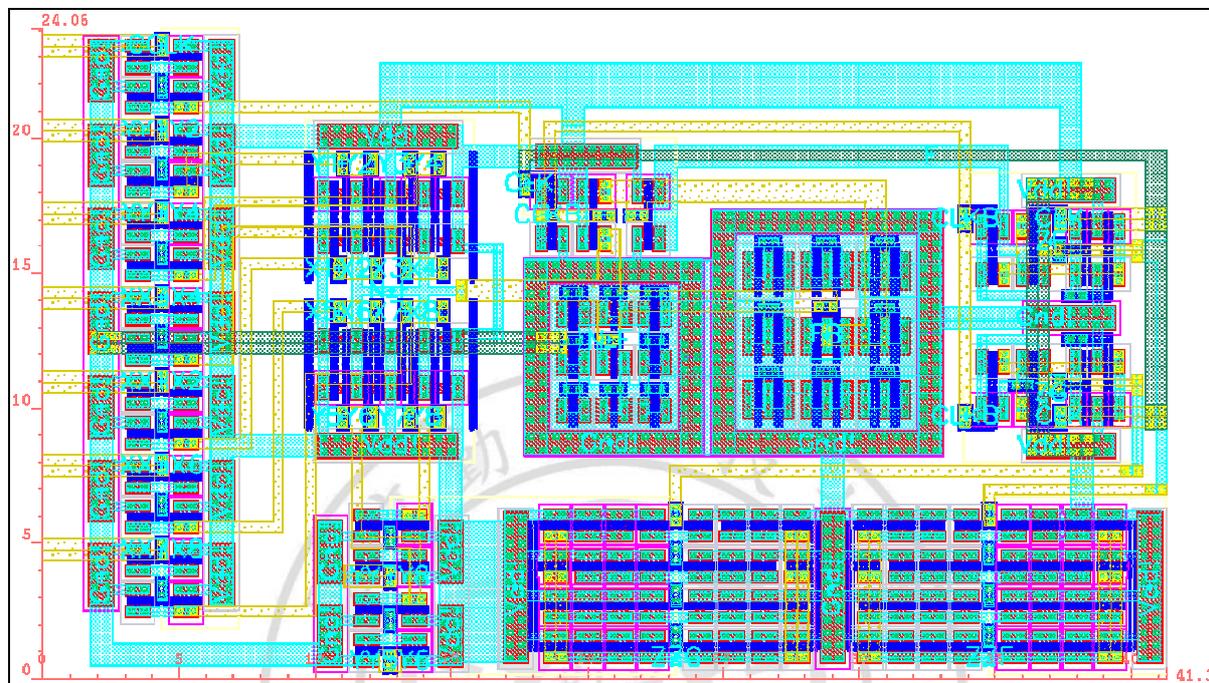


圖 6.15 Checker-II 核心佈局

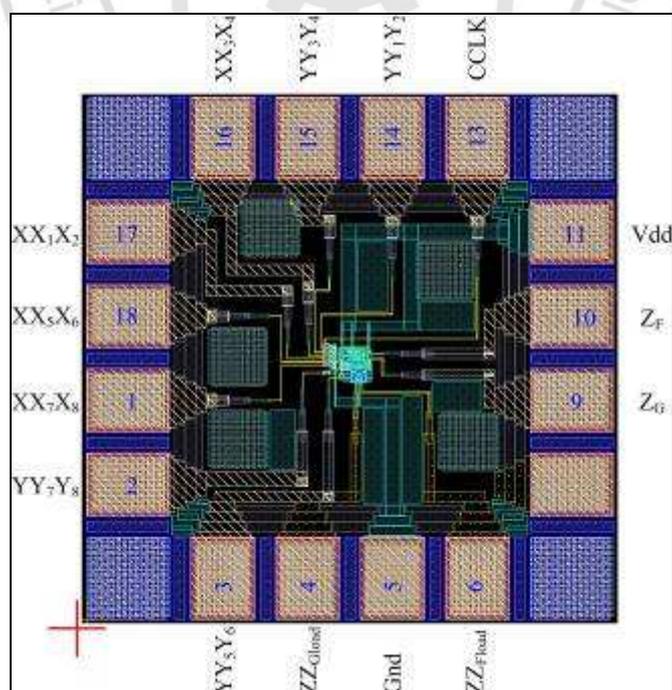
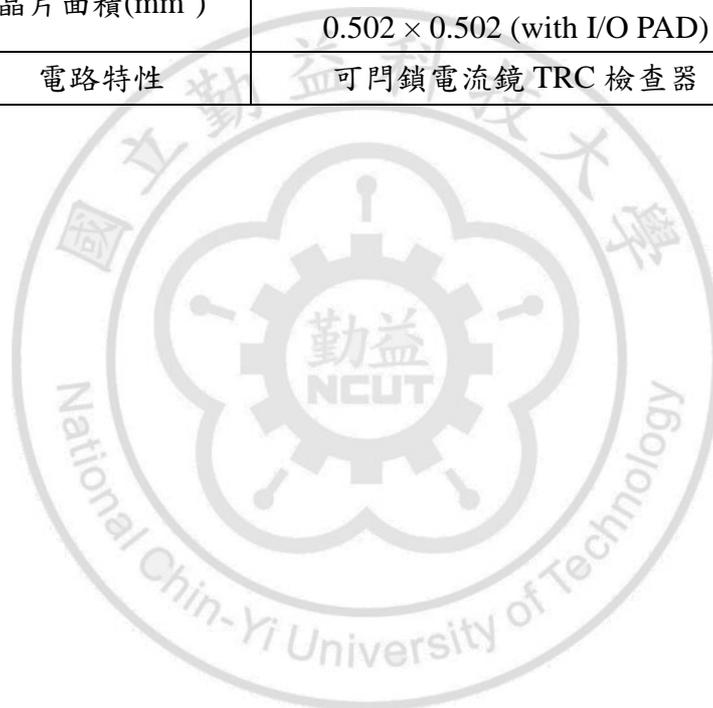


圖 6.16 Checker-II 佈局平面圖

圖 6.15 為 Checker-II 核心佈局平面圖，而圖 6.16 是 Checker-II 晶片含 I/O PAD 圖，本研究的 Checker-II，透過國家晶片設計中心(CIC) Tapeout，在 T18-99C 梯次，表 6.4 是晶片規格。

表 6.4 Checker-II 晶片規格表

電路名稱	Checker-II
製程技術	TSMC 0.18 μm 1P6M 1.8&3.3 V
電源電壓(V)	1.8
平均功率消耗(μW)	259.61@100 MHz
晶片面積(mm^2)	0.0413 \times 0.02406 (without I/O PAD) 0.502 \times 0.502 (with I/O PAD)
電路特性	可門鎖電流鏡 TRC 檢查器



第七章 結論及未來研究方向

7.1 結論

錯誤偵測碼(EDC)常應用在自我檢查系統設計上，EDC 可分類成系統與非系統碼，系統碼包含伯格碼、伯斯林碼與雙軌碼，非系統碼包含 m-out-of-n 碼與伯登碼，本論文主要針對使用 EDC 中的伯登碼、伯格碼與雙軌碼實現在 TSC 檢查器中。首先伯格碼檢查器設計部分，提出檢查碼產生器(CBG)電路設計中以 CBG_New-II 比 CMOS 設計電路在電晶體數減少 63.89%、功率消耗減少 50.00% 以及延遲時間減少 65.63%，而在提出三種伯格碼完全自我檢查加法器模組(BCTSCAM)中以 BCTSCAM-III 效能最佳，應用方面提出核心加法器之伯格碼完全自我檢查電路實現，研究成果送交國家晶片設計中心(CIC) Tapeout，晶片面積為 $1.166 \times 1.166 \text{ mm}^2$ (with I/O PAD)。接著雙軌碼檢查器設計部分，提出可閃鎖電流鏡雙軌碼檢查器比文獻[17]具有較佳偵測錯誤能力以及減少 39.30% 的功率消耗，研究成果透過 CIC 的實體矽驗證(Silicon Implement)，晶片面積為 $0.502 \times 0.502 \text{ mm}^2$ (with I/O PAD)。設計伯登碼檢查器成果也透過 CIC 的實體矽驗證，晶片面積為 $0.421 \times 0.502 \text{ mm}^2$ (with I/O PAD)。

7.2 未來研究方向

本論文提出的 BCTSCAM-III 尚未經由 CIC Tapeout，預期實際 Tapeout 的晶片應用核心加法器之伯格碼完全自我檢查電路比第 5.6 節的架構效能更佳，並且預期在較新製程，例如：TSMC 0.18 μm 、90 nm 或更新製程，電路將呈現更好的性能。本研究使用 EDC 設計，目前只著重自我檢查(Self Checking)功能以察覺電路是否有錯誤發生，未來將探討自我診斷(Self Diagnosis)以定位系統錯誤，以及自我修復(Self Repair)以備份電路修復系統錯誤，並搭配自行所研發的晶片，做更深入的研究與應用分析。

參考文獻

- [1] D. A. Anderson and G. Metzger, "Design of totally self-checking checker circuits for m -out-of- n codes," *IEEE Trans. Computers*, vol. C-22, pp. 263-269, Mar. 1973.
- [2] J. M. Berger, "A note on error detecting codes for asymmetric channels," *Information and Control*, vol. 4, pp. 68-73, Mar. 1961.
- [3] B. Bose and D. J. Lin, "Systematic unidirectional error-detecting codes," *IEEE Trans. Computers*, vol. 34, pp. 1026-1032, Nov. 1985.
- [4] W. C. Carter and P. R. Schneider, "Design of dynamically checked computers," *Proc. IFIP'68 Congress, Edinburgh, Scotland*, pp. 878-883, Aug. 1968.
- [5] J. M. Borden, "Optimal asymmetric error detecting codes," *Information and Control*, vol. 53, pp. 66-73, Apr. 1982.
- [6] B. Bose and T. R. N. Rao, "Theory of unidirectional error correcting/detecting codes," *IEEE Trans. Computers*, vol. C-31, pp. 521-530, Jun. 1982.
- [7] S.J. Piestrak, "Design method of a class of embedded combinational self-testing checkers for two-rail codes," *IEEE Trans. Computers*, vol. 51, no. 2, pp. 229-234, Feb. 2002.
- [8] K. A. Duke, "Detect errors in complex logic with two-rail checking technique," *Electronic Design*, pp. 88-93, Oct. 1972.
- [9] X. Kavousianos and D. Nilolos, "Self-exercising, Self-testing k-order comparators," *Proc. 15th IEEE VLSI Test Symposium*, Monterey California, USA, pp. 216-221, April 27-May 1, 1997.
- [10] X. Kavousians, D. Nikolos, G. Foukarakis, and T. Gnardellis, "New efficient totally self-checking berger code checkers," *Integration, The VLSI Journal*, vol. 28, no 1, pp. 101-118, Sep. 1, 1999.
- [11] N. H. E. Weste and K. Eshraghian, "Principles of CMOS VLSI design,"

Addison Wesley, 1993.

- [12]S. Kundu, E.S. Sogomonyan, M. Goessel, and S. Tarnick, "Self-checking comparator with one periodic output," *IEEE Trans. Computers*, vol. 45, no. 3, pp. 379-380, Mar. 1996 .
- [13]C. Metra, M. Favalli, and B. Ricco, "Highly testable and compact single output comparator," *Proc. 15th IEEE VLSI Test Symposium*, pp. 210-215, 1997.
- [14]M. Omana, D. Rossi, and C. Metra, "High speed and highly testable parallel two-rail code checker," *Proc. IEEE Design, Automation and Test in Europe Conf.*, pp. 608-613, 2003.
- [15]M. Omana, D. Rossi, and C. Metra, "Low cost and high speed embedded two-rail code checker," *IEEE Trans. Computers*, vol. 54, no. 2, pp. 153-164, Feb. 2005.
- [16]S. Matakias, Y. Tsiatouhas, T. Haniotakis, A. Arapoyanni, and A. Efthymiou, "Fast, Parallel two-rail code checker with enhanced testability," *Proc. 11th IEEE Int'l On-Line Testing Symposium*, pp. 149-156, Jul. 2005.
- [17]S . Matakias, Y. Tsiatouhas, T Haniotakis and A. Arapoyanni, "A current mode, Parallel, Two-rail code checker ," *IEEE Trans. Computers*, vol. 57, no. 8, pp. 1032-1045, Aug. 2008 .
- [18]C. V. Frieman, "Optimal error detecting codes for completely asymmetric binary channels," *Information and Control.*, vol. 5, pp. 64-71, Mar. 1962.
- [19]D. A. Anderson, "Design of self-checking digital networks using coding techniques," Ph.D. dissertation (Coordinated Sci. Lab. Rep. R-527), Univ. Illinois, Urbana, Oct. 1971.
- [20]N. K. Jha, "A totally self-checking checker for Borden's code," *IEEE Trans. Computer-Aided Design*, vol. 8, no. 7, pp. 731-736, Jul. 1989.

作者履歷

	姓名	童威修(Wei-Siou Tong)	性別	男
	身高	170	體重	57
	通訊地址	台中縣大甲鎮義和里 13 鄰 義和二街 206 巷 1 號	手機	0912-628-438
	學歷	碩士	學校名稱	國立勤益科技大學電子 工程系研究所
研究所論文	完全自我檢查器設計與應用基於錯誤偵測碼			指導老師 謝韶徽 博士
發表論文	<ol style="list-style-type: none"> 1. S.H. Shieh, C.K. Tung, Y.C. Hung and <u>W.S. Tong</u>, "Totally Self-Checking Checker Realization Based on Berger Code," <i>Proc. of 2nd IA-SP&CD Conference</i>, pp 135-140, Taichung, Taiwan, Oct. 2008. 2. S.H. Shieh, C.K. Tung and <u>W.S. Tong</u>, "Totally Self-Checking Adder Design Based on Berger Code," <i>Proc. of 7th Conference on Microelectronics Technology & Applications</i>, pp 432-440, Kaohsiung, Taiwan, May 2009. 3. S.H. Shieh and <u>W.S. Tong</u>, "Berger Code Totally Self-Checking Checker Design for Embedded Adder Cores ," <i>Proc. of 5th ILT Conference</i>, pp 790-795, Taichung, Taiwan, June 2010. (Best Paper) 			
晶片下線	伯格碼自我檢查加法器設計	梯次	D35-98A-32	
	伯登碼自我檢查器設計	梯次	T18-98C-168e	
	電流鏡之雙軌碼完全自我檢查電路實現	梯次	T18-99C-83	
參加競賽	<ol style="list-style-type: none"> 1. 2008 全國大專院校積體電路設計競賽 2. 2009 全國大專院校積體電路設計競賽 (入圍決賽) 3. 2010 全國大專院校積體電路設計競賽 4. 2007 奇景光電佈局設計競賽 5. 2008 奇景光電佈局設計競賽 6. 2008 全國 LED 創意設計競賽 (入圍決賽) 7. 2008 聖誕樹(燈)創意設計比賽 (最佳設計獎) 8. 98 學年度國立勤益科技大學電子工程系專題製作競賽 (硬體組第一名) 9. 98 學年度國立勤益科技大學電資學院學生實務專題製作競賽暨成果展 (研究所組佳作) 			