

國立勤益科技大學  
電子工程系碩士班

碩士論文

新式混合型架構 PWM 晶片設計與實現  
**Design and Implementation of New  
Hybrid Digital PWM Circuit**

研 究 生：蔡桂菁

指 導 教 授：洪玉城 博士

中 華 民 國 九 十 九 年 六 月

國立勤益科技大學  
研究所碩士班  
論文口試委員會審定書

本校 電子工程系 碩士班 蔡桂菁 君  
所提論文 新式混合型架構 PWM 晶片設計與實現  
合於碩士資格水準，業經本委員會評審認可。

論文口試委員會：

召集人： 林同煌

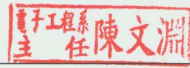
委員： 林同煌

馮嘉宏

許恒壽

指導教授： 洪玉城

所 長： 陳文淵



中華民國九十九年六月

# 國立勤益科技大學

## 博碩士論文全文上網授權書

(提供授權人裝訂於紙本論文書名頁之次頁用)

本授權書所授權之論文為授權人在國立勤益科技大學  
電子工程系 電子 組 98 學年度第 二 學期取得碩士學位之  
論文。

論文題目：新式混合型架構PWM晶片設計與實現  
指導教授：洪玉城

### ■ 同意

本人具有著作權之論文全文資料，非專屬、無償授予本人畢業學校圖書館，不限地域、時間與次數，以微縮、光碟或數位化等各種方式重製與利用，提供讀者基於著作權法合理使用範圍內之線上檢索、閱覽、下載及列印。

論文全文上載網路公開之範圍及時間：

校內區域網路	■ 中華民國 101 年 6 月 26 日公開
校外網際網路	■ 中華民國 102 年 6 月 26 日公開

授權人：蔡桂菁

簽名：蔡桂菁

中 華 民 國 99 年 6 月 26 日

## 國家圖書館 博碩士論文電子檔案上網授權書

本授權書所授權之論文為授權人在國立勤益科技大學電子工程系 98 學年度第\_\_學期取得碩士學位之論文。

論文題目：新式混合型架構PWM晶片設計與實現  
指導教授：洪玉城

茲同意將授權人擁有著作權之上列論文全文（含摘要），非專屬、無償授權國家圖書館，不限地域、時間與次數，以微縮、光碟或其他各種數位化方式將上列論文重製，並得將數位化之上列論文及論文電子檔以上載網路方式，提供讀者基於個人非營利性質之線上檢索、閱覽、下載或列印。

上列論文為授權人向經濟部智慧財產局申請專利之附件或相關文件之一（專利申請案號：\_\_\_\_\_），請於\_\_\_\_年\_\_\_\_月\_\_\_\_日後再將上列論文公開或上載網路。

因上列論文尚未正式對外發表，請於 102 年 6 月 >6 日後再將上列論文公開或上載網路。

授權人：蔡桂菁

親筆簽名及蓋章：蔡桂菁\_\_\_\_\_

民國 99 年 6 月 26 日

電話：\_\_\_\_\_ 傳真：\_\_\_\_\_  
聯絡地址：台中縣清水鎮頂湳里客庄路20號  
E-Mail：TKC930@gmail.com

# 新式混合型架構 PWM 晶片設計與實現

## Design and Implementation of New Hybrid Digital PWM Circuit

研究生：蔡桂菁

指導教授：洪玉城 博士

國立勤益科技大學電子工程系研究所

### 中文摘要

發光二極體(LED)是現今世界所關注的焦點，它具有節能和環保之優點，再加上體積小與壽命較傳統光源長的特性，使得 LED 被廣泛應用。而無論 LED 選擇何種架構作為驅動電路，脈波寬度調變(Pulse Width Modulation, PWM)電路為重要之核心電路之一。PWM 可應用於調整光強度的輸出，控制光強度的方法有兩大類：一為類比式調光，另一為數位式調光。有鑑於類比電路先天抗雜訊能力較低、不易與以數位電路為主的系統作整合等限制，本論文選擇以數位調光進行研究。數位調光之脈波調變電路架構可分為計數型、延遲線型、混合型、 $\Sigma$ - $\Delta$  型。本論文針對這幾種架構進行探討，提出三種新型混合型 PWM 電路，並將電路具體實現晶片。

所提出的電路分別採用 TSMC 0.35  $\mu\text{m}$  與 0.18  $\mu\text{m}$  1P6M 製程進行設計與模擬驗證。所設計完成之 PWM 第一型與第二型 16 位階 PWM 實驗晶片，晶片功能經量測均可正常運作。PWM 第三型設計，模擬結果顯示其操作範圍為 200 MHz - 600 MHz，電路功率消耗 0.24 mW，核心佈局面積 0.461 mm  $\times$  0.37 mm，晶片亦於近期下線。

**關鍵詞：**亮度調整、脈波寬度調變、延遲線、發光二極體。

# Design and Implementation of New Hybrid Digital PWM Circuit

Student : Kuei-Ching Tsai

Advisor : Dr. Yu-Cherng Hung

Institute of Electronic Engineering  
National Chin-Yi University of Technology

## Abstract

The use of LED has become more useful in human life especially for energy saving and environmental protection issues. LED lighting has smaller device size and longer working time than conventional lighting. In spite of which structure is chosen, pulse width modulation (PWM) technique is one of the most important core for many applications. PWM can be used to adjust the lighting intensity. The method of brightness adjustment can be classified as two types: one is analog method, another one is digital method. Due to analog method is not good enough in noise immunity and it is not easy to integrate within digital chip. In this paper, we study many digital methods to improve the original performance. Many digital structures such as counter DPWM, Delay-line DPWM, hybrid DPWM, and  $\Sigma$ - $\Delta$  DPWM are proposed in open literature. In this study, we propose three new types of digital PWM circuits with low-power and hardware-sharing characteristics.

Proposed circuits are simulated in TSMC 0.35- $\mu\text{m}$  2P4M and 0.18- $\mu\text{m}$  1P6M process technologies. The circuits of type I and type II had been realized as experimental chips, and the functions are successful after chip measurements. By using HSPICE simulation, the frequency of type III circuit allows range of 200 MHz - 600 MHz, the power dissipation is 0.24 mW, and the chip area is 0.461 mm  $\times$  0.37 mm.

**Keywords** : Brightness Adjustment, Pulse Width Modulation, Delay line, LED.

## 誌謝

本論文得以順利完成，首先感謝我的指導教授 洪玉城博士，不僅在學業上細心指導，適時給予明確的方向，更在學生的日常生活中多方關心與幫忙。同時感謝召集人林國煌及口試委員許恒壽及謝韶徽教授在百忙之中撥空前來擔任口試委員，並給予建議與指教，著實受益良多，使本論文能夠更趨完整。

兩年來的研究生中，還要感謝混合模實驗室的同學翰均、登淵、威修、俊宏、明恩與承翰、明家、柏全、威誠、翔俊、琪堯等學弟們，大家帶來的歡樂讓我在這兩年的研究生生活添加許多色彩。

此次本篇論文能順利完成，承蒙台積電 TSMC 及國家晶片系統設計中之 CIC(Chip Implementation Center)所提供的製程技術與晶片製作，謹此特別感謝所有相關協助單位及人員。

最後，感謝生命中最重要的支柱，親愛的家人，有您們的支持下，讓我無後顧之憂地順利完成研究所的學業。沒有您們無私的奉獻及照顧也就不會有今日的我，願將此份榮耀與喜悅獻給我最愛的家人以及每一位關心我的人。

# 目錄

中文摘要 .....	i
Abstract .....	ii
誌謝 .....	iii
目錄 .....	iv
圖目錄 .....	vi
表目錄 .....	viii
第一章 緒論 .....	1
1.1 研究背景 .....	1
1.2 研究動機 .....	3
1.3 本文內容 .....	4
第二章 文獻回顧 .....	5
2.1 Counter DPWM .....	5
2.2 Delay-line DPWM .....	7
2.3 Hybrid DPWM .....	10
2.4 $\Sigma$ - $\Delta$ DPWM .....	13
第三章 新型數位脈波寬度調變電路設計 .....	15
3.1 簡易型 DPWM .....	16
3.1.1 電路動作原理 .....	16
3.1.2 具有 RESET 功能之環形計數器 .....	19
3.1.3 門鎖電路 .....	20
3.2 改良型的傳統 DPWM .....	22
3.2.1 電路動作原理 .....	23
3.2.2 多工器 .....	24
3.2.3 比較控制電路 .....	25
3.2.4 具有轉移功能之門鎖電路 .....	29
3.3 新式 MSB/LSB DPWM .....	31
3.3.1 共享功能之 Delay-line .....	33
3.3.2 2-bit DPWMFDC 電路 .....	36
3.3.3 MSB/LSB combination 電路 .....	37
3.3.4 低功率消耗設計 .....	38
第四章 模擬結果與晶片量測 .....	40
4.1 簡易型 DPWM .....	40
4.2 改良型的傳統 DPWM .....	44
4.3 新式 MSB/LSB DPWM .....	48
4.3.1 新式 MSB/LSB 無睡眠機制之 DPWM .....	48
4.3.2 新式 MSB/LSB 具有睡眠機制之 DPWM .....	50
第五章 結論及未來研究方向 .....	55



5.1 結論.....	55
5.2 未來研究方向.....	56
參考文獻 .....	57
作者簡歷 .....	59



## 圖目錄

圖2.1.1	Counter DPWM電路架構圖	5
圖2.1.2	Counter DPWM電路波形圖	6
圖2.2.1	開迴路Delay-line DPWM架構	8
圖2.2.2	閉迴路Delay-line DPWM架構	8
圖2.2.3	Delay-line DPWM 4-bit線性度曲線圖	9
圖2.3.1	Hybrid DPWM電路架構圖	11
圖2.3.2	Hybrid DPWM電路架構之波形圖	12
圖2.4.1	$\Sigma$ - $\Delta$ DPWM電路架構圖	13
圖3.1.1	簡易型DPWM電路方塊圖	16
圖3.1.2	計數器與多工器架構圖	17
圖3.1.3	核心電路架構圖	18
圖3.1.4	計數器與多工器時序圖	18
圖3.1.5	Reset功能的環型計數器	18
圖3.1.6	TSPC型的D-flip-flop電路圖	19
圖3.1.7	由NOR閘所構成的R-S正反器	20
圖3.1.8	本文設計之數位調變輸出控制電路	21
圖3.2.1	傳統數位脈寬調變電路方塊圖	23
圖3.2.2	本篇所提出之數位脈寬調變電路圖	23
圖3.2.3	多工器電路	24
圖3.2.4	傳統DPWM之比較器及AND閘電路	25
圖3.2.5	SET比較器電路	26
圖3.2.6	NOR閘電路	27
圖3.2.7	RESET比較器	27
圖3.2.8	簡化後RESET比較器	28
圖3.2.9	本文設計之數位調變比較器電路	28
圖3.2.10	具有轉移電路之閘鎖電路	30
圖3.2.11	具有轉移電路之閘鎖電路的模擬圖	30
圖3.3.1	4-bit Hybrid DPWM的Duty Cycle	31
圖3.3.2	區分為MSB及LSB的4-bit Hybrid DPWM之duty cycle	32
圖3.3.3	本節所提出之新式數位脈寬調變架構圖	33
圖3.3.4	共享功能之Delay-line架構圖	34
圖3.3.5	本節所提出具有RESET功能Delay-cell之D0架構圖	35
圖3.3.6	本節所提出具有RESET功能Delay-cell之D1架構圖	35
圖3.3.7	2-bit DPWMFDC電路	36
圖3.3.8	2-bit DPWM內部電路	36
圖3.3.9	MSB/LSB combination電路	37
圖3.3.10	具有睡眠機制之2-bit DPWMFDC電路	38

圖3.3.11	具有睡眠機制之新式MSB/LSB DPWM電路 .....	39
圖4.1.1	Pre-Layout Simulation .....	41
圖4.1.2	Post-Layout Simulation .....	41
圖4.1.3	簡易型DPWM之晶片佈局圖 .....	42
圖4.1.4	簡易型DPWM之晶片微影圖 .....	42
圖4.1.5	簡易型DPWM之Duty Cycle為5.8%的晶片量測結果 .....	43
圖4.1.6	簡易型DPWM之Duty Cycle為47%的晶片量測結果 .....	43
圖4.1.7	簡易型DPWM之Duty Cycle為94%的晶片量測結果 .....	43
圖4.2.1	Pre-Layout Simulation .....	44
圖4.2.2	Post-Layout Simulation .....	45
圖4.2.3	改良型的傳統DPWM之晶片佈局圖 .....	46
圖4.2.4	改良型的傳統DPWM之晶片微影圖 .....	46
圖4.2.5	改良型的傳統DPWM之Duty Cycle為0%的晶片量測結果 .....	47
圖4.2.6	改良型的傳統DPWM之Duty Cycle為50%的晶片量測結果 .....	47
圖4.2.7	改良型的傳統DPWM之Duty Cycle為93%的晶片量測結果 .....	47
圖4.3.1	新式MSB/LSB無睡眠機制DPWM電路之Pre-Layout Simulation.....	48
圖4.3.2	新式MSB/LSB無睡眠機制DPWM電路之Post-Layout Simulation .....	49
圖4.3.3	新式MSB/LSB無睡眠機制之 DPWM晶片佈局圖 .....	49
圖4.3.4	新式MSB/LSB具有睡眠機制DPWM電路之Pre-Layout Simulation.....	50
圖4.3.5	新式MSB/LSB具有睡眠機制DPWM電路之Post-Layout Simulation .....	51
圖4.3.6	新式MSB/LSB具有睡眠機制之 DPWM晶片佈局圖 .....	51
圖4.3.7	具有睡眠機制與具有睡眠機制之功率消耗之比較 .....	52
圖4.3.8	功率消耗之比較 .....	53

## 表目錄

表2.2.1	Counter DPWM及Delay-line DPWM比較.....	10
表2.4.1	傳統常見四種DPWM架構之比較.....	14
表3.1.1	RS正反器真值表.....	20
表3.1.2	T型真值表.....	22
表3.2.1	SET比較器之真值表.....	26
表3.2.2	NOR閘之真值表.....	27
表3.2.3	本文設計之輸出控制電路真值表.....	30
表3.3.1	Hybrid DPWM之規格.....	31
表3.3.2	Hybrid DPWM之duty cycle.....	37
表4.2.1	改良型的傳統DPWM Pre-Sim及Post-Sim結果表.....	45
表4.2.2	DPWM之設計規格比較表.....	54



# 第一章 緒論

## 1.1 研究背景

LED 驅動電路之系統架構，包含了供應電源電壓提升至 LED 所需的電壓之轉換器、輸出電流偵測電路及亮度控制電路。目前 LED 應用在可攜式產品上，其供應電源電壓來源大多由充電電池來提供的。例如，手持式行動話需使用 3 到 4 個白光 LED，但是鋰電池放電時之電壓常低於 3.6 V，所以必須借助於升壓驅動電路，把該電壓提昇至 3.6V，才能符合白光 LED 3.6 V 之順向電壓的要求。換言之，儘管鋰電池輸出電壓降低，只要利用驅動電路就可以供給白光 LED 所需要的順向電壓。所以，設計者可依供應電壓的來源選擇適合電路的驅動架構。

而 LED 之驅動電路不論選擇降壓型、升壓型、降壓/升壓型或線性穩壓器驅動，連接每個驅動電路最常見就是需要去控制光亮度的輸出。現今只有極為少數之應用只需要簡單的“ON”及“OFF”的功能，絕大部份的應用都需要從 0~100% 去微調光亮度。目前，控制光亮度有兩種方法，一為線性調節 LED 的電流，即稱為類比調光；第二種方法為在高頻率而且在肉眼無法察覺之情況下，讓驅動電流從 0 到所需電流之間快速來回地切換，即稱為數位調光。

類比調光方法就是在LED上增加50%的電流即可實現50%的亮度，但此方法面臨著輸出電流準確性的問題，容易引起LED色度漂移的現象，並需要採用類比控制信號[19]。

數位調光最常見的技術為脈波寬度調變(PWM)，此種技術調節光亮度的關鍵是，利用快速來回切換LED電路上的驅動電流，或者利用工作週期(Duty Cycle)的改變來控制光亮度輸出的強度。而PWM的頻率必須高過於100 Hz，才能確保讓使用者的眼睛不會看到PWM的脈衝現象。數位PWM調光可以提高光輸出的準確性，對於低階光輸出的線性控制也比類比調光強。數位PWM調光的優點是不需要考慮光亮度的強弱，也可以確保每一次LED燈光顏色為設計人員所需要的。這種精確的控制對於在紅綠藍(RGB)應用上很重要，因為將可以利用不同顏色的光線去做混光效果進而產生白光。

## 1.2 研究動機

數位脈波調變電路(DPWM)，具有設計簡單、成本低與可靠度高的優點。此技術的應用相當的廣泛，包括電動機控制、伺服控制、光線調整、開關電源，甚至某些音頻放大器，可應用在不同的電路上。只要需快速切換輸入達到輸出要求之規格皆可應用。

1996年，學者Gu-Yeon Wei 提出數位式的電源轉換控制架構[1]之後，陸續皆有學者提出數位控制之脈波調變電路。1997年，學者Abram P. Dancy提出Delay-line DPWM及Counter DPWM之架構[2]；2003年，學者Benjamin J. Patella提出結合Delay-line及Counter之混合型架構[3]；2005年，學者Anthony Kelly提出 $\Sigma$ - $\Delta$  DPWM [4]。我們針對這四種架構進行研究分析，選擇混合型之架構進一步改善。

隨著現今消費性電子產品都朝向輕、薄、短、小、低功率消耗、高解析度的要求。本論文利用混合型架構進行分析改善，所提出的電路分別採用 TSMC 0.35- $\mu\text{m}$  與 0.18- $\mu\text{m}$  製程進行設計，以 H-SPIICE 軟體模擬驗證，並利用 Laker 軟體佈局電路。所設計完成之 PWM 第一型與第二型 16 位階 PWM 實驗晶片，晶片功能經量測均可正常運作。PWM 第三型設計，模擬結果顯示其操作範圍為 200 MHz - 600 MHz，電路功率消耗 0.24 mW，核心佈局面積 0.461 mm  $\times$  0.37 mm，晶片亦於近期下線。

### 1.3 本文內容

本論文研究內容共分為五大章節，其各章節大綱如下。

第一章：緒論。旨在說明本篇論文之相關發展與現況、研究動機與

本論文內容架構。

第二章：文獻探討。介紹數位脈波寬度調變(DPWM)的原理及歷年

各種架構，並加以分析與比較，由中選擇出適合本論文的

架構。

第三章：本論文提出「新型數位脈波寬度調變電路之設計」架構說

明，包含整個電路之動作及各子電路功能。

第四章：整體電路佈局及實驗結果。旨在說明整體電路佈局時的想

法和實驗結果討論及分析。

第五章：結論與未來展望。為本論文之結論，並提出未來需改進地

方及可進行下一步研究的方向



## 第二章 文獻回顧

隨著數位控制技術的不斷地進步發展，對於高解析度的數位 PWM (DPWM)控制技術的研究也愈來愈深入。以下將介紹四種常見的傳統DPWM之架構，分別為Counter DPWM、Delay-line DPWM、Hybrid DPWM及 $\Sigma$ - $\Delta$  DPWM，並說明其架構設計方法及工作原理，並分析每一種架構之優缺點。在傳統DPWM架構中，以Hybrid DPWM為傳統主流架構，之後許多文獻資料創新之架構都是以此架構為基礎，進行改良。

### 2.1 Counter DPWM

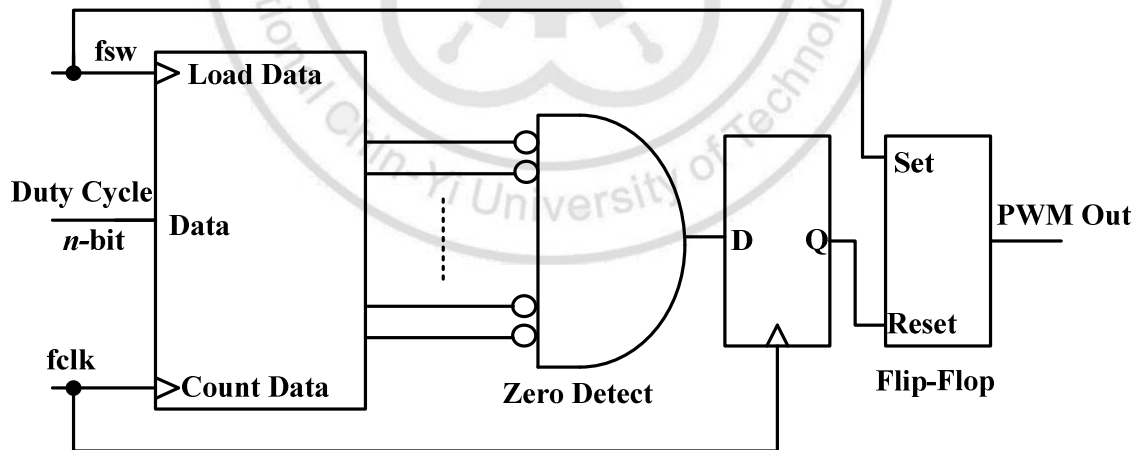


圖 2.1.1 Counter DPWM 電路架構圖

圖2.1.1為Counter DPWM電路架構，此架構是利用脈波訊號計數比較的方法。由一組 $n$ 位元計數器、一組Zero Detect與D Flip-Flop所組成的比較電路，以及一組RS Flip-Flop所構成。其中計數器的輸入

訊號  $f_{clk}$  為一高頻訊號，其工作頻率  $f_{clk}$  與切換頻率  $f_{sw}$  之關係為

$$f_{clk} = 2^n \cdot f_{sw} \quad (2.1)$$

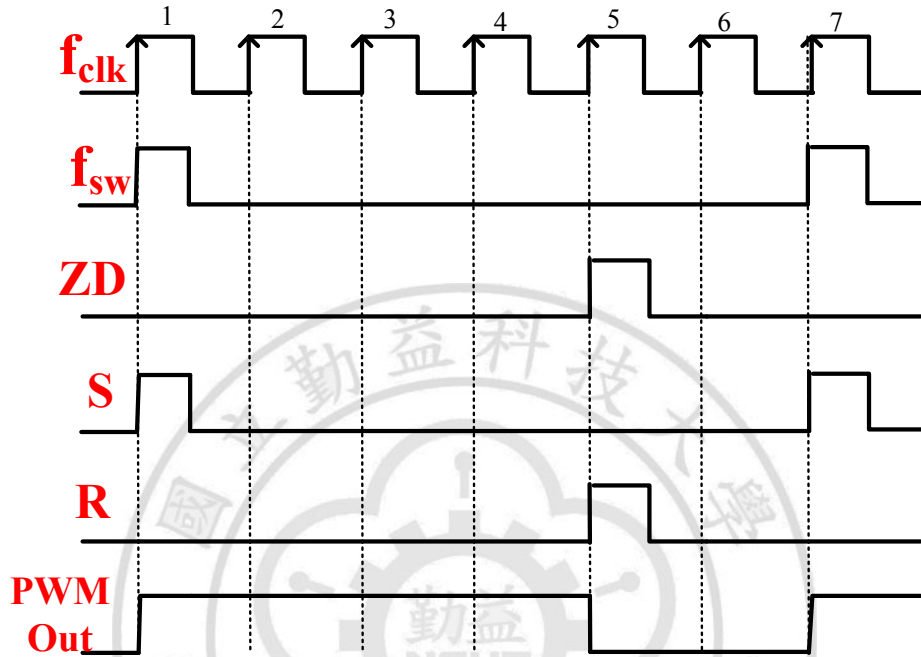


圖 2.1.2 Counter DPWM 電路波形圖

圖 2.1.2 為 Counter DPWM 電路架構之模擬波形圖。 $f_{sw}$  先會輸出高準位的訊號，使 RS Flip-Flop 之 S 端設定為高準位，進而使輸出訊號 PWM Out 之脈波訊號為高準位。每當輸入訊號  $f_{clk}$  正緣觸發時則訊號計數加一，直到  $n$ -bit 之輸入訊號皆為低準位時，此時 Zero Detect 則啟動，使得 RS Flip-Flop 重新設定輸出訊號為低準位，依如此來決定輸出脈波訊的寬度比例，此比例即為脈波寬度之解析度。雖然此電路架構簡單且晶片面積較為適當，但是需要較高的工作頻率，若如要達到高解析度之要求將會造成電路極高的功率消耗。

## 2.2 Delay-line DPWM

Delay-line 的方式是將大量且相同的延遲單元(Delay-cell)串成延遲線，並對脈衝信號進行有時間延遲的傳輸，其脈波訊號會在 Delay-line 中一直循環傳遞。因此依據  $d[n]$  值作為多工器之控制端訊號，選取與其相對應的輸出脈波，使得 RS Flip-Flop 的輸出重新設定為低準位。依如此將 RS Flip-Flop 歸零以決定脈波訊號的寬度的比率，其比率則為脈波寬度之解析度。其中每一個 Delay-cell 的延遲時間  $T_{delay-cell}$  與切換週期  $T_{sw}$  關係為

$$T_{delay-cell} = \frac{T_{sw}}{2^n} \quad (2.2)$$

又因其工作時脈訊號產生的不同，又可以細分為：開迴路 Delay-line DPWM，其架構如圖 2.2.1 所示。由外部輸入工作時脈之訊號，但此種方法容易受製程變異影響，使 Delay-line DPWM 輸出線性度改變。另一種架構稱為閉迴路 Delay-line DPWM，其架構如圖 2.2.2 所示。由架構內部的數個 Delay-cell 串成環形振盪器，自我振盪出內部電路所需要的工作時脈訊號，其輸出線性度並不會受到製程變異之影響。

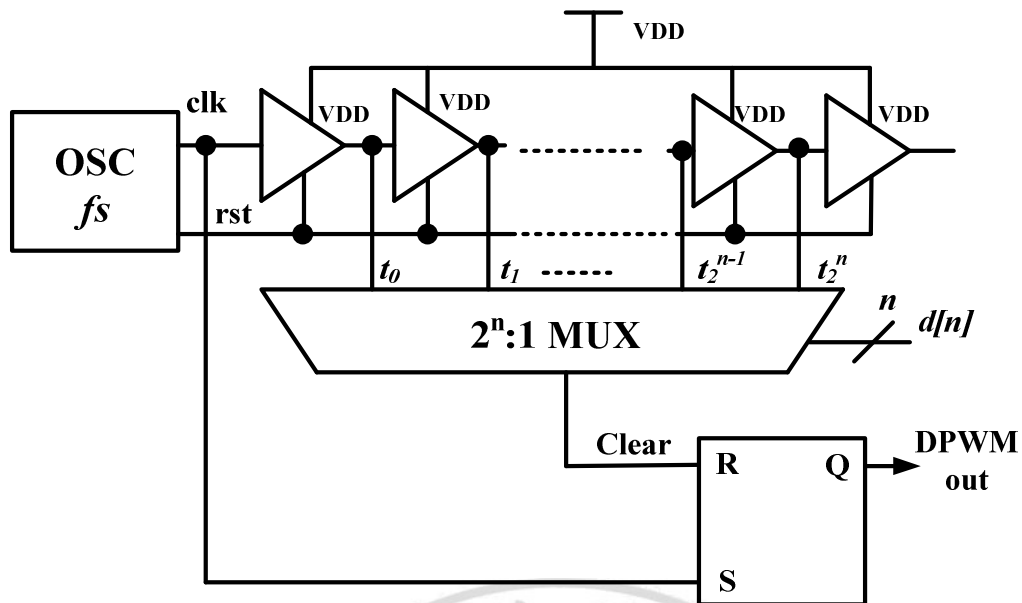


圖 2.2.1 開迴路 Delay-line DPWM 架構

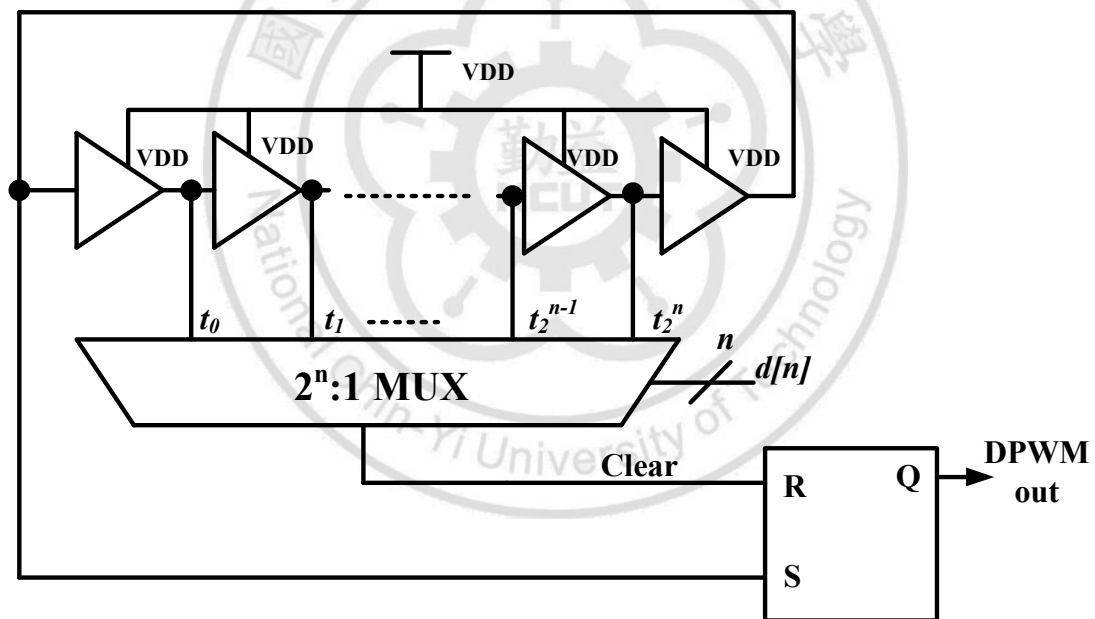


圖 2.2.2 閉迴路 Delay-line DPWM 架構

如圖2.2.3所示，當理想中的Delay-line不受製程變異之影響時，此DPWM架構之輸出線性度增益應為 $m=1$ ，如紅色之曲線(中間曲線)；Delay-line若受製程變異影響而造成延遲時間過快時，此

DPWM輸出線性度增益應為 $m < 1$ ，此時則會偏向綠色之曲線(下方曲線)；反之，Delay-line之延遲時間太慢時，DPWM輸出線性度增益應為 $m > 1$ ，則偏向藍色之曲線(上方曲線)。因此，可看出在Delay-line DPWM架構中輸出線性度是相當重要的，因為其輸出線性度之偏差會影響整個系統的穩定度。

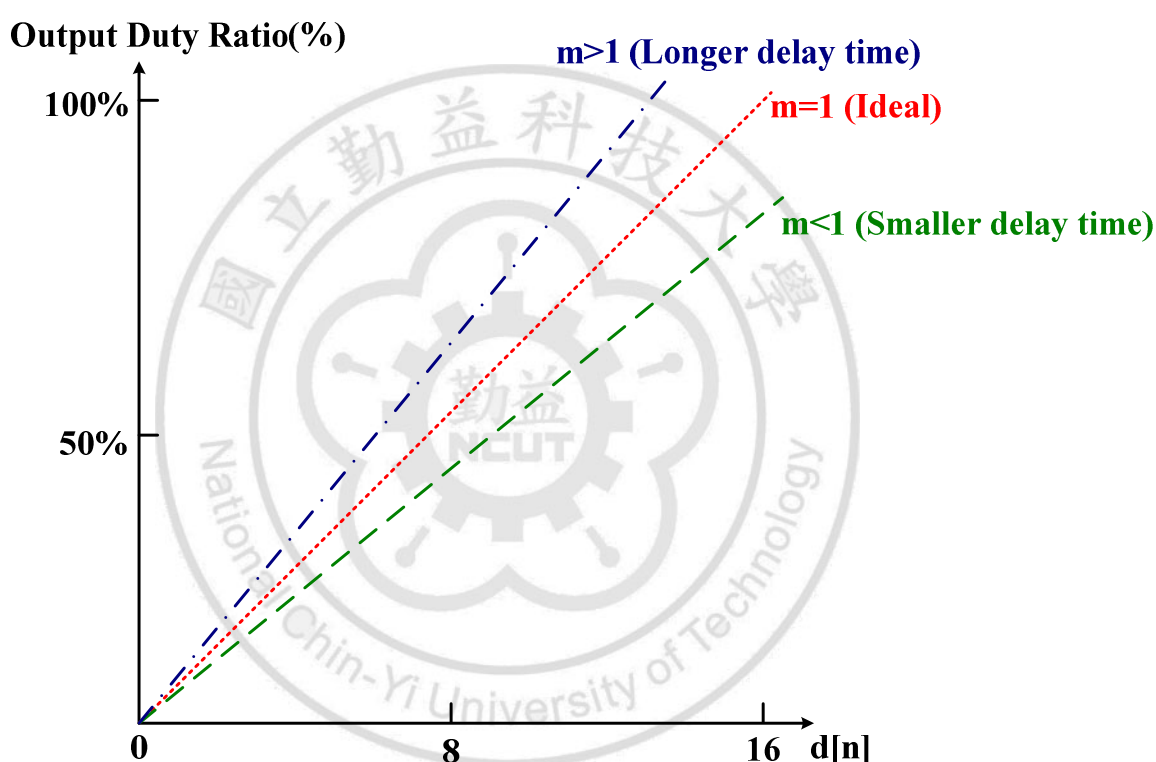


圖 2.2.3 Delay-line DPWM 4-bit 線性度曲線圖

雖然Delay-line DPWM電路的工作頻率與切換頻率相同，因此不需要太的工作頻率就可以達到高解析度，即可改善Counter DPWM的工作頻率要求高，功率消耗大的缺點。但是因其需要大量且相同的Delay-cell，若要完成 $n$ 位元DPWM解析度，則需要的延遲單元之數

量為 $2^n-1$ ，同時還需要 $2^n-1$ 對1的多工器。所以雖然Delay-line DPWM不需太高的頻率即可以達到高解析度，可以降低功率消耗但卻必須在面積上付出代價。根據以上針對兩種架構分析後可整理得表2.1。

表2.2.1 Counter DPWM及Delay-line DPWM比較

	Counter DPWM	Delay-line DPWM
優點	面積小 線性度佳	功率消耗小 不需高工作頻率
缺點	功率消耗大 高工作頻率	面積大 線性度差

### 2.3 Hybrid DPWM

Counter DPWM 架構的優點為所使用的面積較小、線性度佳，需高工作頻率；而 Delay-line DPWM 架構的優點為功率消耗小、不需高工作頻率，但需較大晶片面積。Hybrid DPWM 之架構則是結合了上述 Counter 及 Delay-line 兩種方法，試圖在功率消耗和晶片面積之間取得平衡點。架構中利用 D Flip-Flop 所組成的環形震盪器工作在次臨界電壓範圍，不但可以減少電壓擺動的範圍，也可以降低功率的消耗。

如圖 2.3.1 所示為 4-bit Hybrid DPWM 之架構圖，其中  $n$  為控制位元數， $n_c$  為計數器， $n_d$  為 Delay-line 控制位元數。所以 4-bit 控

制位元包含 2-bit 的計數器與 2-bit 的 Delay-line，即為

$$n = n_d + n_c \quad (2.3)$$

其工作頻率  $f_c$  與切換頻率  $f_{sw}$  之關係式

$$f_c = 2^n \cdot f_{sw} \quad (2.4)$$

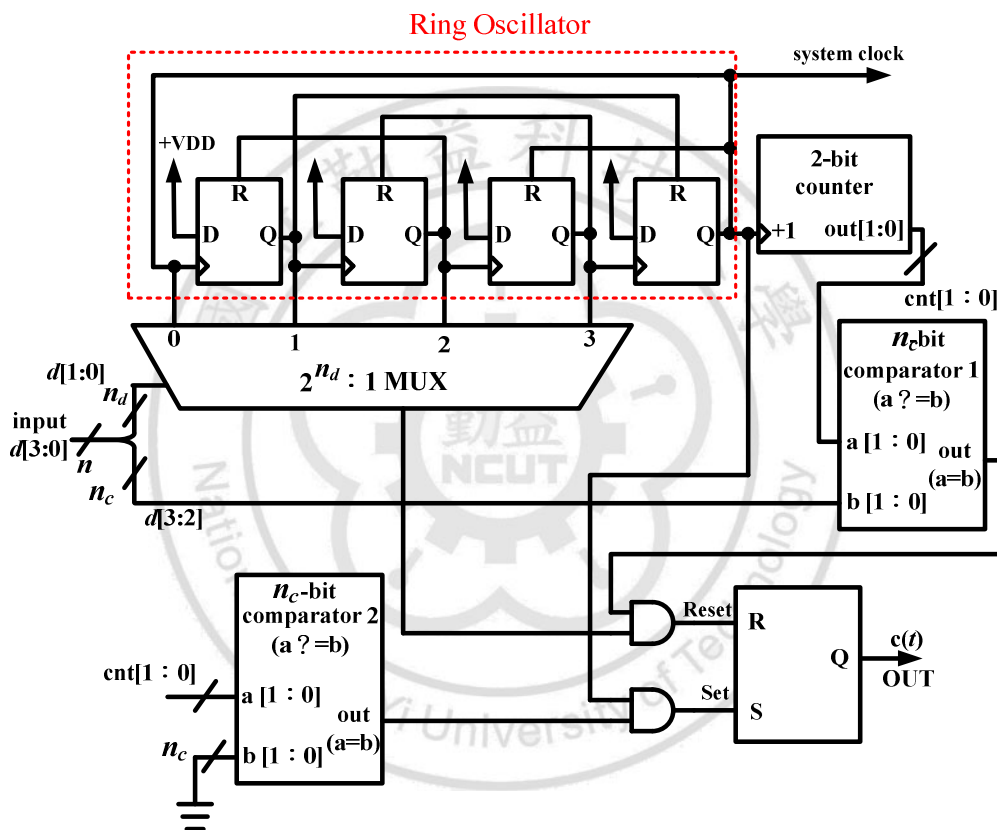


圖 2.3.1 Hybrid DPWM 電路架構圖

此架構可分為兩大區塊，分別為脈寬粗調控制電路及脈寬微調控制電路。以下為各方塊之功能描述。

1. 脈波粗調控制電路：脈波粗調控制電路是由環形震盪器、計數器及比較器所組成。其功能是利用計數器進行粗略的

調整每一訊號之脈波寬度。

2. 脈寬微調控制電路：脈寬微調控制電路是由多工器、AND 閘及 RS 正反器所組成。其功能在微調每一訊號之脈波寬度。

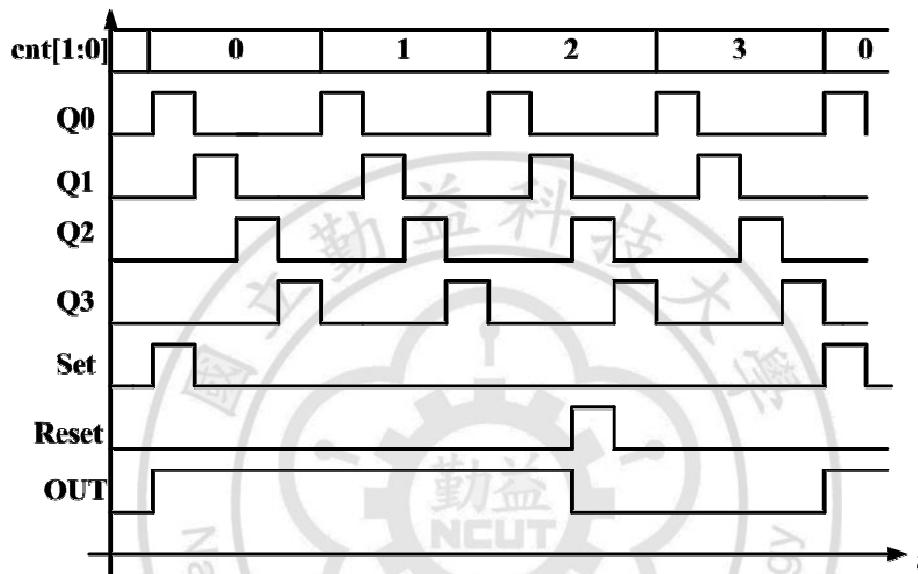


圖 2.3.2 Hybrid DPWM 電路架構之波形圖

圖 2.3.2 為 Hybrid DPWM 電路架構之波形圖。假設  $n=4$ ，即為 4-bit Hybrid DPWM 之架構，其中最低兩個位元( $d[1:0]$ )為多工器控制端，最高兩個位元( $d[3:2]$ )為比較器之比較參考訊號。一開始計數器會輸出低準位訊號，並經由比較器相互比較後，使 RS Flip-Flop 設定輸出訊號為高準位。Delay-line 提供計數器輸入工作時脈  $clk$ ，每當  $clk$  正緣觸發時，計數器輸出訊號加一，當輸出訊號( $cnt[1:0]$ )經由比較器與  $d[3:2]$ 相等於時(粗調功能：計數至第幾個計數區塊)，輸



出脈波訊號會送出高準位訊號至 AND 閘，再與  $d[1:0]$  值作為多工器之控制端訊號，選取與其相對應的輸出脈波相互比較(微調功能)，使得 RS Flip-Flop 的輸出重設為低準位。如此脈波訊號與  $d[1:0]$  相等時，則可以決定 RS Flip-Flop 設定輸出為低準位的時間，依如此調整輸出脈波的寬度比率，也就是脈波寬度之解析度。

## 2.4 $\Sigma$ - $\Delta$ DPWM

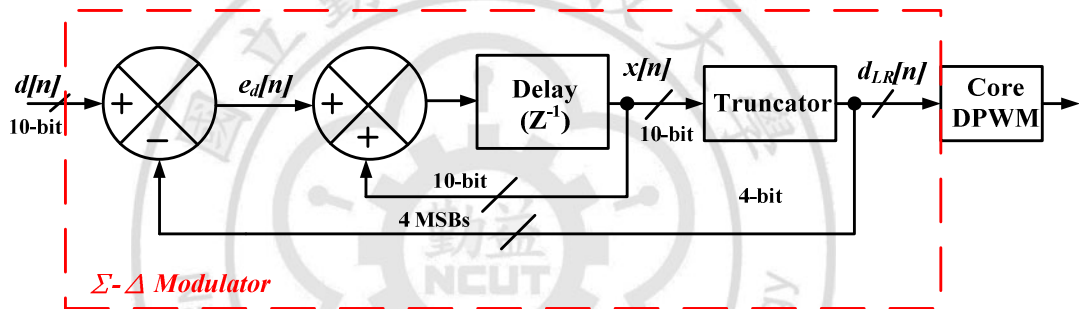


圖 2.4.1  $\Sigma$ - $\Delta$  DPWM 電路架構圖

圖 2.4.1 為  $\Sigma$ - $\Delta$  DPWM 電路架構圖， $\Sigma$ - $\Delta$  技術在 1952 年由 Frank de Jager 所提出之架構[5]。直到近幾年才應用在 DPWM 領域。 $\Sigma$ - $\Delta$  調變其原理近似於積分器，將輸入電壓轉換成時間(脈衝寬度)訊號，再以濾波器得到數位訊號。 $\Sigma$ - $\Delta$  調變具有雜訊塑型(noise shaping)的特性，可將量化過程中產生的雜訊及諧波推往高頻帶，進而達到高解析度的類比數位轉換。能有效提高 DPWM 的解析度，能以少數的輸入控制位元數達到多位元之高解析度的要求。 $\Sigma$ - $\Delta$

DPWM 會帶來潛在的穩定性及收斂速度變慢等問題，並增加了設計的複雜度。

針對前面所敘述的四種電路架構，包含Counter DPWM、Delay-line DPWM、Hybrid DPW及 $\Sigma$ - $\Delta$  DPWM，分析每一個架構的優點及所面臨的瓶頸、缺點，從設計的複雜度、成本、功率消耗及解析度四個方面去比較，整理成表2.2。

表2.4.1 傳統常見四種DPWM架構之比較

	Counter DPWM	Delay-line DPWM	Hybrid DPWM	$\Sigma$ - $\Delta$ DPWM
Design Complexity	Low	Low	Middle	High
Cost	Low	Middle	Low	High
Power Consumption	Middle	Middle	Middle	High
Resolution	Low	Low	Middle	High

### 第三章 新型數位脈波寬度調變電路設計

當 DPWM 的解析度提高時，所需要的工作頻率也會隨之提高，同時也會增加系統的功率消耗。此時，就凸顯了工作頻率與 DPWM 解析度之間的矛盾。如何在要求高解析度 DPWM 的同時又可降低其工作頻率，是現在所面臨最大的挑戰。近年來有關學者提出的幾種提高 DPWM 解析度的解決方案，包含了 Counter DPWM, Delay-line DPWM, Hybrid DPWM 及  $\Sigma$ - $\Delta$  DPWM 等。其中，Counter DPWM 需要  $2^n fs$  的工作頻率來產生  $n$  位元數之切換頻率( $fs$ )的 DPWM 信號，雖此方法在輸出線性度較佳。但是若要提高其 DPWM 之解析度時，其功率消耗也會隨之提高。而 Delay-line DPWM 雖然不需極高工作頻率就可獲得高解析度的 DPWM，但因為使用 Delay-line 架構，所以需要使用大量的晶片面積。另外 Delay-cell 容易受溫度、製程等因素的影響，進而造成輸出線性度改變。而  $\Sigma$ - $\Delta$  DPWM 雖在變換器設計中已經不是一種新的方法，但它也不能簡單地就可以應用在高解析度的 DPWM。在低階  $\Sigma$ - $\Delta$  產生 DPWM 時存在著收斂速度慢，極限振盪等的問題。而為了解決這些問題，而需要使用更高階的  $\Sigma$ - $\Delta$  架構來產生 DPWM。雖然高階  $\Sigma$ - $\Delta$  結構能夠在一定的程度上改善以上的問題，但也同時增加了此架構的功率消耗及設計的複雜度。

而本論文在功率消耗、晶片面積及設計複雜度的考量下，認為

Hybrid DPWM 架構最為合適應用在要求輕、便、短、小的可攜式產品。因此本論文選用 Hybrid DPWM 架構進行研究，提出第一型簡易型 DPWM 架構、第二型改良傳統 Hybrid DPWM 架構之改良型 DPWM，第三型為利用第二型架構提出一個新式 MSB/LSB Hybrid DPWM 的架構。此章節將說明本論文所完成及提出的改良之三種電路架構。

### 3.1 簡易型 DPWM

簡易型 DPWM 電路方塊圖，如圖 3.1.1 所示。此電路架構是利用簡單的邏輯單元所組成，主要此架構會產生兩個固定頻率的脈波，此兩個脈波可以決定 MOS 電晶體的導通和截止時間，藉此調整脈波寬度。

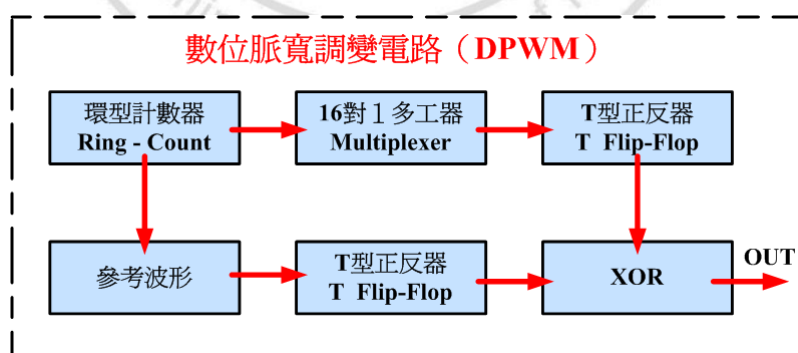


圖 3.1.1 簡易型 DPWM 電路方塊圖

#### 3.1.1 電路動作原理

脈波寬度調變顧名思義，是一個經由電路的控制下可以輸出不

同的工作週期(Duty Cycle)的波形。如圖 3.1.2 所示，我們的設計方法是將一個計數 17 之環形計數器規劃成兩個部份；第一個部份的功能為如傳統 Hybrid DPWM 架構是決定 Set 的啟動時間。訊號 q0，在第一個時序時，將提供訊號(S)觸發輸出給訊號(Y)，由邏輯 0 變成邏輯 1；第二個部份的功能為如傳統 Hybrid DPWM 架構是決定 Reset 的啟動時間。將訊號 q1~q16 輸入到 16 對 1 的多工器，並由多工器的控制端選擇相對應的訊號，以決定輸出訊號(R)的邏輯。也就是決定輸出訊號(Y)由邏輯 1 變成邏輯 0 的時間點。而如圖 3.1.3 所示，為此核心電路架構圖。

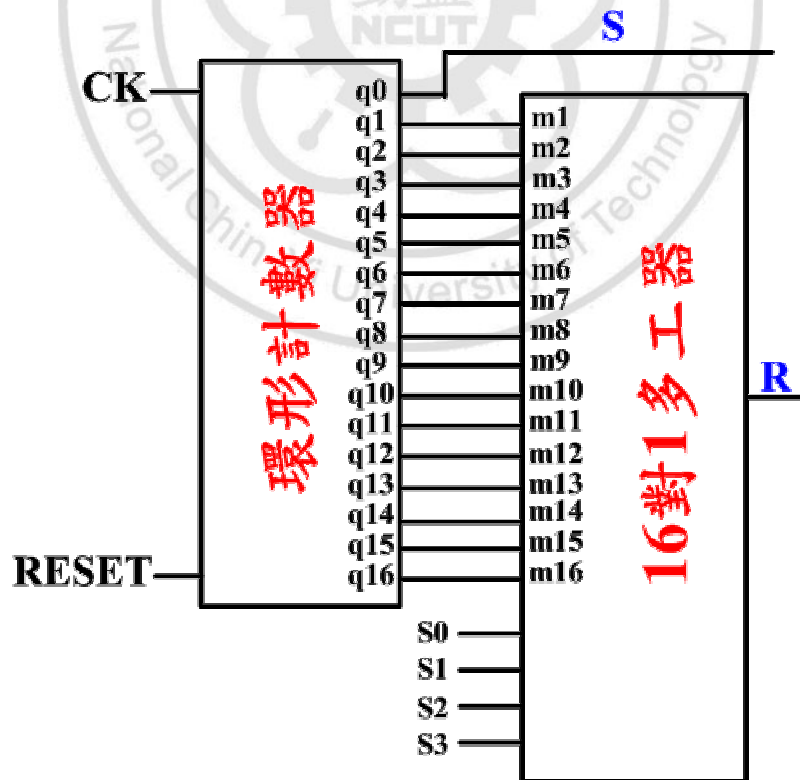


圖 3.1.2 計數器與多工器架構圖

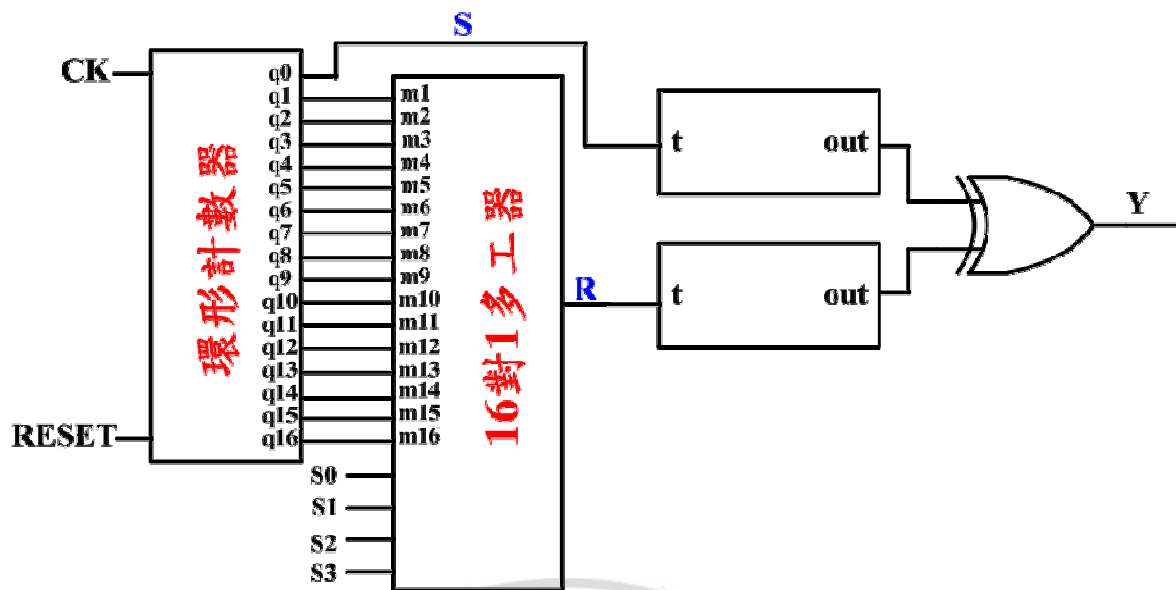


圖 3.1.3 核心電路架構圖

簡而言之，q0 具有 set 的功能，然而 q1~q16 有 reset 功能。我們所設計的脈波寬度調變電路就是利用此概念所決定出我們所預期的工作週期(Duty Cycle)。從圖 3.1.4 可以更清楚看到輸出波形(Y)，在第一個時間點訊號 S 就被觸發成邏輯 1，一直到訊號 R 觸發後才由邏輯 1 變成邏輯 0。所以我們只要透過 16 對 1 多工器的控制端(S3, S2, S1 及 S0)選擇相對應的輸出訊號，就可以調整脈波的寬度。

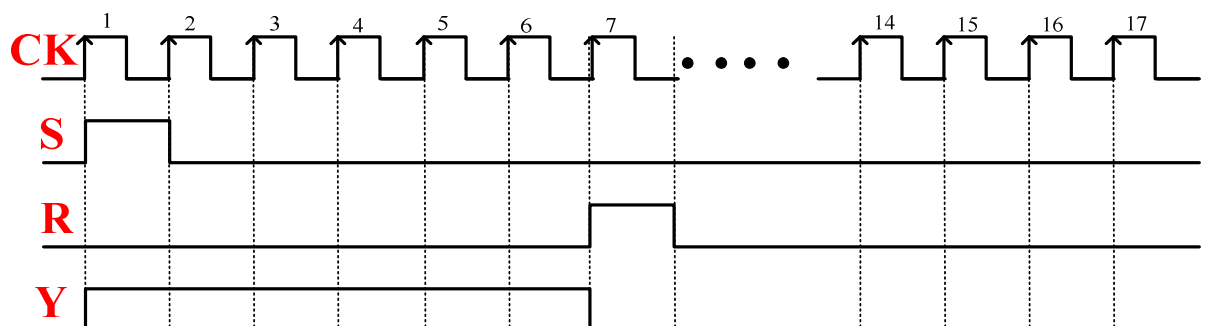


圖 3.1.4 計數器與多工器時序圖

### 3.1.2 具有 RESET 功能之環形計數器

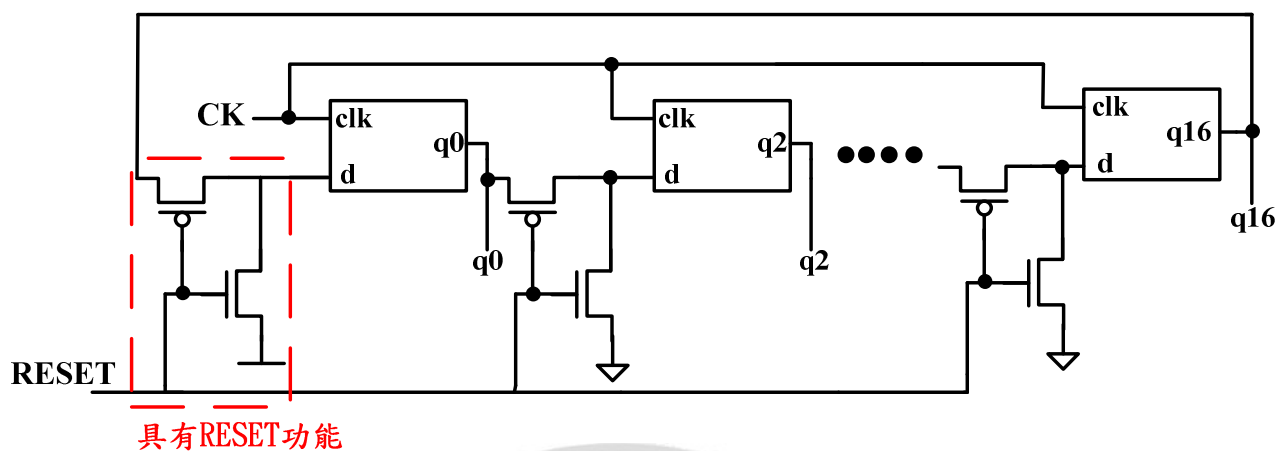


圖 3.1.5 Reset 功能的環型計數器

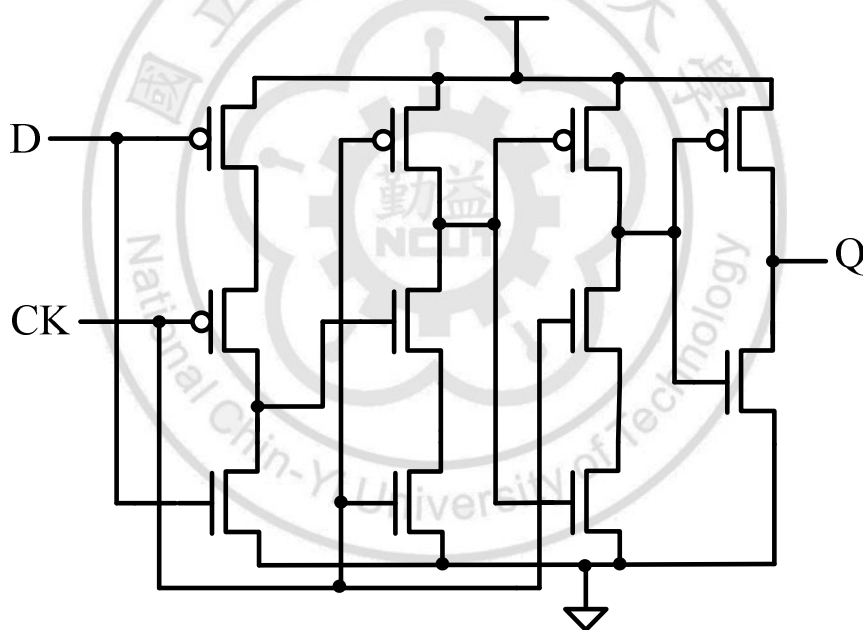


圖 3.1.6 TSPC 型的 D-flip-flop 電路圖

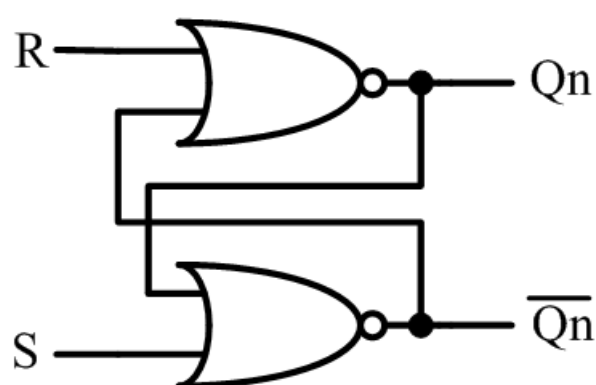
圖 3.1.5 為環型計數器架構電路，由串接 17 級的 TSPC (True Single Phase Clock) D Flip-Flop[6]所構成。如圖 3.1.6 所示為 TSPC 架構的 D Flip-Flop，主要的優點是，具有良好的整波功能。TSPC 只需要使用一個真的單相時脈訊號，可以避免 NORA (No Race

Clocking) 現象。藉此來降低因為訊號延遲與相位扭曲所引起的各項問題。例如，最高頻率降低、因多組脈波訊號而造成佈局面積過大等問題。

此環型計數器架構具有重置(Reset)功能，在 D Flip-Flop 輸入端 d 加上由 PMOS 及 NOMS 所構成之具有重置(RESET)功能的電路。當 RESET 啟動時，每一組具有重置功能的 PMOS 及 NOMS 皆不導通，目的為確保每一次 D Flip-Flop 啟動時，第一組 D Flip-Flop 訊號為 1，其它組 D Flip-Flop 訊號都清除為 0。當 RESET 關閉時，第一組訊號邏輯 1 則會被丟到下一組 D Flip-Flop，以此循環下去。而環型計數器第一組 D Flip-Flop 輸出為參考訊號，其它組 D Flip-Flop 的輸出訊號為下一級 16 對 1 的多工器輸出之資料選擇。

### 3.1.3 閃鎖電路

表3.1.1 RS正反器真值表



R	S	Q <sub>n</sub>	$\overline{Q_n}$
0	0	Q <sub>n</sub>	$\overline{Q_n}$
0	1	1	0
1	0	0	1
1	1	×	×

圖 3.1.7 由 NOR 閘所構成的 R-S 正反器



傳統電路設計乃採用門鎖電路之 R-S 正反器作為輸出控制，一般門鎖電路通常是使用 NAND 閘或 NOR 閘所組成，如圖 3.1.7 所示為 NOR 閘的 R-S 正反器，從表 3.1.1 之 RS 正反器真值表可知，當 R 及 S 兩者輸入訊號皆為高電位時，輸出端  $Q_n$  及  $\bar{Q}_n$  皆為低電位的狀態，這種現象與正反器的功能相互衝突，違反了兩者輸出會互補的狀況，因此輸出端會發生有競賽(Race)現象之缺點，進而使傳統電路需先預設 R-S 正反器輸出為 1 才能正常工作。如未來 Hybrid DPWM 電路應用在升壓式直流對直流轉換器中，將會有輸入皆為高電位的狀況發生，使用 R-S 正反器將可能出現競賽現象之缺點。本架構針對此缺點加以改善，如圖 3.1.8 所示為採用兩個 T 型正反器以及一個 XOR 閘來完成控制輸出預設脈波寬度。

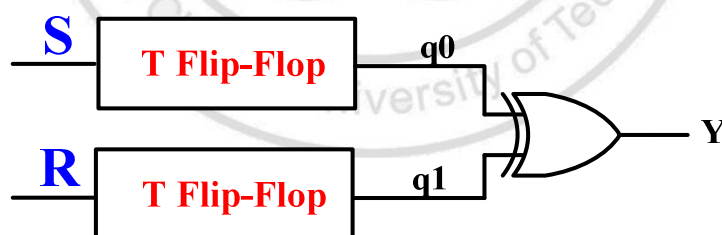


圖 3.1.8 本文設計之數位調變輸出控制電路

由環型計數器第一組輸出為參考波形(S)及多工器所輸出的波形(R)，分別輸入 T 型正反器作運算後，其輸出再送進 XOR 閘，最後可得到預設之脈波寬度之波形。其表 3.1.2 及表 3.1.3 分別為 T 型正反器及 XOR 閘真值表。由表 3.1.4 真值表可看出此設計電路在輸入

都為 1 時，並無競爭賽現象，所以可以避免使用 R-S 正反器輸入端都為 1 時，輸出會有競賽(Race)現象之缺點。

表 3.1.2 T 型真值表

T	Q
0	$Q_n$
1	$\overline{Q_n}$

表 3.1.3 XOR 真值表

a	b	y
0	0	0
0	1	1
1	0	1
1	1	0

表 3.1.4 本設計電路真值表

s	r	y
0	0	0
0	1	1
1	0	1
1	1	0

### 3.2 改良型的傳統 DPWM

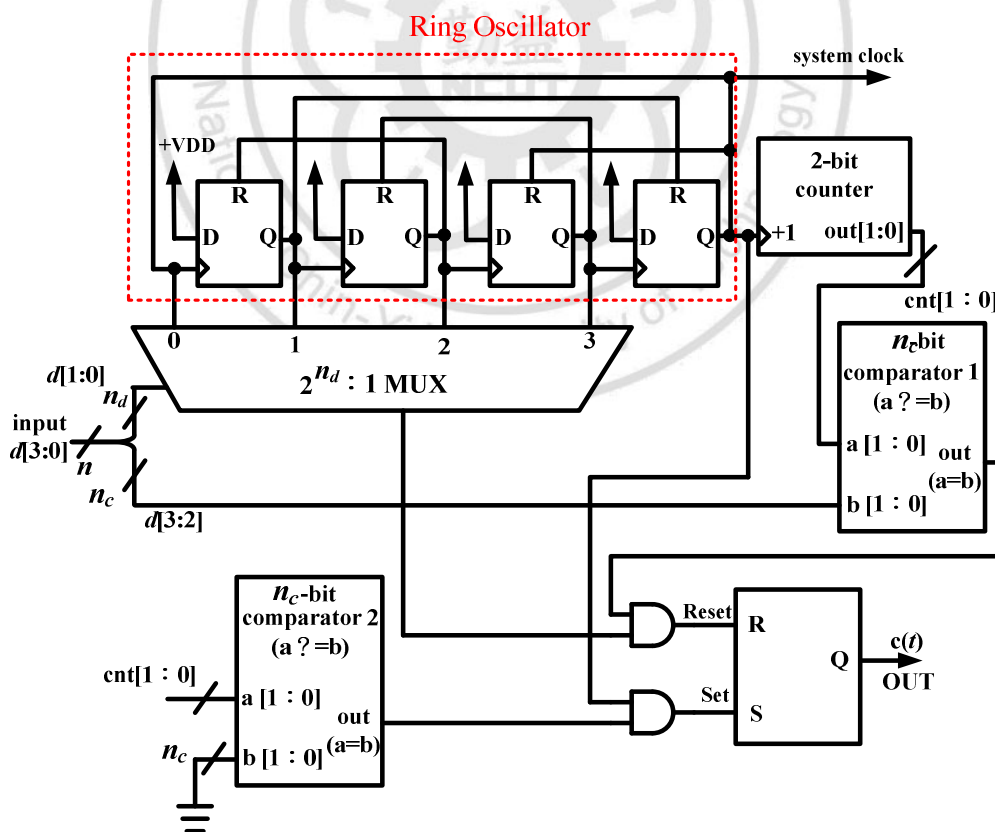


圖 3.2.1 傳統數位脈寬調變電路方塊圖

如圖 3.2.1 所示為傳統數位脈寬調變電路方塊圖。本節提出的 4-bit 數位脈寬調變電路是利用傳統 Hybrid DPWM 的電路架構進行改善，簡化其架構以達到減少電晶體數、降低功率消耗，產生高解析度的脈波。細部架構如圖 3.2.2 所示，數位脈寬調變電路包含環形計數器作為 Delay-line、4 對 1 多工器、2bit 計數器、比較器、由 NOR 閘及 AND 閘所組成的邏輯閘，最後為輸出控制的 RS 正反器。

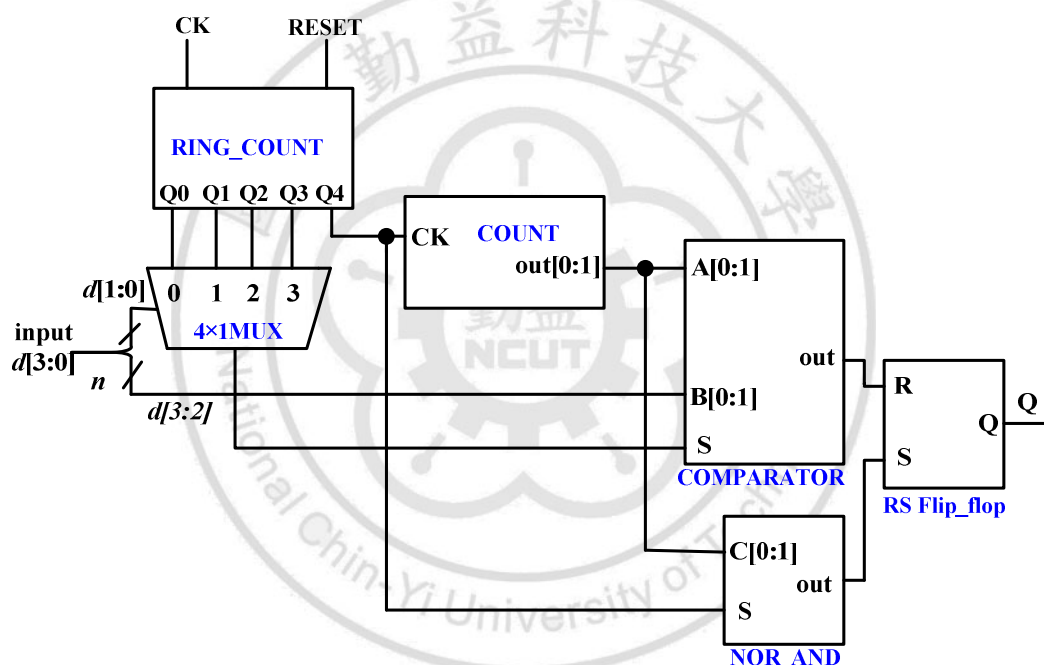


圖 3.2.2 本篇所提出之數位脈寬調變電路圖

### 3.2.1 電路動作原理

我們的設計方法是將圖 3.1.5 之具有 RESET 功能之環型計數器作為 Delay-line， $Q0 \sim Q3$  分別輸入至 4x1 多工器，而  $Q4$  輸入至計數器。計數器在此電路的功能為脈波粗調的動作，其輸出  $Y0$  及  $Y1$  分別輸入至比較器及 NOR\_AND 與 4x1 多工器的輸出及  $Q4$  作脈波

微調的動作，最後輸出控制 RS 正反器輸出我們想要的脈波寬度。

所以我們只要透過 16 對 1 多工器的控制線( $S3$ 、 $S2$ 、 $S1$  及  $S0$ )，就可調整脈波的寬度。

### 3.2.2 多工器

如圖 3.2.3 所示，此多工器為 2 條控制線、4 輸入線的 4 對 1 之多工器電路。如使用傳統型多工器，其電晶體會相對增多，因而佈局面積也會相對增加。我們利用 PMOS 及 NMOS 所構成傳輸閘(TG)所完成設多工器，最大的優點可以節省電晶體數，進而減少佈局晶片面積。

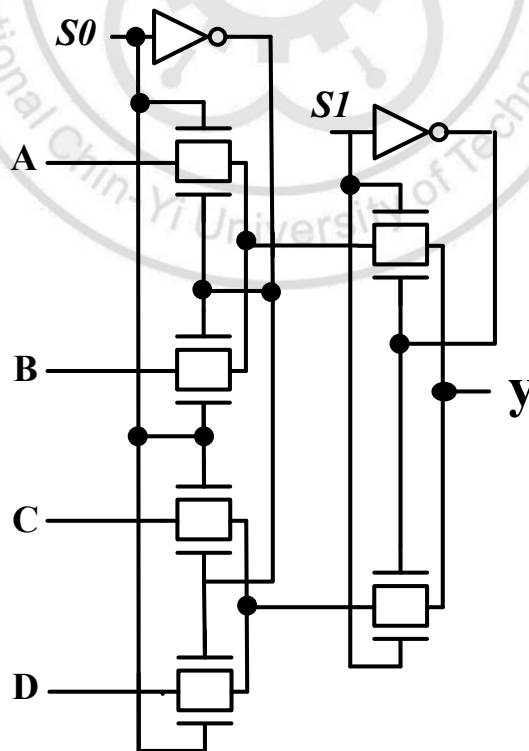


圖 3.2.3 多工器電路

### 3.2.3 比較控制電路

傳統 Hybrid DPWM 比較電路控制，由 2 組比較器及 2 組 AND 閘所組成。此電路的功能是將兩輸入訊號互相比較，把已經粗調過的脈波訊號經由比較控制電路再作脈波微調的動作，進而去提高其解析度。

如圖 3.2.4 所示，為傳統比較控制電路，分為由 RESET 比較器及 SET 比較器所組成。RESET 比較器是將前一級計數器輸出粗調脈波訊號  $cnt[1:0]$  與輸入控制訊號  $d[3:2]$  比較；SET 比較器是將  $cnt[1:0]$  訊號直接與”0”比較。RESET 比較器及 SET 比較器分別再經由 AND 閘分別與多工器輸出 OUT 及  $Q4$  運算，最後輸出經微調後的 RESET 及 SET 脈波。

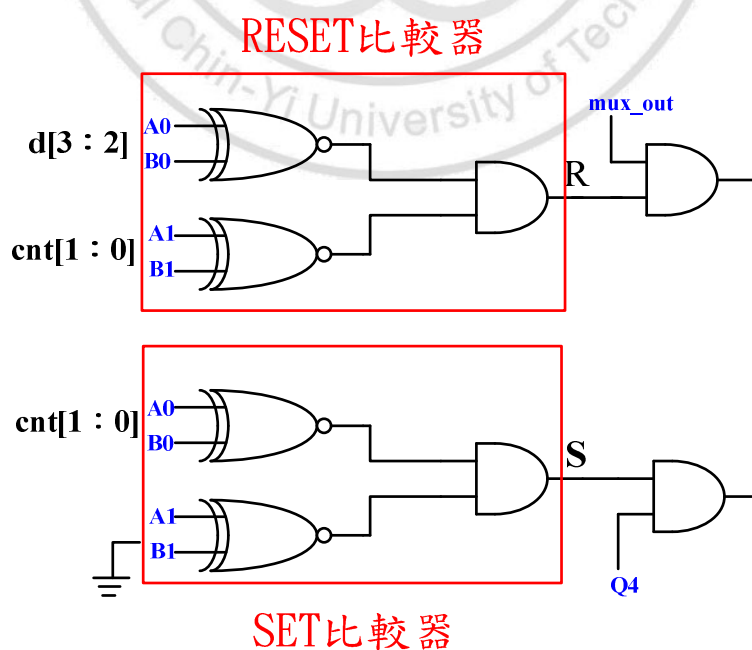


圖 3.2.4 傳統 DPWM 之比較器及 AND 閘電路

### 3.2.3.1 SET 比較器簡化

圖 3.2.5 為傳統 SET 比較器電路，而表 3.2.1 為其真值表。SET 比較器是將 cnt[1:0] 訊號直接與”0”比較，從真值表中可看出 SET 比較器的輸出端(S)的狀態能與 NOR 閘的輸出狀態相同，如表 3.2.2 所示。因此我們可以將 SET 比較器簡化，以 NOR 閘代替即可，如圖 3.2.6 所示。

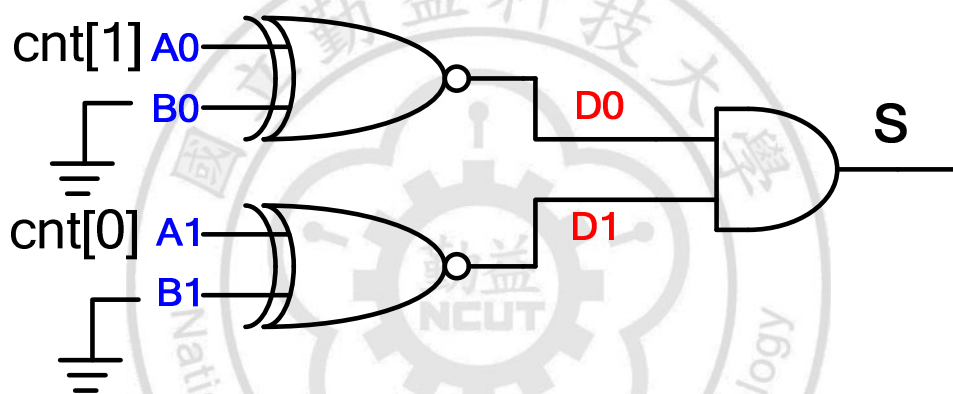


圖 3.2.5 SET 比較器電路

表3.2.1 SET比較器之真值表

A0	B0	A1	B1	D0	D1	S
0	0	0	0	1	1	1
0	0	1	0	1	0	0
1	0	0	0	0	1	0
1	0	1	0	0	0	0

表3.2.2 NOR閘之真值表

cnt[1]	cnt[0]	S
0	0	1
0	1	0
1	0	0
1	1	0



圖 3.2.6 NOR 閘電路

### 3.2.3.2 RESET 比較器簡化

圖 3.2.7 為傳統 RESET 比較器的電路，是將 cnt[1:0] 訊號直接與 d[3:2]輸入控制位元比較。其簡化是將 RESET 比較器輸出級 AND 閘與下一級 AND 閘做合併，如圖 3.2.8 所示。

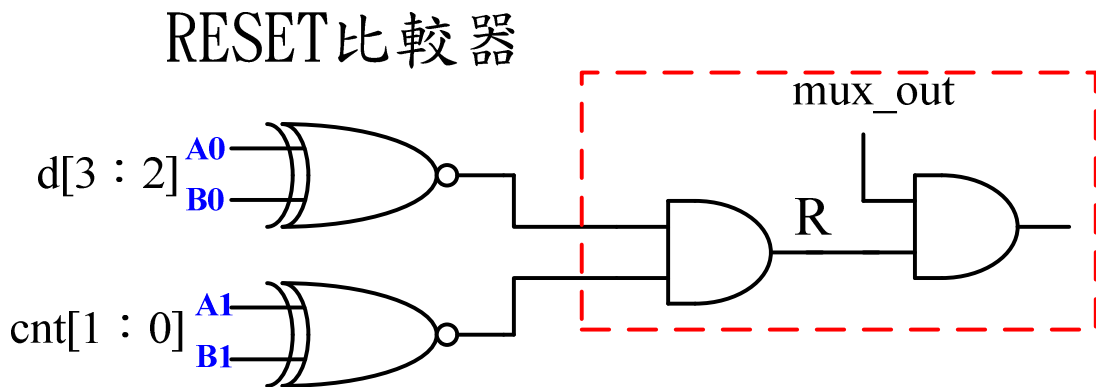


圖 3.2.7 RESET 比較器

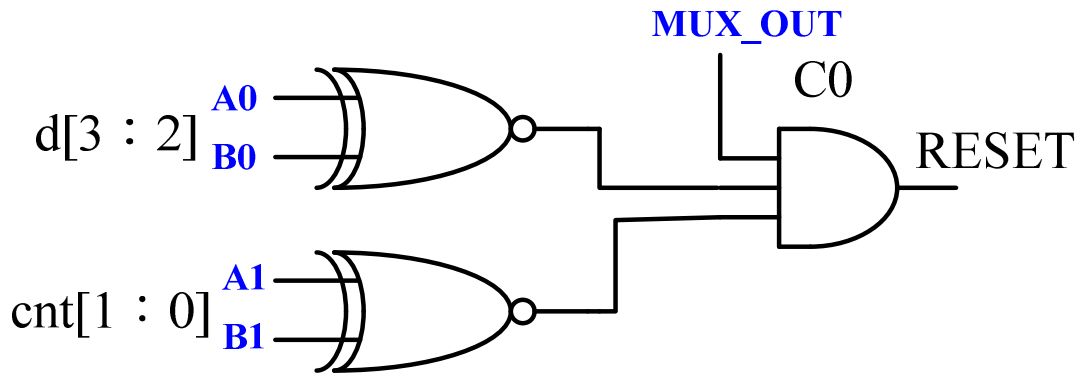


圖 3.2.8 簡化後 RESET 比較器

如圖 3.2.9 所示，為本節提出改善後之比較器的電路，此電路架構與圖 3.2.4 傳統比較器電路之功能是相同的，並且比傳統比較器電路成功減少了 25% 電晶體數。

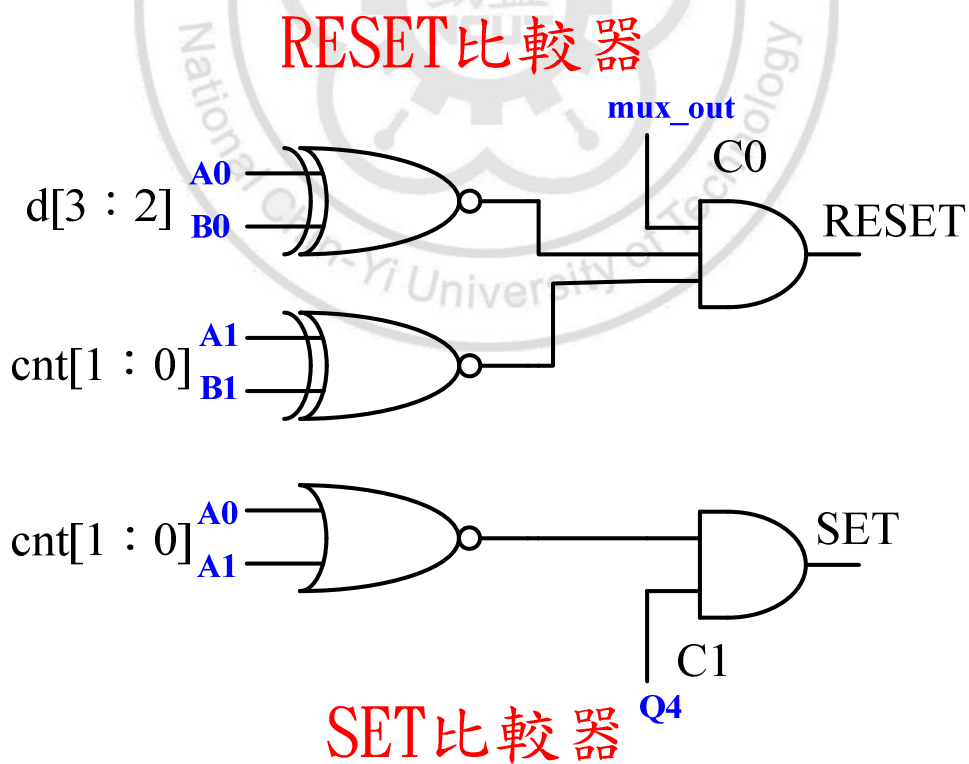


圖 3.2.9 本文設計之數位調變比較器電路



### 3.2.4 具有轉移功能之門鎖電路

傳統 Hybrid DPWM 電路設計乃採用 R-S 正反器作為輸出門鎖電路，但因其 R-S 正反器輸入端都為 1 時，輸出會有競賽(Race)現象之缺點，進而使傳統電路需先預設 R-S 正反器輸出為 1 才能正常工作。在第 3.1.2 節中曾提出以 T 型正反器及 XOR 閘所組成的輸出控制加以改善，但此電路架構電晶體數遠大於傳統電路 R-S 正反器大，進而造成電路架構面積及功率消耗增加。因此本節再提出另一具有轉移功能之門鎖電路。

在傳統 R-S 正反器電路前面加上一組轉移電路，當  $R'$  及  $S'$  輸入為 "11" 時，透過轉移電路使真正輸入至 R-S 正反器的訊號轉移為 "01"，將有效使門鎖電路的輸出端  $Q_n$  及  $Q_n\_box$  永遠保持互補的狀態，藉此避免有競賽(Race)現象之缺點。本設計電路比傳統 Hybrid DPWM 電路架構之消耗功率減少許多。如圖 3.2.10 為本文設計之輸出控制電路，表 3.2.3 為本文所提出的輸出控制電路真值表。如圖 3.2.11 為具有轉移電路之門鎖電路的模擬波形圖，從圖中可看出當 R-S 正反器輸入皆為高電位時，經由轉移電路使輸出結果  $Q_n$  及  $\bar{Q}_n$  保持互補的狀態，因而避免競賽(Race)現象，而且並不會影響整體電路之功能。

表3.2.3 本文設計之輸出控制電路真值表

R'	S'	R	S	Q <sub>n</sub>	$\overline{Q_n}$
0	0	0	0	Q <sub>n</sub>	$\overline{Q_n}$
0	1	0	1	1	0
1	0	1	0	0	1
1	1	0	1	1	0

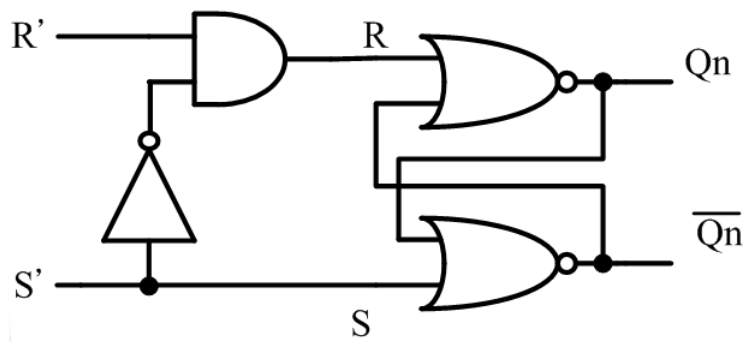


圖 3.2.10 具有轉移電路之閃鎖電路

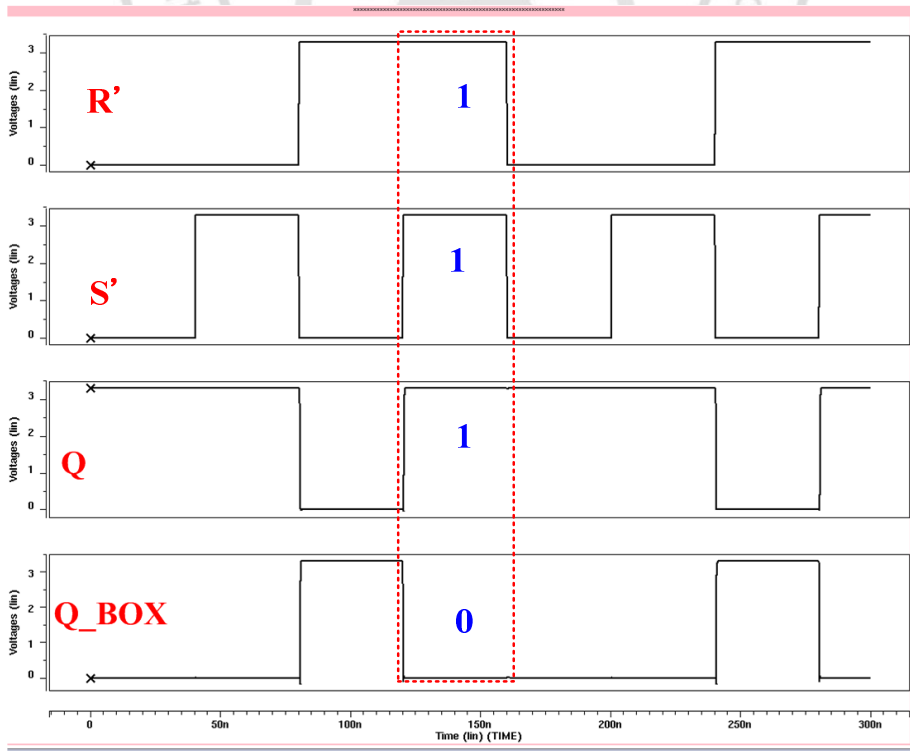


圖 3.2.11 具有轉移電路之閃鎖電路的模擬圖

### 3.3 新式 MSB/LSB DPWM

表3.3.1 Hybrid DPWM之規格

Bit <i>n</i>	no. of MUX	no. of counter	no. of Delay-line element
4	4×1	2	4
8	8×1	4	16
16	16×1	8	256

從表3.3.1之傳統Hybrid DPWM電路架構的規格分析，發現此架構朝向高解析度發展，架構中所使用的Delay-line會成正比增加，而大大增加功率消耗，並且晶片面積也會增加。



圖 3.3.1 4-bit Hybrid DPWM 的 duty cycle

本節所提出新型DPWM架構則是利用第二型改良型的傳統Hybrid DPWM架構及MSB, LSB的觀念進行改善。如圖3.3.1為我們傳統Hybrid DPWM的duty cycle之算法，其解析度分別為0/16, 1/16, 2/16, ..., to 15/16，共16種解析度。假設我們分別選擇S3, S2, S1, S0的控制邏輯分別為 1, 0, 1, 0；此duty cycle為

$$1 \times 0 + 2 \times 1 + 4 \times 0 + 8 \times 1 = 10 \quad (3.1)$$

輸出的解析度則為10/16。

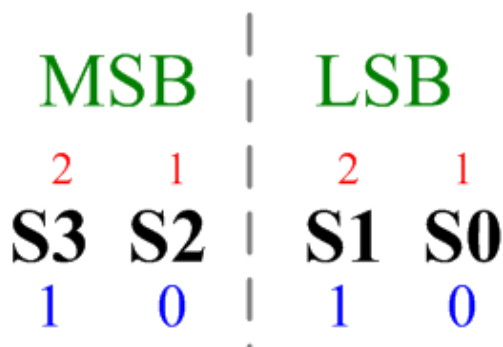


圖 3.3.2 區分為 MSB 及 LSB 的 4-bit Hybrid DPWM 之 duty cycle

如圖3.3.2所示為本節提出新的觀念，即是將4-bit輸入控制位元數分為MSB及LSB後，先對MSB部份做4倍的放大，再將放大後的MSB及LSB加總，即與公式(3.1)相同。舉例說明，我們分別選擇S3, S2, S1, S0的控制邏輯分別為 1, 0, 1, 0；

$$\text{LSB} = 1 \times 0 + 2 \times 1 = 2 \quad (3.2)$$

$$\text{MSB} = (1 \times 0 + 2 \times 1) \times 4 = 8 \quad (3.3)$$

$$\text{MSB} + \text{LSB} = 8 + 2 = 10 \quad (3.4)$$

此輸出的解析度則為 10/16。從公式(3.4) 可知利用此種觀念也可以得到與公式(3.1)相同結果。

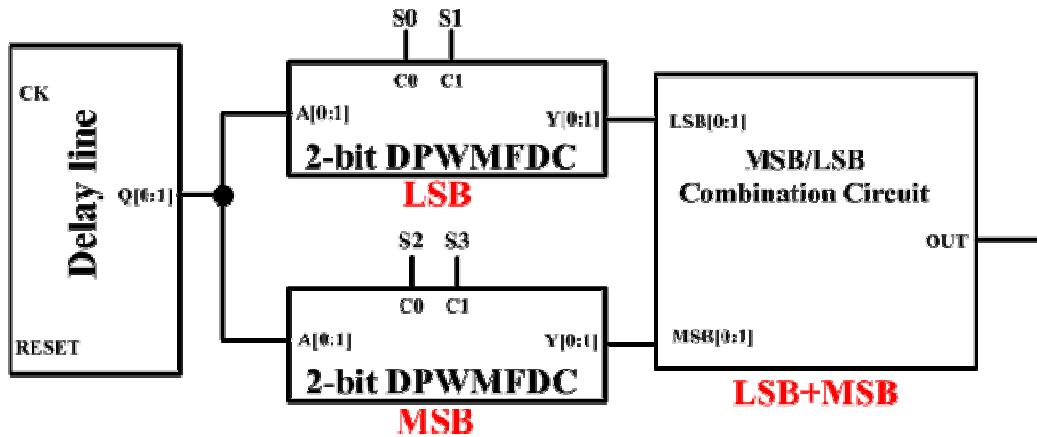


圖 3.3.3 本節所提出之新式數位脈寬調變架構圖

圖3.3.3為本節所提出之新式數位脈寬調變架構圖，此架構是由具有共享功能之Delay-line、第二型2-bit改良型DPWM架構之2-bit DPWMFDC及MSB/LSB combination 的電路所構成的。以下為各部份電路詳細說明：

### 3.3.1 共享功能之Delay-line

依傳統 4-bit Hybrid DPWM 架構規格，需 4 組 Delay-cell 所組成的 Delay-line。本設計將輸入控制位元數區分為 MSB/LSB，所以 Delay-cell 只需傳統架構的一半，2 組 Delay-cell 即可同時共享給 MSB/LSB 方塊電路。

圖 3.3.4 為本節提出共享功能之 Delay-line 架構。當 RESET 啟動，第一組 Delay-cell 輸入為”1”。而 RESET 訊號再經反相器後，使其餘 Delay-cell 輸入”0”，清除電路內部會影響輸出之訊號。而第一組 Delay-cell 輸出其脈波訊號會在 Delay-line 中循環傳遞。

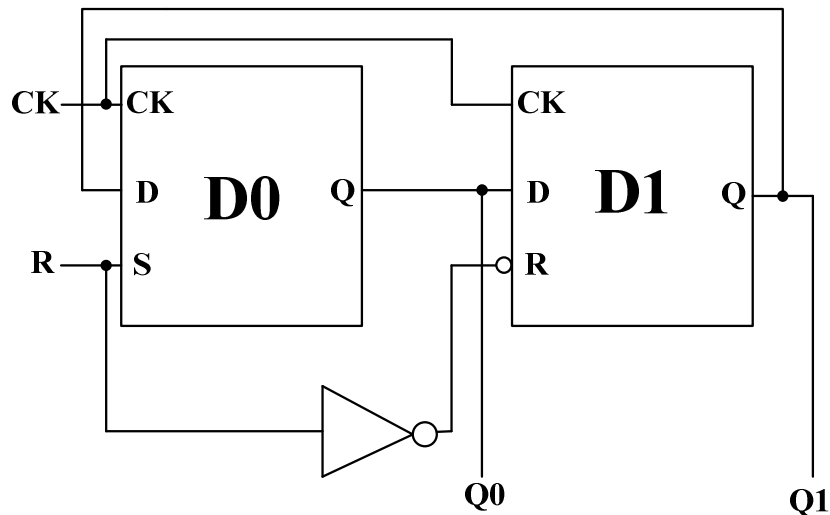


圖 3.3.4 共享功能之 Delay-line 架構圖

### 3.3.1.1 具有 RESET 功能的 Delay-cell

RESET 之功能主要為確保每一次 Delay-line 啟動，每一個 Delay-cell 內部都是清除為零的狀態，避免對後續的電路影響。而上述前兩種架構，RESET 之功能外加在 Delay-cell 的外面，此種架構具有弱訊號、延遲時間增加的問題。所以本節提出新型具有 RESET 功能的 Delay-cell，此種架構是將 RESET 做在 Delay-cell 中，使用的電晶體減少，進而減少佈局面積，也解決前一種架構有弱訊號等問題。

圖 3.3.5 為具有 RESET 功能的 Delay-cell 之 D0 的電路圖，主要當 RESET 為高準位時，使輸出訊號為高準位。圖 3.3.6 為具有 RESET 功能的 Delay-cell 之 D1 的電路圖，主要當 RESET 為高準位時，使輸出低準位之訊號，將其內部訊號清除為零。

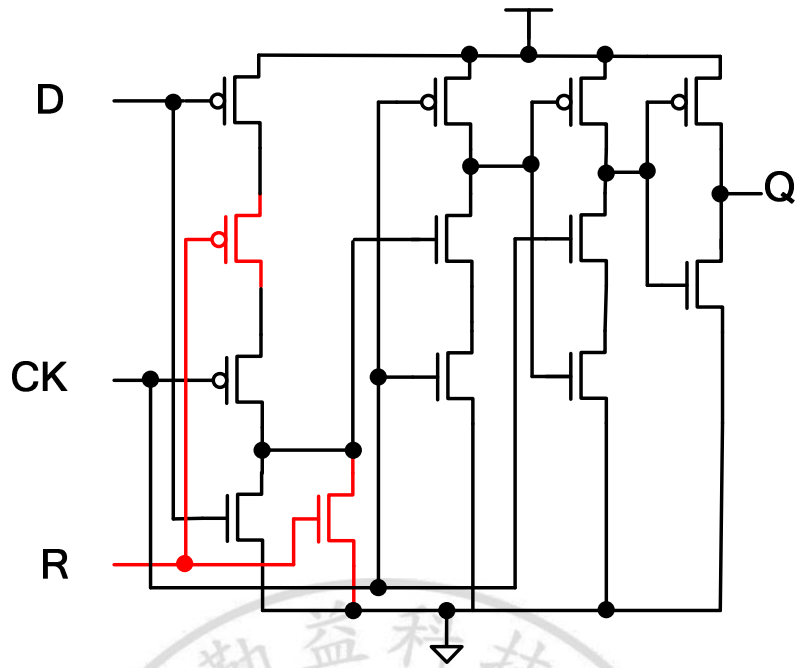


圖 3.3.5 本節所提出具有 RESET 功能 Delay-cell 之 D0 架構圖

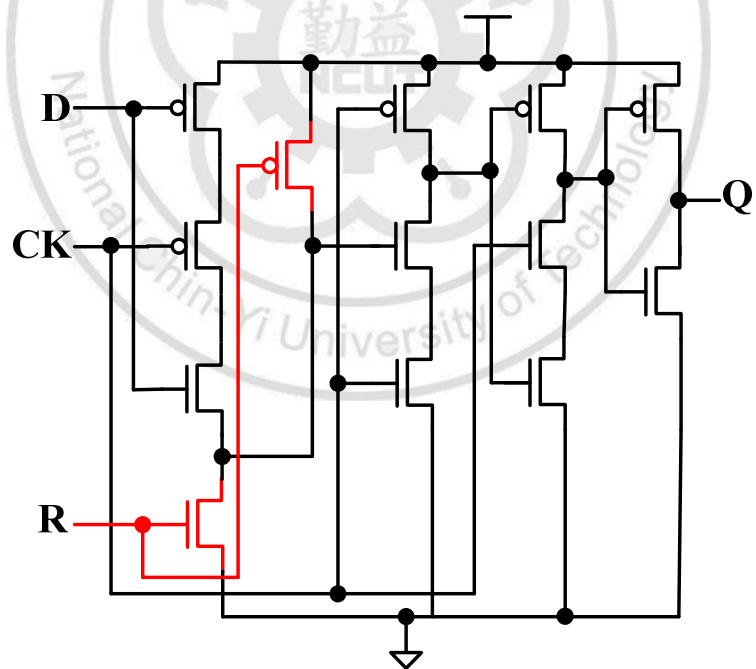


圖 3.3.6 本節所提出具有 RESET 功能的 Delay-cell 之 D1 架構圖

### 3.3.2 2-bit DPWMFDC 電路

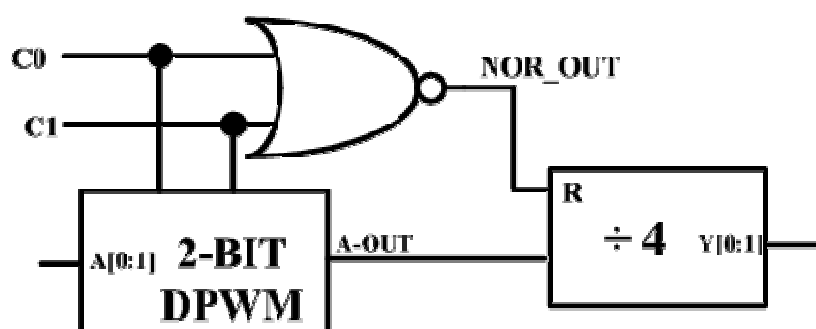


圖 3.3.7 2-bit DPWMFDC 電路

如圖 3.3.7 為 2-bit DPWMFDC 電路，由 2-bit DPWM, NOR 閘及除頻器所組成。C0 及 C1 為 2-bit DPWMFDC 電路的控制信號。NOR 閘則是控制 C0, C1 為”00”時，除頻器之 reset 啟動，A-OUT 的信號不會被除頻器放大。而 C0, C1 為”01” - “11”時，A-OUT 的信號則會被除頻器放大 4 倍。圖 3.3.8 為 2-bit DPWM 的詳細電路圖，此架構為第二型 2-bit 改良型傳統 DPWM 之電路架構。

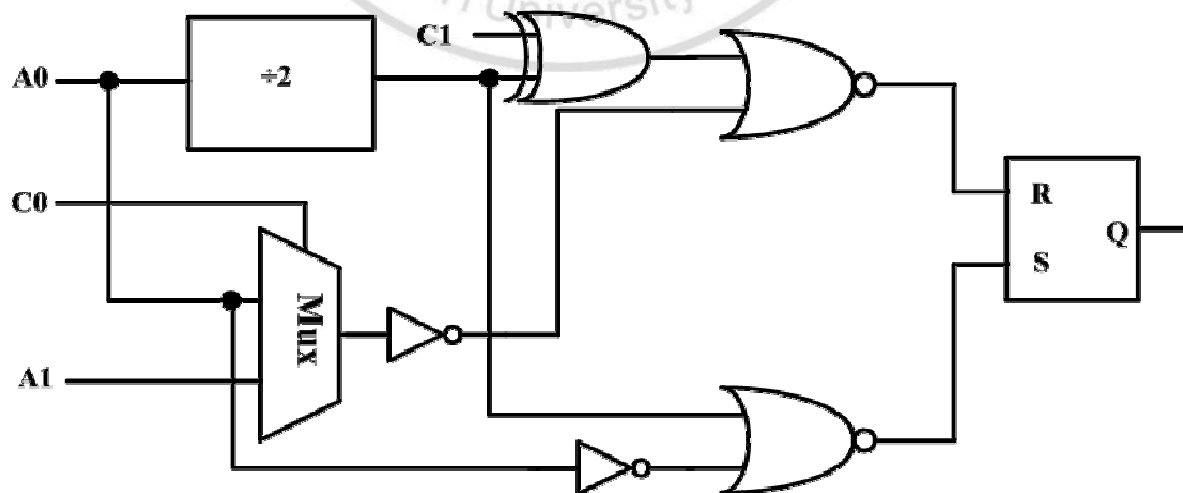


圖 3.3.8 2-bit DPWM 內部電路



### 3.3.3 MSB/LSB combination 電路

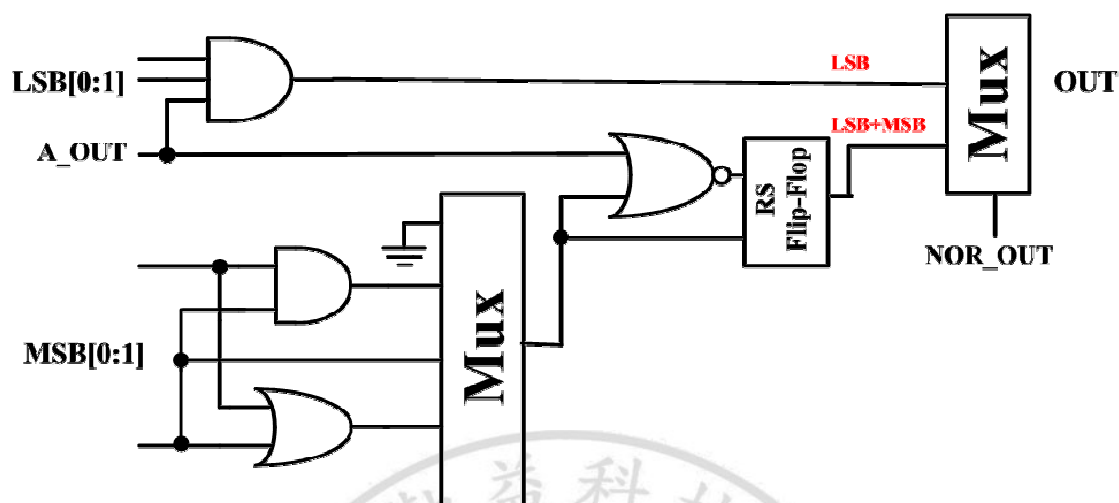


圖 3.3.9 MSB/LSB combination 電路

圖 3.3.9 為將 MSB 及 LSB 加總起來的電路。從表 3.3.2 可看出 duty cycle 前四種狀態 "0"- "3/16"，MSB 為 "00" 不動作，只需要 LSB 動作即可。其餘 duty cycle 為 "4/16"- "15/16" 皆需 LSB+MSB，所以利用 NOR\_OUT 去控制選擇 "LSB" 或者 "LSB+MSB" 輸出，即可得到 "0"- "15/16" 的解析度。

表3.3.2 Hybrid DPWM之duty cycle

		0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
MSB	S3	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
	S2	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
LSB	S1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
	S0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
Duty cycle	0	1/16	2/16	3/16	4/16	5/16	6/16	7/16	8/16	9/16	10/16	11/16	12/16	13/16	14/16	15/16	16/16

### 3.3.4 低功率消耗設計

從表 3.3.10 Hybrid DPWM 之 duty cycle 規格之中可以發現在輸入控制位元為"00"時，2-bit DPWMFDC 區塊是可以不動作的，所以我們在 2-bit DPWMFDC 區塊上增加可以偵測輸入控制位是否為"00"之睡眠機制偵測電路。如圖 3.3.7 所示，為具有睡眠機制之 2-bit DPWMFDC 電路。若控制位元數皆為"00"，睡眠機制透過 NOR 閘的偵測而啟動，使得 2-bit DPWMFDC 強迫進入睡眠狀態，以降低功率消耗。而圖 3.3.8 為具有睡眠機制之新式 MSB/LSB DPWM 整體電路架構圖。

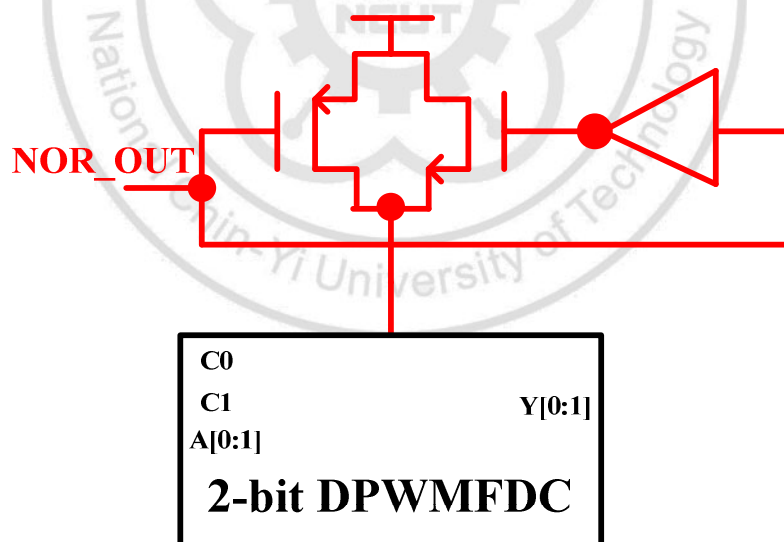


圖 3.3.10 具有睡眠機制之 2-bit DPWMFDC 電路

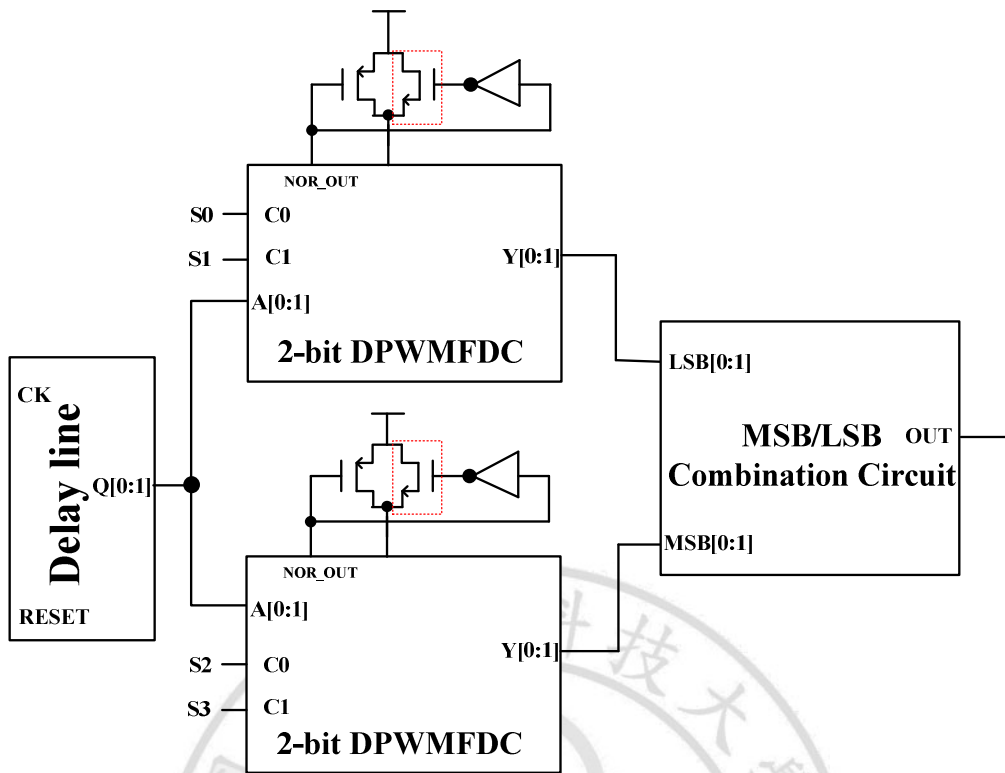


圖 3.3.11 具有睡眠機制之新式 MSB/LSB DPWM 電路

## 第四章 模擬結果與晶片量測

本章節描述晶片佈局及輸出結果，透過國家晶片系統設計中心(CIC)送給晶圓代工廠製作晶片一共為兩顆。為求驗證前述電路架構及本論文所提出新型數位脈波寬度調變(DPWM)電路功能的正確性，將於此章節敘述軟體模擬結果與實驗量測結果。

### 4.1 簡易型 DPWM

簡易型 DPWM 電路模擬及製程，分使用 H-SPICE 與台灣積體電路(TSMC) CMOS 0.35 微米 2P4M 製程。晶片核心電路的實際有效面積為  $0.958 \text{ mm} \times 1.062 \text{ mm}$ 。從模擬結果顯示，在 TSMC CMOS 0.35 微米製程參數下，電路工作在 3.3 V，其最高頻率可正常操作在 3.3 MHz。Pre-layout and Post -layout 5 個 corner 模擬中，在 3.3MHz 頻率中，輸出端負載電容皆為 3pf 下，我們設在多工器之 **s3**、**s2**、**s1** 及 **s0** 設定為 0101 時，多工器選擇到 **m6** 狀態輸出，當 **s** 啟動時，**y** 輸出位準為 1，一直到 **r** 位準變化為 1 時，**y** 訊號即變化為零，因此 **y** 輸出訊號之 Duty Cycle 可藉由 **r** 訊號之設定而改變。

圖 4.1.1 及圖 4.1.2 為 Pre-layout Simulation 及 Post -layout Simulation 5 個 corner 模擬，從圖中皆可看出輸出都為正確，代表此電路在 Pre-layout Simulation 及 Post -layout Simulation 5 個 corner 模擬都可正常工作！

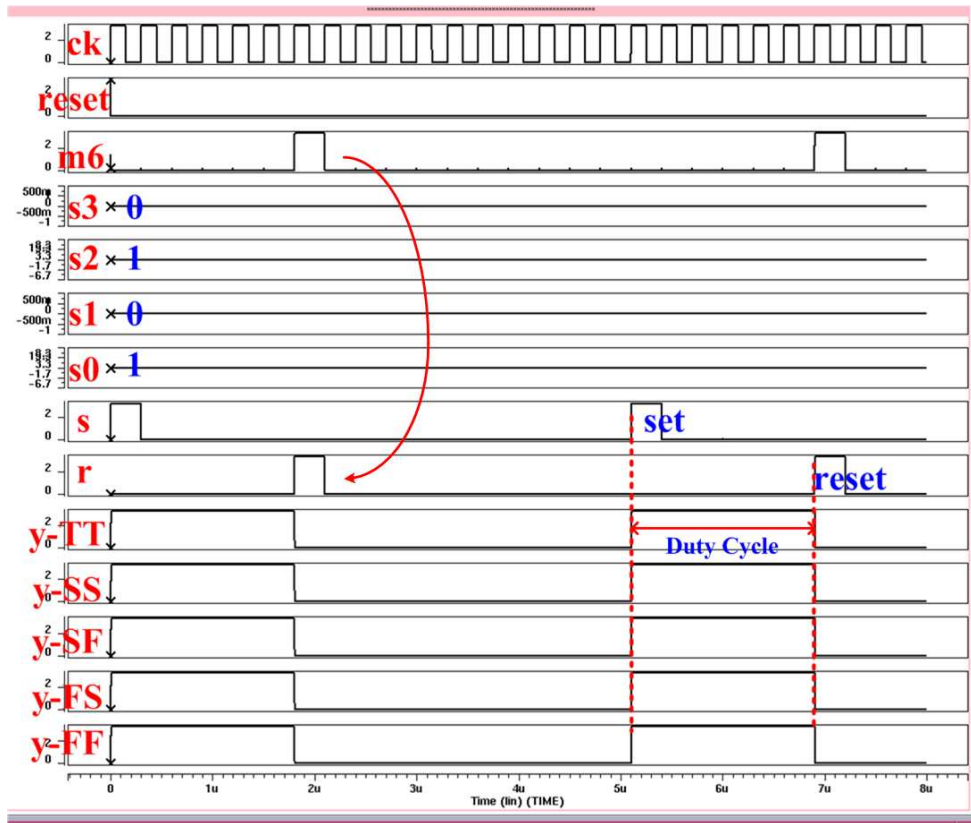


圖 4.1.1 Pre-Layout Simulation

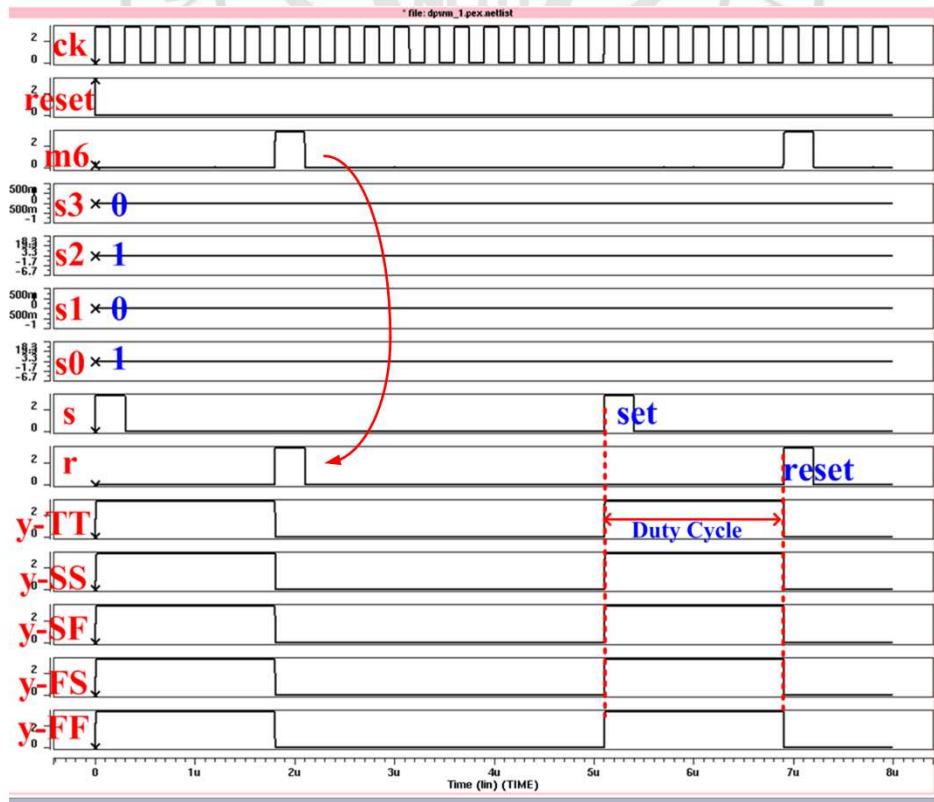


圖 4.1.2 Post-Layout Simulation

圖 4.1.3 為簡易型 DPWM 之晶片佈局圖，其晶片微影圖如圖 4.1.4 所示。如圖 4.1.5 至圖 4.1.7 皆為簡易型 DPWM 之晶片經由量測後的結果。圖 4.1.5 為控制位元為”0000”時，duty cycle 為 5.8%；圖 4.1.6 為控制位元為”1000”時，duty cycle 為 47%；圖 4.1.7 為控制位元為”1111”時，duty cycle 為 94%。

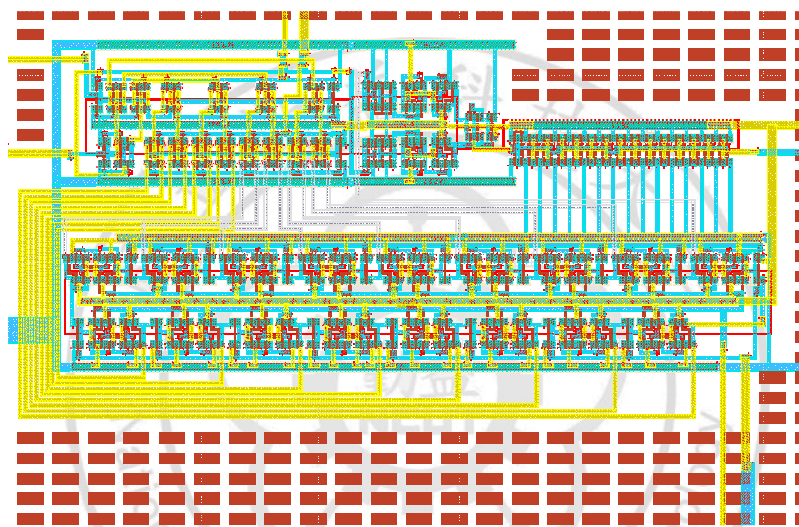


圖 4.1.3 簡易型 DPWM 之晶片佈局圖

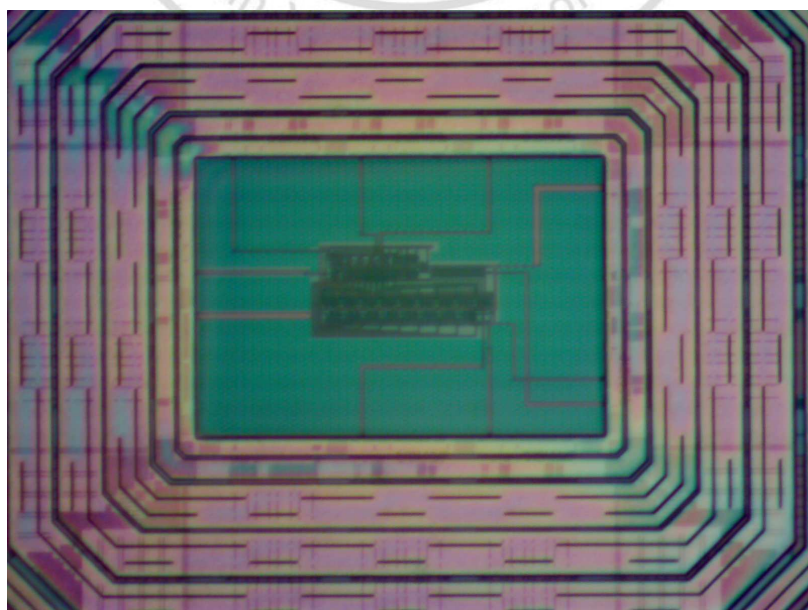


圖 4.1.4 簡易型 DPWM 之晶片微影圖

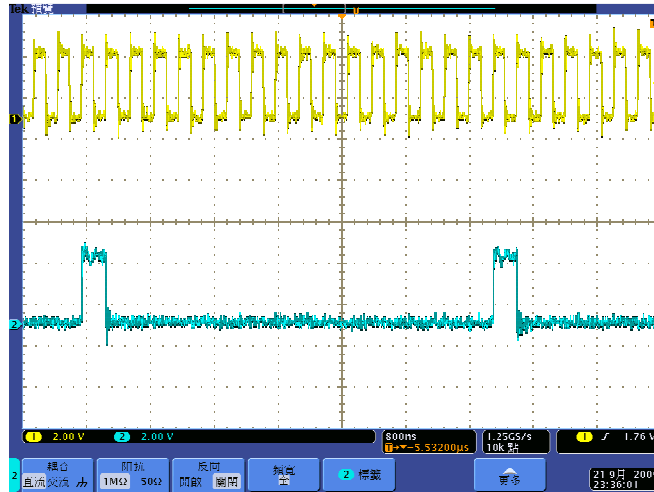


圖 4.1.5 簡易型 DPWM 之 duty cycle 為 5.8%的晶片量測結果

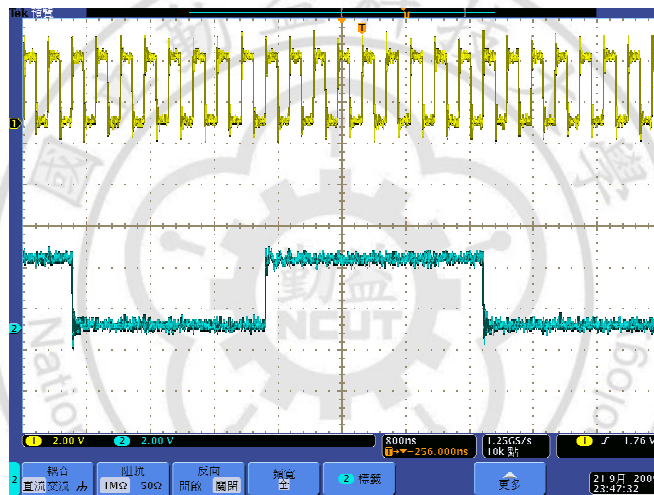


圖 4.1.6 簡易型 DPWM 之 duty cycle 為 47%的晶片量測結果

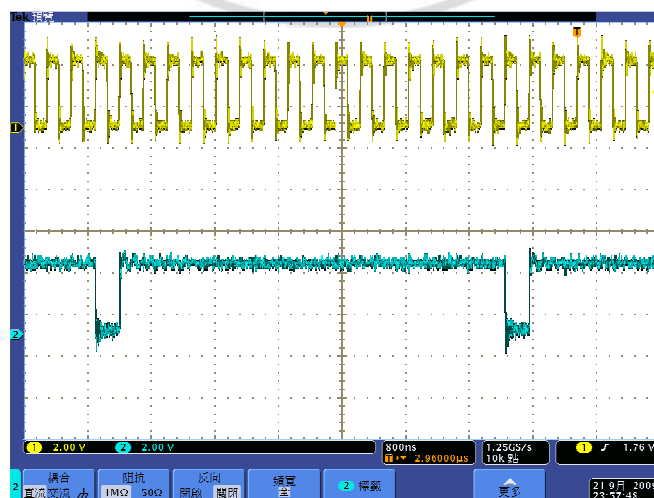


圖 4.1.7 簡易型 DPWM 之 duty cycle 為 94%的晶片量測結果

## 4.2 改良型的傳統 DPWM

改良型的傳統 DPWM 電路，使用 H-SPICE 模擬與 TSMC CMOS 0.18 微米 1P6M 製程。晶片核心電路的實際面積為 0.552 mm × 0.45949 mm。從模擬結果顯示，在 TSMC CMOS 0.18 微米製程參數下，電路工作在 1.8 V，可正常操作在 700 MHz。圖 4.2.1 及圖 4.2.2 為 Pre-layout Simulation 及 Post -layout Simulation 模擬，在 700MHz 頻率中，輸出端負載電容皆為 3pf 下，我們設定控制位元為”1000”時，輸出訊號之 Duty Cycle 為 50%。從圖中皆可看出輸出都為正確，代表此電路在 Pre-layout Simulation 及 Post -layout Simulation 模擬都可正常工作！製程參數變異下 Pre-Sim 與 Post-Sim 結果均整理於表 4.2.1。

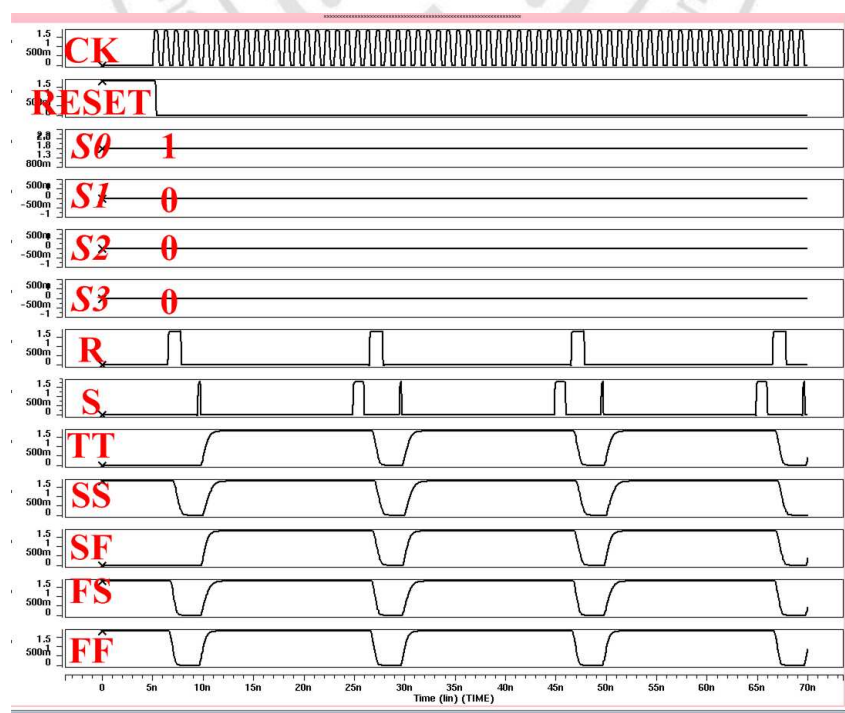


圖 4.2.1 Pre-Layout Simulation



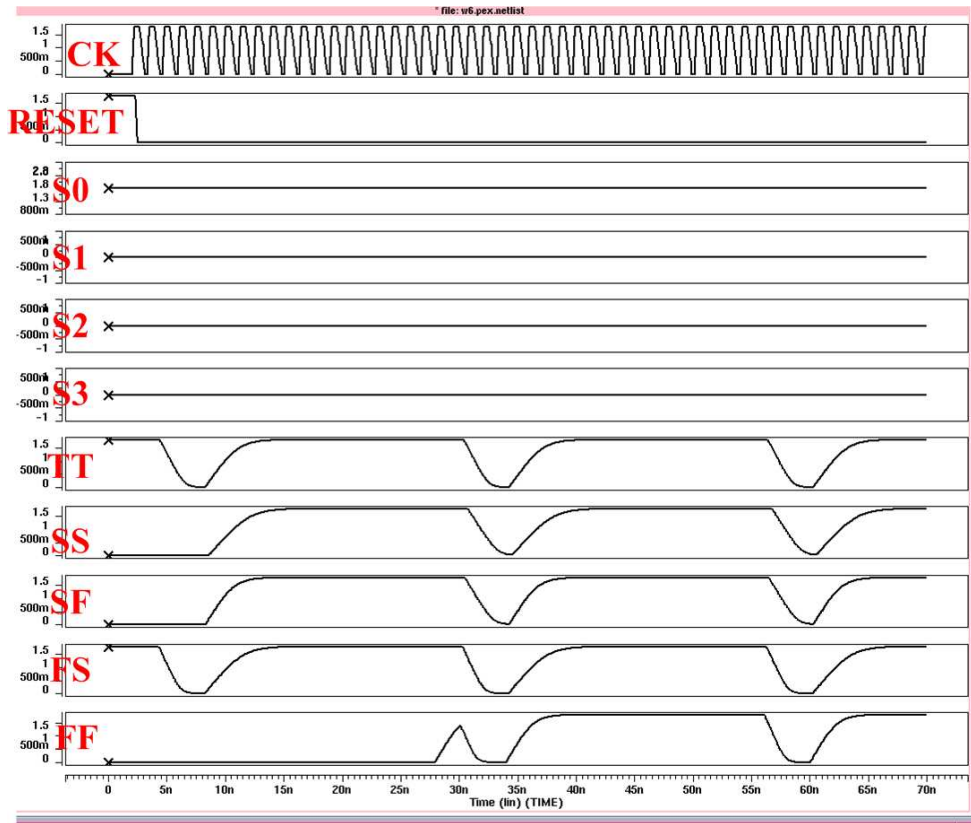


圖 4.2.2 Post-Layout Simulation

表4.2.1 改良型的傳統DPWM Pre-Sim及Post-Sim結果表

環境變數		模擬									
		Pre-sim					Post-sim				
操作頻率		700GHz					700MHz				
模擬 corner	TT	OK					OK				
	FF	OK					OK				
	SS	OK					OK				
	FS	OK					OK				
	SF	OK					OK				
溫度		TT	SS	SF	FS	FF	TT	SS	SF	FS	FF
	0°C	OK	OK	OK	OK	OK	OK	OK	OK	NO	NO
	25°C	OK	OK	OK	OK	OK	OK	OK	OK	NO	NO
	50°C	OK	NO	OK	OK	OK	OK	OK	OK	NO	OK
	75°C	OK	NO	OK	OK	OK	OK	OK	OK	OK	OK
	100°C	OK	NO	OK	OK	OK	OK	NO	OK	OK	OK
電壓	1.98 V	OK	OK	OK	OK	OK	OK	OK	OK	OK	NO
	1.62 V	OK	NO	OK	NO	OK	OK	NO	OK	NO	OK

圖 4.2.3 為改良型的傳統 DPWM 之晶片佈局圖，其晶片微影圖如圖 4.2.4 所示。如圖 4.2.5 至圖 4.2.7 皆為改良型 DPWM 之晶片經由量測後的結果。圖 4.2.5 為控制位元為”0000”時，duty cycle 為 0 %；圖 4.2.6 為控制位元為”1000”時，duty cycle 為 50 %；圖 4.2.7 為控制位元為”1111”時，duty cycle 為 93 %。

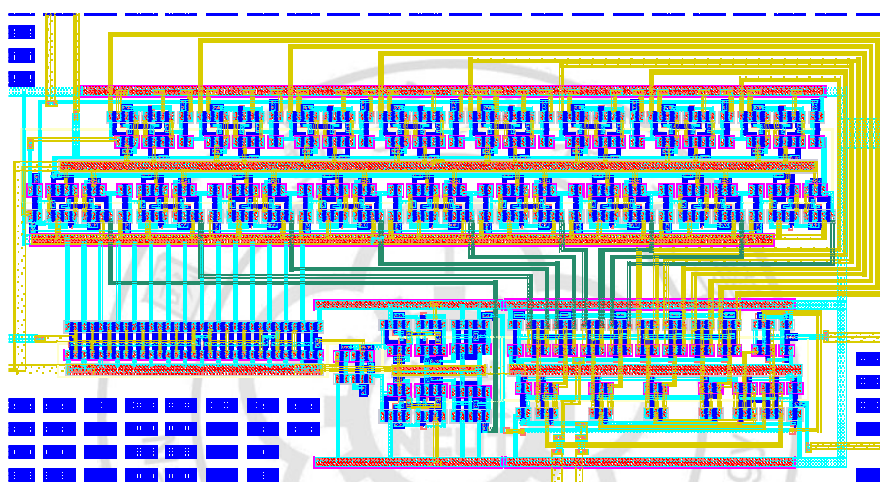


圖 4.2.3 改良型的傳統 DPWM 之晶片佈局圖

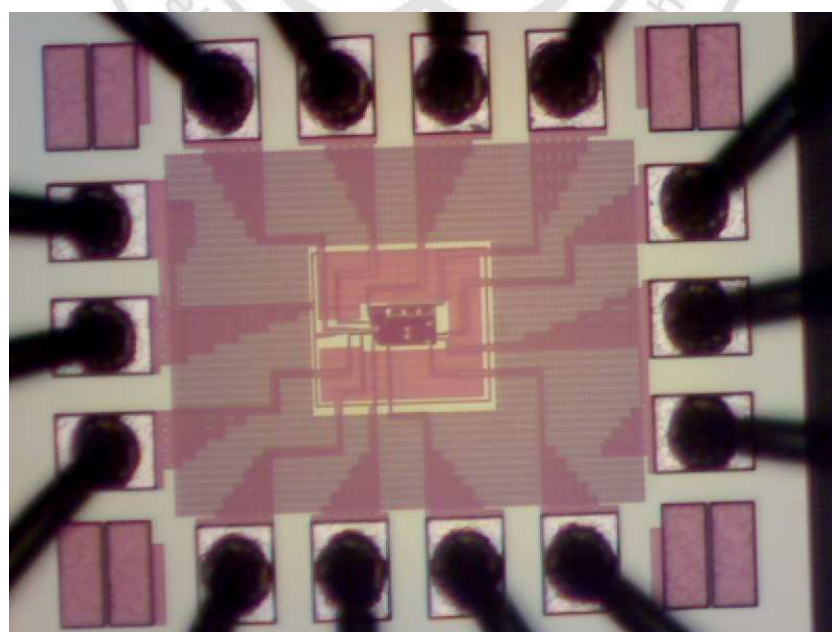


圖 4.2.4 改良型的傳統 DPWM 之晶片微影圖

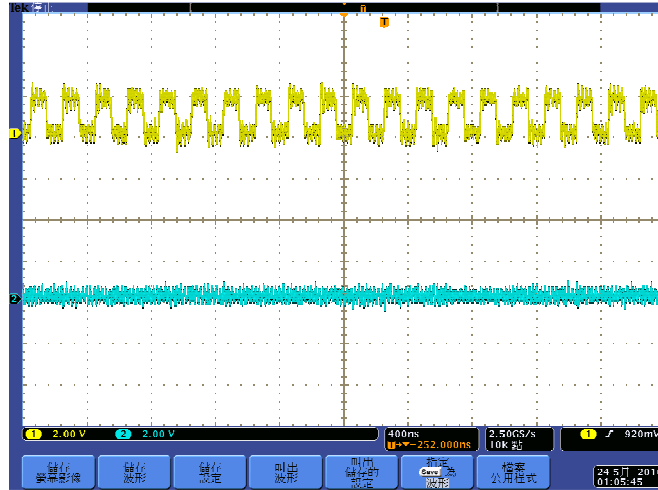


圖 4.2.5 改良型的傳統 DPWM 之 duty cycle 為 0%的晶片量測結果

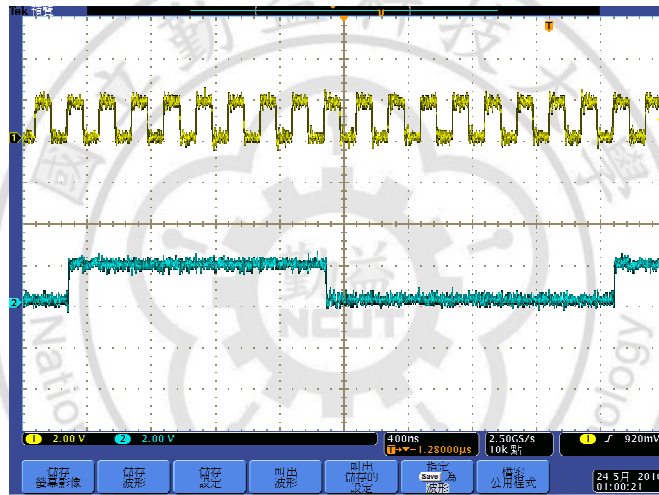


圖 4.2.6 改良型的傳統 DPWM 之 duty cycle 為 50%的晶片量測結果

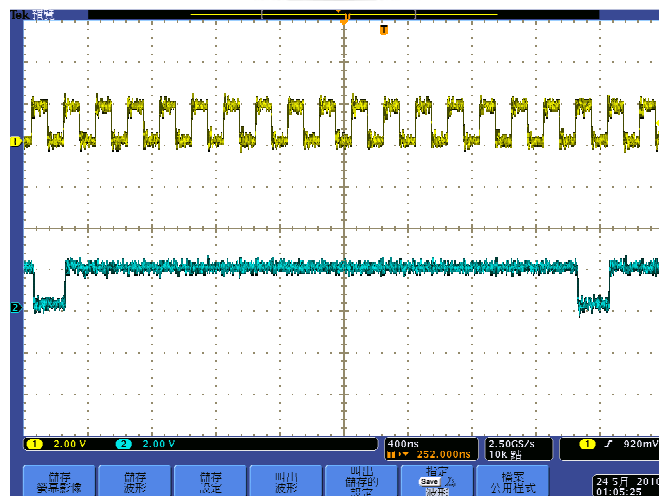


圖 4.2.7 改良型的傳統 DPWM 之 duty cycle 為 93%的晶片量測結果

### 4.3 新式 MSB/LSB DPWM

#### 4.3.1 新式 MSB/LSB 無睡眠機制之 DPWM

新式 MSB/LSB 無睡眠機制之 DPWM 電路，晶片核心電路的實際面積為 0.461 mm × 0.37 mm。從模擬結果顯示，在 TSMC CMOS 0.18 微米製程參數下，電路工作在 1.8 V，可正常操作在 200 MHz。圖 4.3.1 及圖 4.3.2 為 Pre-layout Simulation 及 Post -layout Simulation 模擬，在 200MHz 頻率中，輸出端負載電容皆為 3pf 下，輸出訊號之 Duty Cycle 分別為 0%，50%，93%。從圖中皆可看出輸出都為正確。如圖 4.3.3 為新式 MSB/LSB 無睡眠機制之 DPWM 晶片佈局。

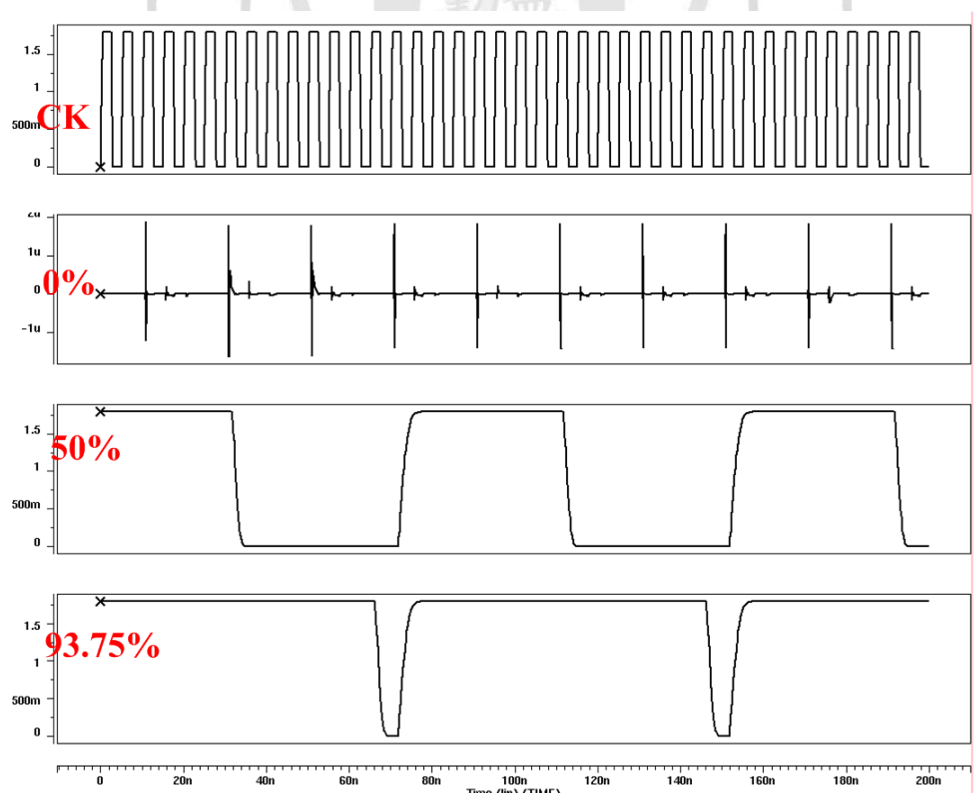


圖 4.3.1 新式 MSB/LSB 無睡眠機制 DPWM 電路之 Pre-Layout Simulation

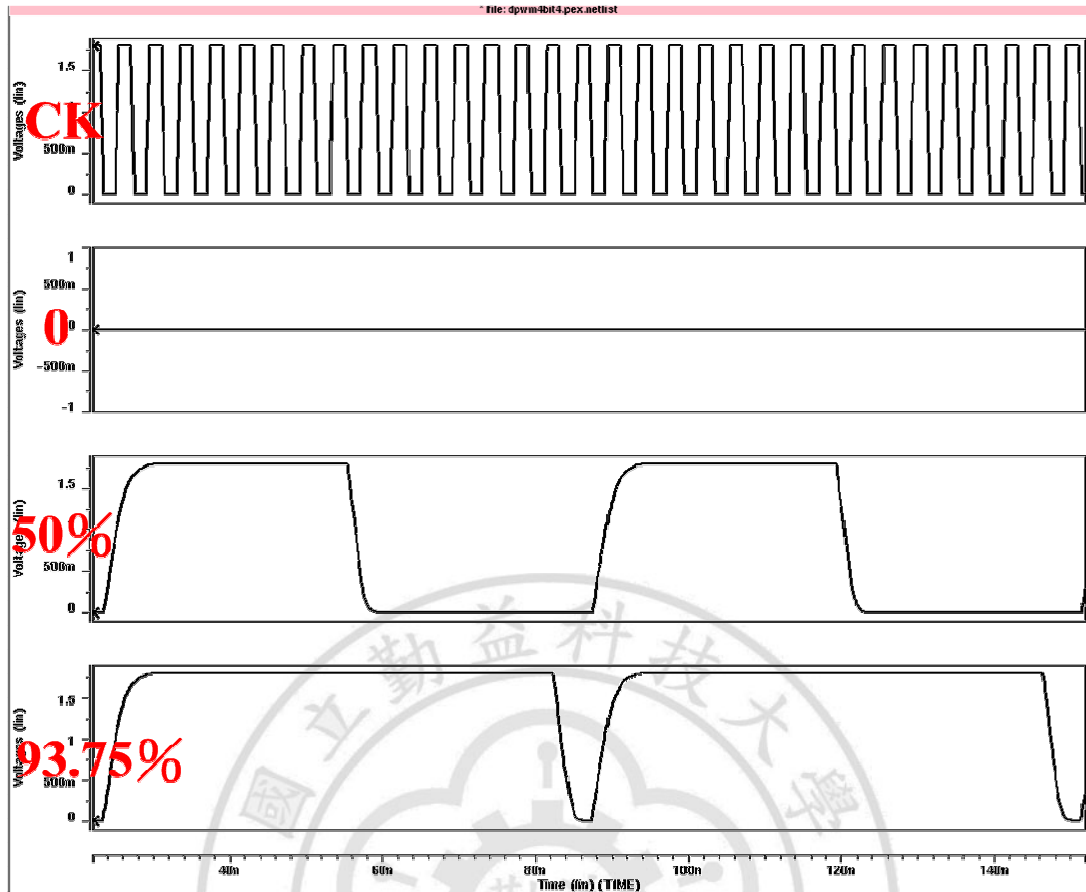


圖 4.3.2 新式 MSB/LSB 無睡眠機制 DPWM 電路之 Post-Layout Simulation

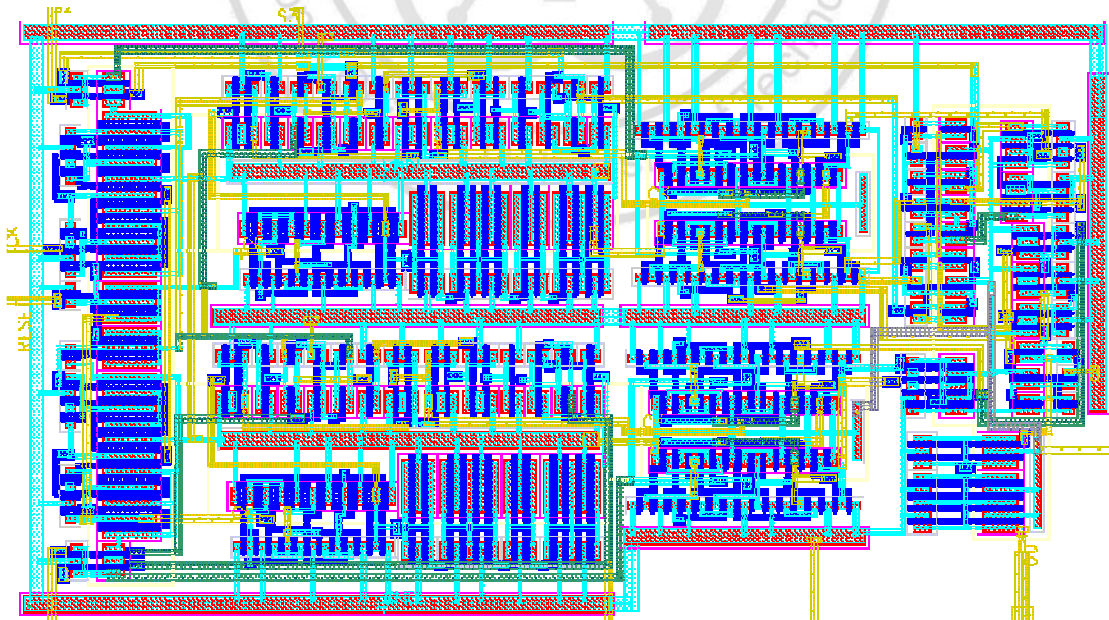


圖 4.3.3 新式 MSB/LSB 無睡眠機制之 DPWM 晶片佈局圖

#### 4.3.2 新式 MSB/LSB 具有睡眠機制之 DPWM

圖 4.3.1 及圖 4.3.2 為具有睡眠機制之 DPWM 電路之 Pre-layout Simulation 及 Post -layout Simulation 模擬圖，模擬在 TSMC CMOS 0.18 微米製程參數下，電路工作在 1.8 V，操作 200 MHz 頻率中，輸出端負載電容皆為 3pf 下，輸出訊號之 Duty Cycle 分別為 0%, 50%, 93%。從模擬結果顯示可看出輸出都為正確。

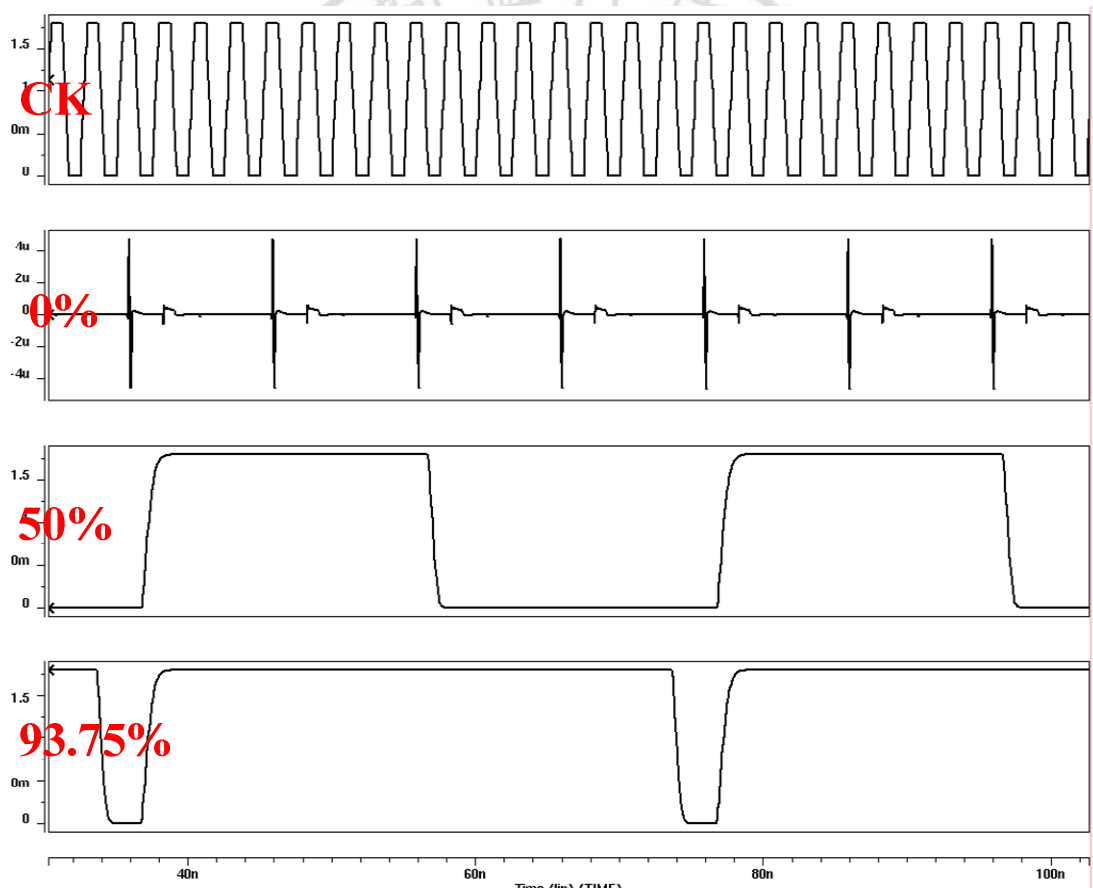


圖 4.3.4 新式 MSB/LSB 具有睡眠機制 DPWM 電路之 Pre-Layout Simulation

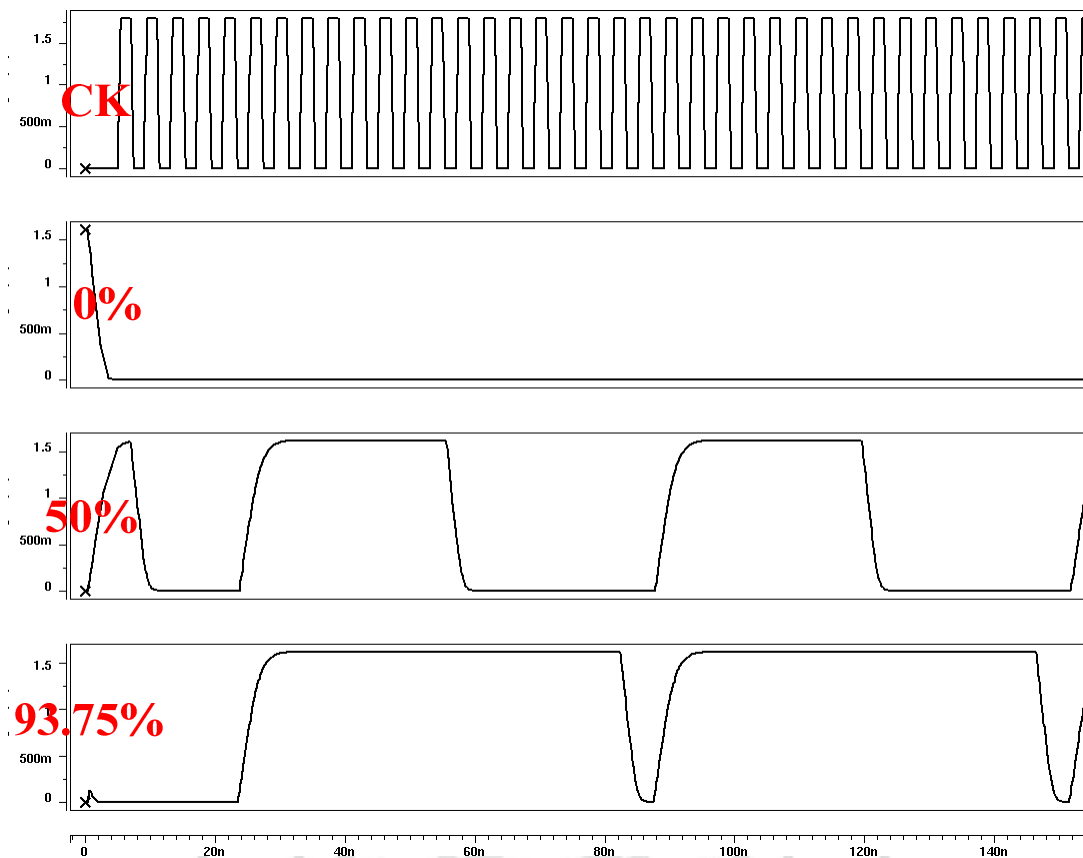


圖 4.3.5 新式 MSB/LSB 具有睡眠機制 DPWM 電路之 Post-Layout Simulation

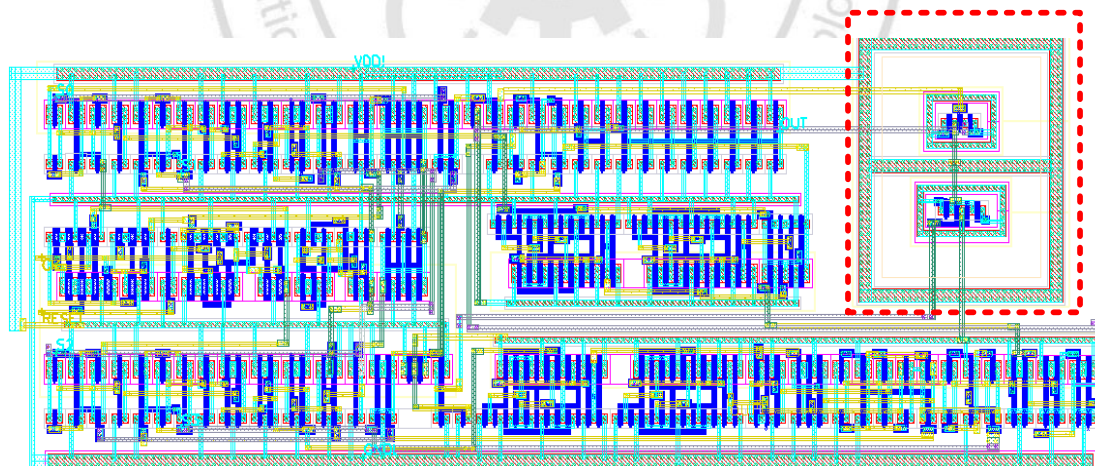


圖 4.3.6 新式 MSB/LSB 具有睡眠機制之 DPWM 晶片佈局圖

如圖 4.3.6 所示為新式 MSB/LSB 具有睡眠機制之 DPWM 晶片佈局圖，其紅色虛線框起來為睡眠機制中控制電源 VDD 開關的

NMOS 元件，如圖 3.3.8 所示紅色虛線框起之 NMOS。因為此兩顆 NMOS 元件 body 端之電位與其他元件的 body 端電位不相同，所以在佈局時必須與其他元件隔絕開來。為了避免 NMOS 的 P-Well 與 P-Substrate 相連被視為同一電位，所以使用 Deep N-Well 佈局方式進行佈局。

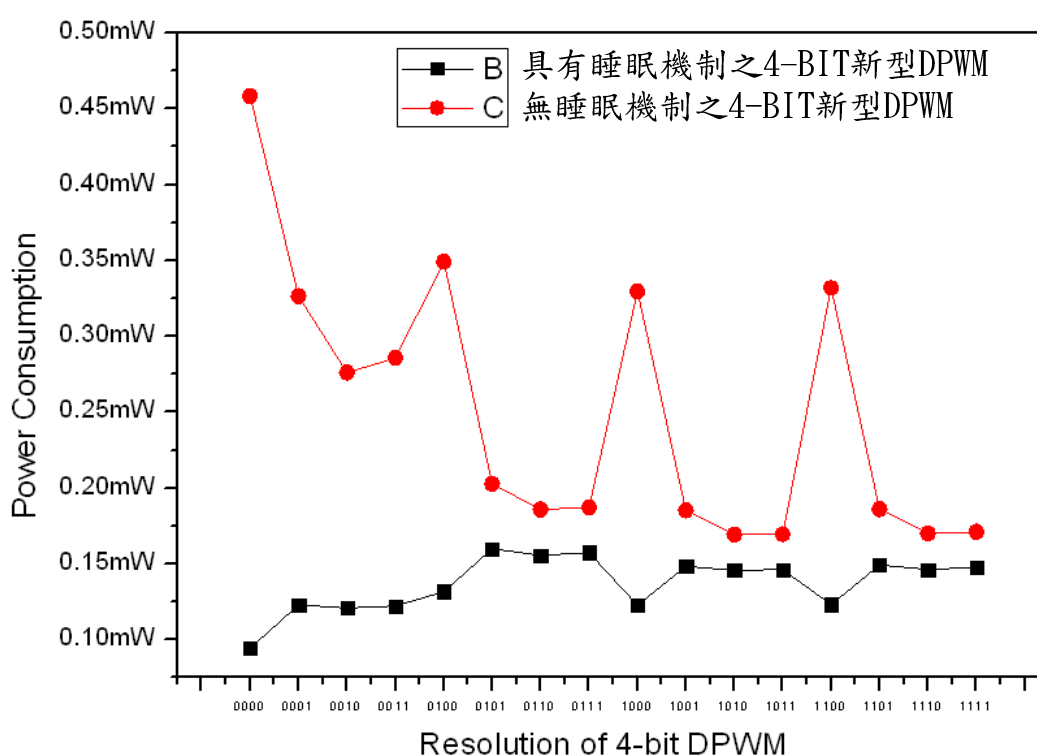


圖 4.3.7 具有睡眠機制與具有睡眠機制之功率消耗之比較

圖 4.3.7 為具有睡眠機制之 4-bit 新型 DPWM 及無睡眠機制之 4-bit 新型 DPWM，2 種架構 16 種解析度功率消耗之比較。從圖中可看出具有睡眠機制之 4-bit 新型 DPWM 比無睡眠機制之架構的功率降低許多。在整體功率消耗而言，成功降低 45% 的功率消耗。



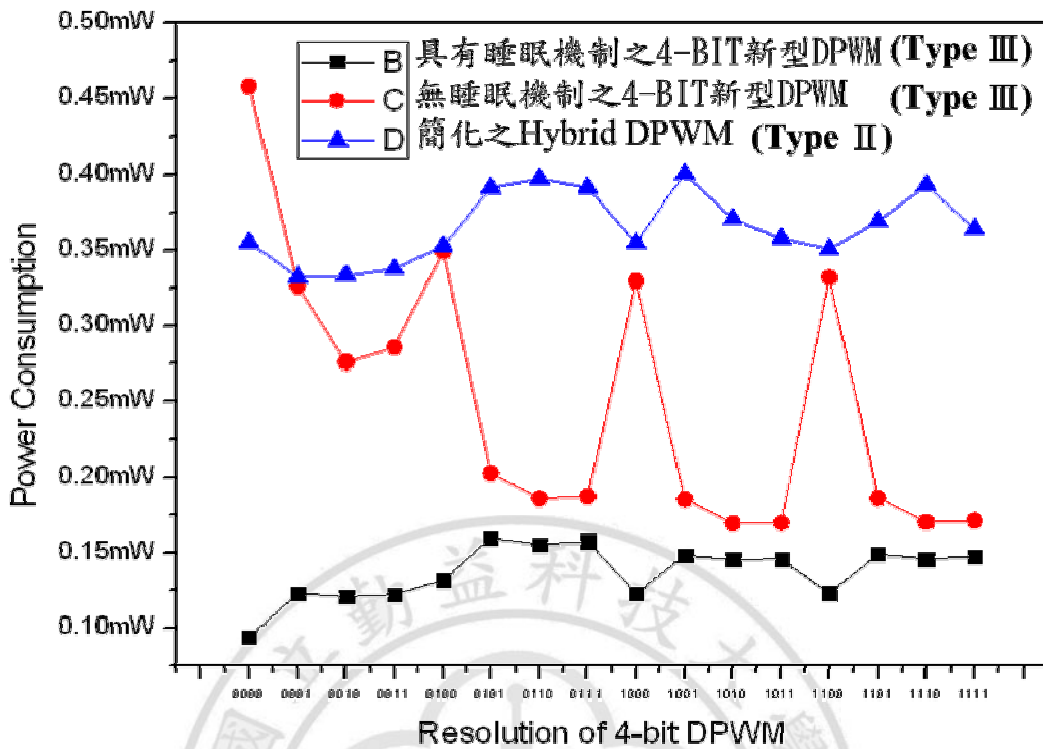


圖 4.3.8 功率消耗之比較

如圖 4.3.8 所示為改良版之 Hybrid DPWM、無睡眠機制新式 DPWM、具有睡眠機制新式 DPWM 三種架構的功率比較，在 0.18 製程下，操作頻率為 200 MHz，分析每一個解析度狀態下的功率消耗之比較。藍色三角形為改良版之 Hybrid DPWM；紅色圓形為無睡眠機制新式 DPWM；黑色正方形為具有睡眠機制新式 DPWM。從圖中可發現具有睡眠機制新式 DPWM 在一個狀態下之功率消耗都比其他兩架構的功率消耗低，平均功率消耗只有 0.13 mW。

表4.2.2 DPWM之設計規格比較表

Hybrid DPWM	Conventions Hybrid DPWM	Type I Hybrid DPWM	Type II Hybrid DPWM	Type III Hybrid DPWM
N-bit	$4=2(\text{counter})+2(\text{delay cell})$	4	$4=2(\text{counter})+2(\text{delay cell})$	$4=2(\text{MSB})+2(\text{LSB})$
Counter	2-bit	0	2-bit	1-bit
Delay cell (device)	$2^2=4$	17	$2^2=4$	$2^1=2$
MUX	$2^2 \times 1$	$24 \times 1$	$2^2 \times 1$	$2^1 \times 1$

表 4.2.2 所示，在相同 4-bit 之傳統 DPWM 與本文所設計之新式 DPWM 三種架構設計規格比較表。第一型簡易型架構為利用簡單之邏輯電路來實現脈波寬度調變的功能，Delay cell 及多工器使用數數量比傳統 DPWM 架構多，所以晶片面積比傳統架構大。第二型為改良型架構，主要為簡化傳統 Hybrid DPWM 的架構。雖然設計架構規格並未改善，但整體的電路之功率消耗降低許多。第三型為新式 MSB/LSB DPWM 架構，把輸入控制位元數區分為 MSB 及 LSB，以並行方式進行。在計數器、Delay cell 及多工器的使用都只要傳統架構的一半即可。此架構為共享之 Delay cell，當新式 MSB/LSB DPWM 架構往高解度發展時，Delay cell 不會成平方正比增加。

## 第五章 結論及未來研究方向

### 5.1 結論

本論文完成了「新式混合型架構 PWM 晶片設計與實現」，並提出三種不同的架構電路設計。第一型簡易型之架構主要為利用簡單之邏輯電路來實現脈波寬度調變的功能。第二型為改良型的傳統 DPWM 架構，主要為改善及簡化傳統 Hybrid DPWM 的架構，以降低功率消耗。並且提出可以避免會產生競賽現象之具有轉移電路的 RS 正反器。第三型為新式 MSB/LSB DPWM 架構，利用第二型改良式的傳統 DPWM 架構為主要核心電路，並把輸入控制位元數區分為 MSB 及 LSB，以並行方式進行。Delay-line 區塊進行共享動作，只要傳統架構中一半的 Delay-line 即可，可以降低 Delay-line 區塊功率消耗。未來朝向高解析度發展，Delay-line 不會成平方正比增加，在晶片面積及功率消耗都可以減少。並且提出具有睡眠機制之 MSB/LSB DPWM 架構，當睡眠偵測電路偵測到控制輸入端為“00”，強迫此架構進入睡眠狀態，使整體功率消耗能再降低。經由模擬驗證具有睡眠機制之 MSB/LSB DPWM 架構比其它三種架構之功率消耗降低許多。

## 5.2 未來研究方向

### 5.2.1 高解析度發展

本文設計三種 Hybrid DPWM 架構皆是輸入為 4-bit 控制位元數，但近年來多數的文獻參考資料皆朝向高解析度發展，所以朝著高解析發展，為未來的研究目標之一。在高解析度的架構下，證明本文所設計之第三型睡眠機制架構所設計共享 Delay-line 及大量降低功率消耗的兩大優點

### 5.2.2 晶片下線

第三型具有睡眠機制之 MSB/LSB Hybrid DPWM 架構已經在實驗中模擬成功，希望藉由透過 CIC 下線晶片，證明此架構之可行性。並從晶片量測之結果與模擬結果互相比較，其比較結果可作為日後研究參考數據，並後續研究作整體之改善。

### 5.2.3 數位控制電路

由於本文只針對 Hybrid DPWM 進行研究及實現，因此若利用混合訊號 IC 下線流程把 Hybrid DPWM 整合至數位控制電路系統架構，就能更為擴大此晶片之應用領域。

## 參考文獻

- [1] G. Y. Wei and M. A. Horowitz, "A low power switching power supply for self-clocked systems," in *Proc. Int. Symp. Low Power Electron. Des.*, 1996, pp. 313–317.
- [2] A. Syed, E. Ahmed, D. Maksimovic, and E. Alarcon, "Digital pulse width modulator architectures," in *Proc. IEEE PESC Conf.*, 2004, pp. 4689–4695.
- [3] B. J. Patella, A. Prodic, A. Zirger, and D. Maksimovic, "High-frequency digital PWM controller IC for DC–DC converters," *IEEE Trans. Power Electron.*, vol. 18, no. 1, pp. 438–446, Jan. 2003.
- [4] Z. Lukic, N. Rahman, and A. Prodic, "Multi  $\Sigma - \Delta$  PWM digital controller IC for DC–DC converters operating at switching frequencies beyond 10 MHz," *IEEE Trans. Power Electron.*, vol. 22, no. 5, pp. 1693–1707, Sep. 2007.
- [5] F. de Jager, "Deltamodulation: A method of P.C.M. transmission using the 1-unit code," *Philips Res. Rep.*, vol. 7, pp. 442–466, Nov. 1952.
- [6] S. H. Yang, Y. You, and K. R. Cho, "A New Dynamic D-Flip-Flop Aiming at Glitch and Charge Sharing Free," *IEICE Trans. on Electron*, Vol.E86-C, pp. 496-504, Mar. 2004.
- [7] A. P. Dancy and A. P. Chandrakasan, "Ultra low power control circuits for PWM converters," in *Proc. IEEE PESC Conf.*, 1997, pp. 21–27.
- [8] E. O'Malley and K. Rinne, "A programmable digital pulse width modulator providing versatile pulse patterns and supporting switching frequencies beyond 15 MHz," in *Proc. IEEE APEC Conf.*, 2004, pp. 53–59.
- [9] V. Yousefzadeh, T. Takayama, and D. Maksimovic, "Hybrid DPWM with digital delay-locked loop," in *Proc. IEEE Comput. Power Electron.*, 2006, pp. 142–148.
- [10] X. Wang, X. Zhou, J. Park, A. Q. Huang, "Design and implementation of a 9-bit 8MHz DPWM with AMI06 process" in *Proc. IEEE Applied Power Electronics Conference and Exposition*, 2009, pp. 540-545.
- [11] M. M.-H. Chiu and S. H.-L. Tu, "A Novel DPWM Based on Fully Table Look-up for High-Frequency Power Conversion," *IEEE Asia Pacific Conference on Circuits and Systems*, Singapore, 2006, pp. 679–682.
- [12] A. V. Peterchev, and S. R. Sanders, "Quantization resolution and limit cycling in digitally controlled PWM converters," *IEEE Tran. Power*

*Electron.*, vol. 18, no. 1, pp.301-308, Jan. 2003.

- [13] J. Xiao, A. V. Peterchev, J. Zhang, S. R. Sanders, “A 4- $\mu$ A quiescent-current dual-mode digitally controlled buck converter IC for cellular phone applications,” *IEEE J. Solid-State Circ.*, vol. 39, no. 12, pp.2342-2348, Dec. 2004.
- [14] E. O’Malley, K. Rinne, “A programmable digital pulse width modulator providing versatile pulse patterns and supporting switching frequencies beyond 15MHz,” in *Proc. IEEE APEC Conf.*, 2004, pp. 53-59.
- [15] O. Trescases, G. Wei, and W. T. Ng, “A segmented digital pulse width modulator with self-calibration for low-power SMPS,” in *Proc. IEEE Electron Devices and Solid-State Circuits*, 2005, pp. 367-370.
- [16] R. F. Foley, R. C. Kavanagh, W. P. Marnane, and M. G. Egan, “A versatile digital pulsewidth modulation architecture with area-efficient FPGA implementation,” in *Proc. IEEE PESC Conf.*, 2005, pp. 2609-2615.
- [17] S. C. Huerta, A. Castro, O. Garcia, J. A. Cobos, “FPGA based digital pulse width modulator with time resolution under 2ns,” in *Proc. IEEE APEC Conf.*, 2007, pp. 877-881.
- [18] 柯鴻禧、黃琪聰 編譯，COMS 積體電路設計概論，台灣培生教育出版有限公司，台北，2007。
- [19] 周志敏、周紀海、紀愛華 編著 戴亞翔 校訂，LED 驅動電路設計與應用，五南圖書出版股份有限公司，台北，2008。

## 作者簡歷

姓名：蔡桂菁

出生日期：民國七十四年九月三十日

籍貫：台中縣

學歷：國立勤益科技大學 電子工程系所 積體電路組 97/09 - 99/07

國立高雄海洋科技大學 微電子工程系所 95/09 - 97/06

國立勤益科技大學 電子工程系 93/09 - 95/06

私立致用高中 資訊技術科 90/09 - 93/06

論文發表：

- [1] Y.C. Hung and K.C. Tsai, "High-Stability LED PWM Driver Core with 16 Levels Capability," *Proceedings of the Fourth Intelligent Living Technology Conference (2009)* pp. 828-831.
- [2] Y.C. Hung and K.C. Tsai, "High-Frequency 700MHz LED PWM Driver Core with 16 Levels Capability," *Conference on Innovative Applications of System Prototyping and Circuit Design (2009)* pp. 368-371.
- [3] Y.C. Hung and K.C. Tsai, "Delay-Line Sharing Based: A New 600-MHz 16-bit Resolution CMOS DPWM Circuit," *The 5th Intelligent Living Technology Conference NCUT (2009)* pp. 761-764.

參加競賽：

- [1] 2010 全國大專院校積體電路設計競賽
- [2] 2009 全國大專院校積體電路設計競賽
- [3] 2008 奇景光電佈局設計競賽
- [4] 2008 全國 LED 創意設計競賽 (入圍決賽)
- [5] 2008 聖誕樹(燈)創意設計比賽 (最佳設計獎)
- [6] 2007 奇景光電佈局設計競賽